

# AC690N 系列硬件设计指南 V1.3

## 特别注意事项：

- 1、主控输入电压不要超过 5.0V 以上
- 2、AC690N 系列蓝牙晶振可以省电容，但位置必须预留
- 3、内部软关机方案的音箱或耳机，开关机按键请使用 PR2 口低电平唤醒
- 4、对软关机功耗要求特别低的方案，请使用外部 MOS 管开关机电路，请参考附件《MOS 管软开关机电路》
- 5、对 FM 要求比较高的客户，电路设计时请预留 FM 放大电路或使用外部收音芯片，FM 设计和调试请参考《AC690N 系列 FM PCB Layout 说明》
- 6、使用内部充电的方案，充电输入端必须串入限流电阻
- 7、为保证产品的安全可靠，电池请使用带保护板的电池

<备注：LDO 方案一般用于蓝牙音箱产品；DC-DC 方案一般用于蓝牙耳机产品>

## 一、电源、地线

### 1、地线

#### LDO 方案：

- 1) AC690N (LDO) 方案必须分 AGND 和 GND 二个地，AGND 在功放处或电池处和 GND 短接，
- 2) FMVSS 不分地，就近接数字 GND

#### DC-DC 方案：

- 1) AC690N (DC-DC) 方案必须分 AGND 和 GND 两个地，并且在电池入口处短接；必须优先保证地回路的连通性，避免回路走线过细。
- 2) PGND 不分地，就近接数字 GND。

备注：必须严格执行本要求，可以消除共地引起的各种噪声。

### 2、BT\_AVDD

LDO 方案，BT\_AVDD 的退耦电容值需至少采用 106，且必须靠近主控放置，地回路以最短距离回到主控。

### 3、DC-DC 开关电源

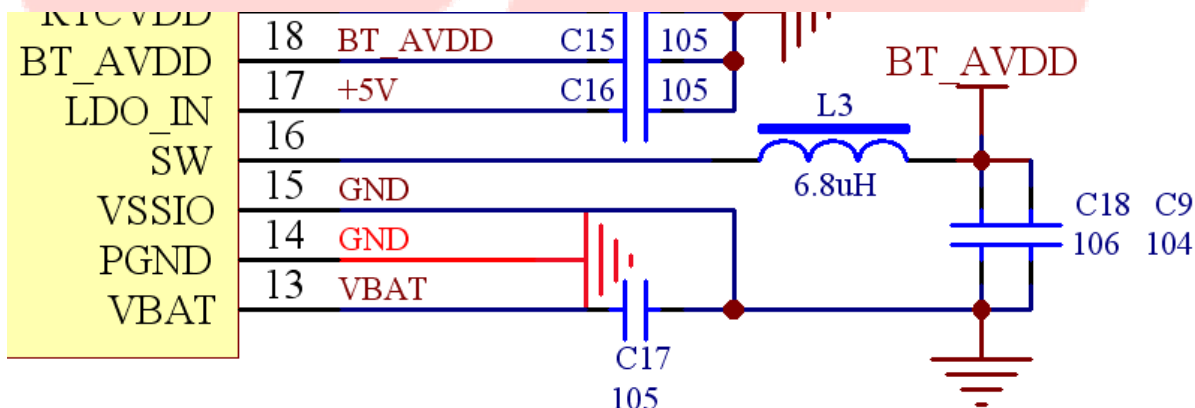


图 1 DC-DC 开关电源电路

如图 1，DC-DC 开关电源由 SW、PGND、BT\_AVDD、VBAT，以及 L3、C18、C9、C15 组成（红色部分）；布局时，L3/C18/C9/C15 尽量靠近相应管脚；**L3 的 BT\_AVDD 走线必须先过 C18 (106) 电容，再进主控**；L3 尽量远离易受干扰的部分（如 RF、DAC）；L3 请选用绕线电感或功率叠层电感，额定电路大于 120mA，内置小于 0.5R。

#### 4、FMVDD/ VDDIO

1) AC6901A 的 FMVDD 退耦电容必须靠近主控放置，地回路以最短距离回到主控 FMVSS 管脚。

2) 除 AC6901A 外的其他芯片，VDDIO 的退耦电容必须靠近主控放置，地回路以最短距离回到主控。

**备注：此退耦电容如果地回路走线差，直接影响蓝牙的性能。**

## 二、信号线

### 1、晶振

1) AC690N 方案必须预留晶振匹配电容位置，电容值为 NC；每个方案或者样机必须用测试盒测试其频偏，频偏控制在  $\pm 10\text{KHz}$  以内，如偏差过大，可以修改软件或者负载电容。

2) 晶振必须选择，稳定性、一致性好，频偏偏差：在  $\pm 10\text{PPM}$  以内；（推荐使用杰理配套晶振）。

### 2、RF 天线



图 2 RF 天线布局

1) RF 天线尽量使用倒 F 形，如图 2。

2) RF 天线必须放置在板边，严禁被 GND 包裹，且正反面不能有金属器件，**采用三面镂空方式（上、左、右）**，如图 2。

3) RF 天线尽量采用 **I 子形** 走线。

#### DC-DC 方案：

4) RF 天线和 DAC 电路尽量采用 180 度的布局方式，最大限度减少 RF 对 DAC 的干扰。

### 3、DACL、DACR、VCOMO

#### DC-DC 方案：

1) DACL、DACR、VCOMO 的抗干扰电路和焊接点，尽量和 RF 天线成 180 度放置，减少 RF 辐射干扰。

2) DACL、DACR、VCOMO 的抗干扰电路和焊接点，正反面铺 **AGND**，或不铺地，**切勿铺“数字 GND”**，并且远离“数字 GND”，可以有效去除高频噪声。

## 三、其他

## 1、RF 天线和 TDD 辐射噪声

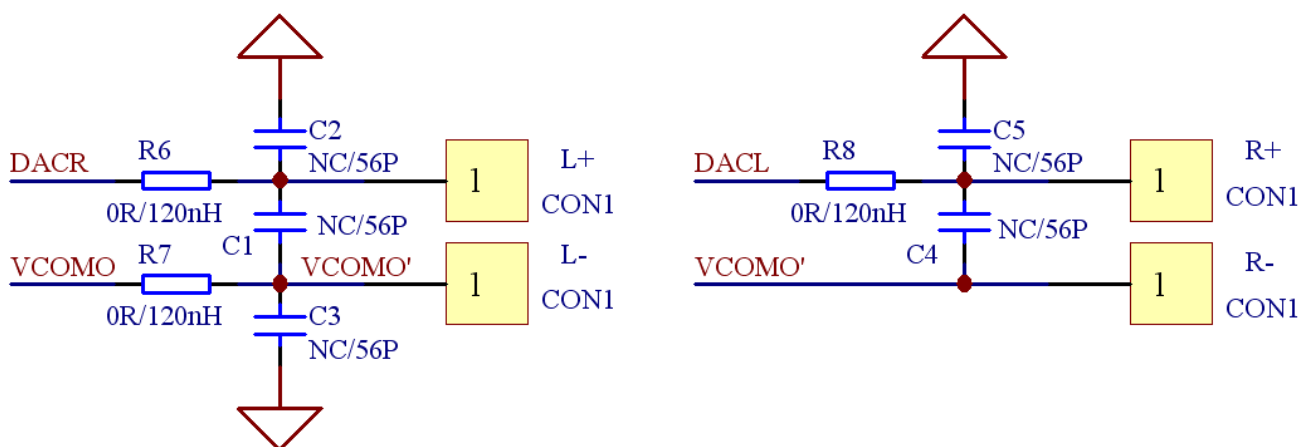


图3 DAC 抑制 RF 天线干扰电路

### DC-DC 方案:

- 1) 图3是DAC抑制RF天线干扰、和TDD干扰的电路,建议预留;如空间有限,可只预留R6/R7/R8。
- 2) DAC、电源的引线、以及喇叭腔体,要避开RF天线位置;喇叭、电池接线点最好在RF天线的180度反向处。
- 3) R6、R8固定使用100nH或者120nH,可以有效去除蓝牙通话时,手机靠近样机产生的高频TDD噪声;R7固定使用220nH或330nH,可以有效去除播歌时的高频噪声(LAYOUT不合理时,可尝试此方法去除)。

(注: DAC端预留的噪声处理电路会带来成本的增加,若方案设计够合理,且对噪声要求不够,可以不预留)

## 2、ESD 静电

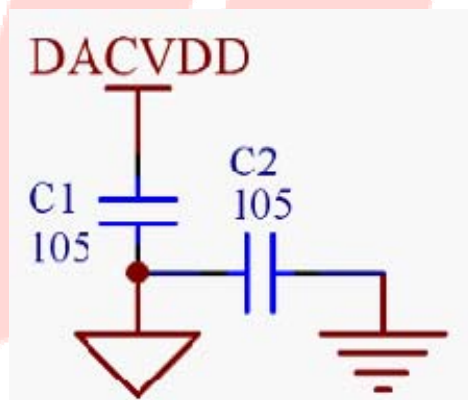


图4 ESD 静电处理电路

- 1) 在DACVDD电源的退耦电容C1处,就近用105电容把AGND和GND连接起来,如图4。
- 2) DACL、DACR等模拟部分的走线,和相关的元器件,容易受静电的干扰,注意保护。(可加大和GND的间隔,元器件下面不铺GND等)

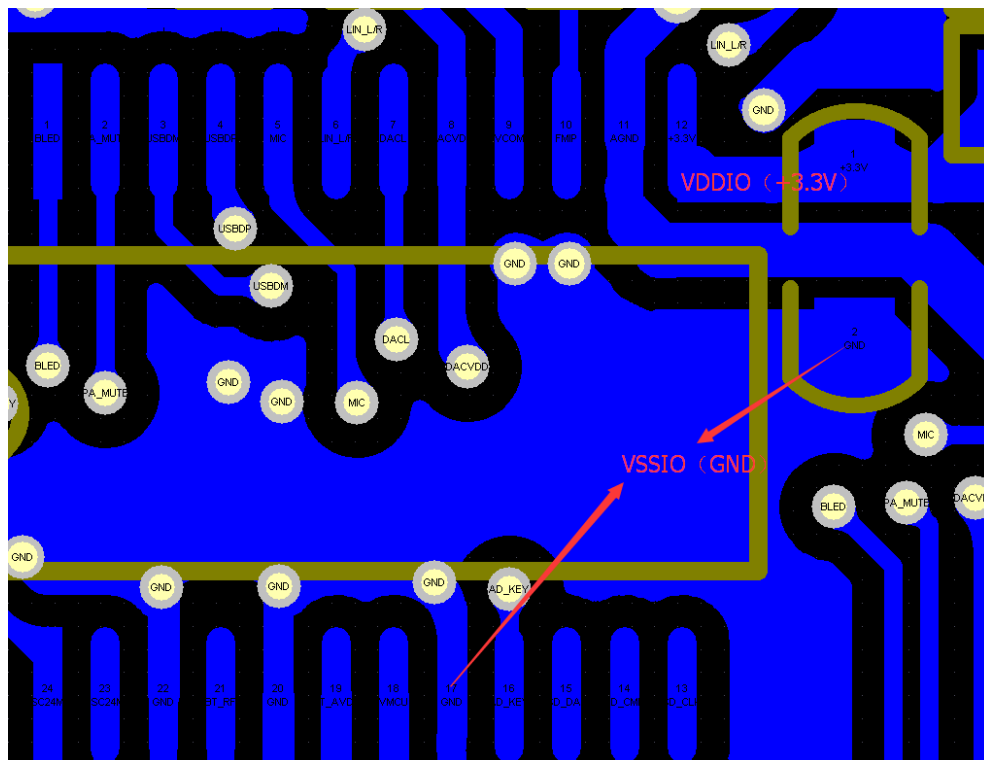
(注: ESD处理会增加物料,若方案无此要求,可以不考虑)

### 3、封装类型为 QFN 的芯片设计时请预留烧写测试点。

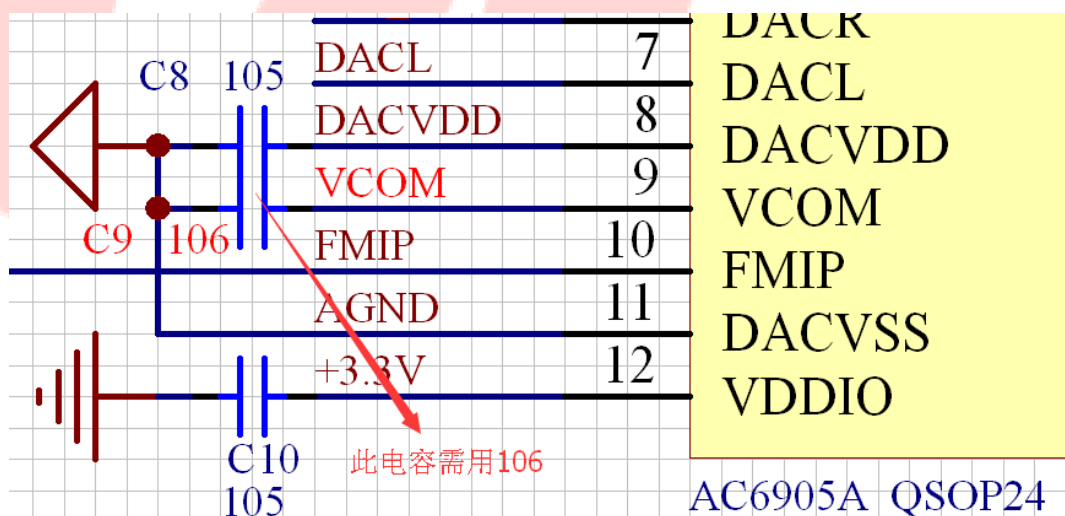
鉴于 QFN 封装芯片较小，不利于烧写台或人工烧写，所以可以先贴片，后用 PC 烧写。但设计时必须预留出以下烧写点：VBAT，GND，DP，DM。（备注：必须保证供给 VBAT 的电压为+5V）

### 4、VDDIO(+3.3V)退耦电容电容地需最短回路到芯片 VSSIO（GND）引脚

VDDIO 电源的地回路为 VSSIO（GND）引脚，设计过程中需大面积最短距离回到 VSSIO，参考设计如图：



### 5、ADKEY 复用 LED 点灯应用，VCOM 电容需改大为 106，不复用的方案还是用 105。



#### 四、版本信息

| 日期         | 版本号  | 描述   |
|------------|------|--|
| 2016.10.11 | V1.0 | 原始版本   |
| 2016.10.18 | V1.1 | 特别注意事项中增加第 5, 6, 7 点<br>更新 FVVSS 和 PGND 接地点说明  |
| 2016.11.18 | V1.2 | 更新点:<br>1、更新蓝牙天线形状<br>2、QFN 封装请预留烧写点<br>3、VDDIO 的退耦电容地须大面积最短回到 VSSIO<br>4、ADKEY 复用 LED 方案, VCOM 电容需改大到 106 |
| 2016.12.22 | V1.3 | 更新点:<br>1、再次强调 BT_AVDD 电容大小值, 对无 DC-DC 方案至少需使用 106(0603 封装)。   |
|            |      |  |