



## PCB 设计同步分析 6 大隐藏技巧(三)：分分钟掌握信号特性阻抗

现今电子产品的信号速度越来越快，信号传输的阻抗连续性与阻抗匹配对电子产品的运作至关重要；而良好的阻抗控制，除了在硬件设计时的规划外，在 PCB 设计时间针对信号传输路径进行分析并对走线做优化修正，避免阻抗不连续，亦是必要的过程。

本文将介绍如何使用 Allegro 的 Impedance 分析功能，在 PCB 布线过程中同步进行信号特性阻抗分析，帮助 PCB Layout 工程师实时修正 PCB 走线设计。

• **Date :** 2020 / 10

• **Author :** Jiefu Wu

• **Version :** V 17.4

**Graser** <http://www.graser.com.cn>



## 何谓特性阻抗？

PCB「信号管线」上的“美丽阻碍”

照惯例，在开始之前我们先来说说什么是**特性阻抗**。

想象一下，某天你兴高采烈地来到水上乐园，两眼直盯着滑水道打算玩个痛快，排了半天的队总算轮到

你，结果滑下去没多久就遇到一个凹洞！你的屁股会不会开花呢？  
所以，如果将 PCB 上的信号线想象成自来水管，水在水管中流动。当水从比较宽的水管往下流动时，突然尾段水管变窄了，部分的水流无法继续前进，那就会往回冲了。同样的情况拿到 PCB 上来说，如果信号传输路径有很大的变化，在上头的信号便无法稳定的传输，信号不稳定，系统运作就不正常。

因此简单地说，Impedance 就是信号以稳定的速度沿着传输线传播，并且传输线具有相同的横截面，当信号沿着这条线前进时，所遭遇到的阻碍都是一样的，这被视为传输线的一种特性，也就是**特性阻抗**。

[科普小常识：阻抗为电路中电阻、电感、电容对交流电的阻碍作用之统称。]

## 为什么需要 Impedance 分析？

信号走线-专注完美、近乎苛求

一般在设计 PCB 时，**Impedance discontinuity(阻抗不连续)** 常于以下几种情况发生：

1. 信号线宽改变。
2. 信号线参考的地平面(GND)有壕沟(Moat) (图 1)。

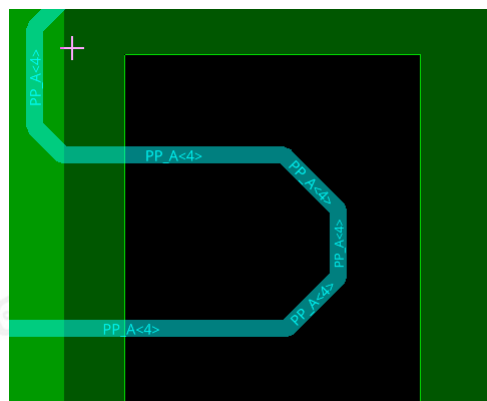
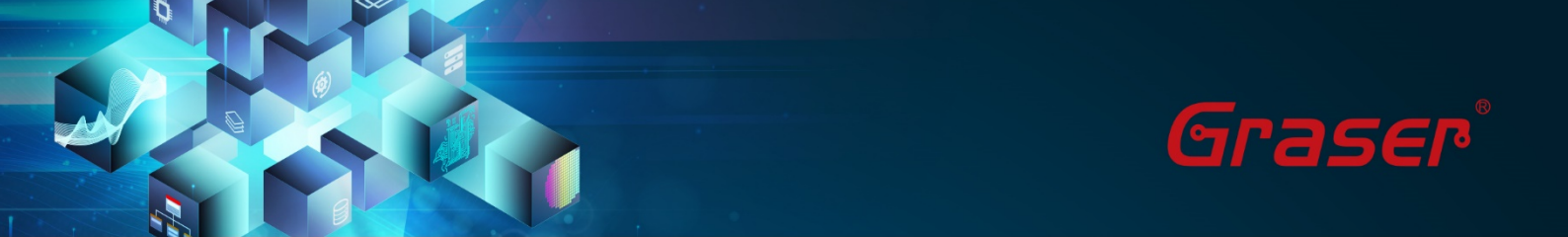


图 1. 走线过壕沟(Moat)



以往 PCB 设计工程师在处理走线部分时，多半使用目视检查 DRC 或是使用检查工具，如 Segments Over Voids) 来评估走线过孔是否需要修整。如果你足够细心，会详细检查并修正设计，基本上成果应该不会有太大问题。但是老样子，天有不测风云，人有旦夕祸福。

PCB Layout 上的走线千百条，就像那蓝色蜘蛛网，剪不断，理还乱。有时候眼睛一花，你就忽略了本来需要修正的地方；就执笔者本身的经验，就常遭遇到如上提及的情况：信号线宽改变以及走线过 Moat (壕沟)，尤其是当客户不断要求修改设计的时候。

在某个案例里，某位新进人员原本 Layout 走线已近完成阶段。但是，就在这个时间点，客户要求修改设计，某些信号需要做调整、某些组件要移动，而 PCB 重重走线如 宋·戴石屏《怜薄命》词：「道旁杨柳依依，千丝万缕，拧不住一分愁绪。」苦哇！

千修万改总还是有了疏漏。某些信号走线忘了调整，到了要出图的时候才发现。

不幸中的大幸是，板子还没开始制造，急急忙忙地开始加班修改，人仰马翻！

各位是否也都曾遭遇过类似上述痛苦经验呢？若能在修改 PCB 设计时，能有一个直观的辅助分析工具帮助工程师实时分析、实时检查、实时修正，将可大大减少错误发生的机会。套一句老眼，超前部署，避免心血结晶于最后关头付之一炬。

接下来我们将透过设计实例详解设计同步进行 Impedance 分析以避免阻抗不连续：

## 如何执行 Impedance 实时分析信号特性阻抗

在开始执行分析之前，我们会建议先把叠构板材定义清楚，因为所有的分析结果都是基于层叠结构设定为基础做计算。接着我们就可以利用 Allegro PCB Designer 中 Analyze 功能底下的 Workflow Manager 来启动 Impedance 分析功能 (图 2)。

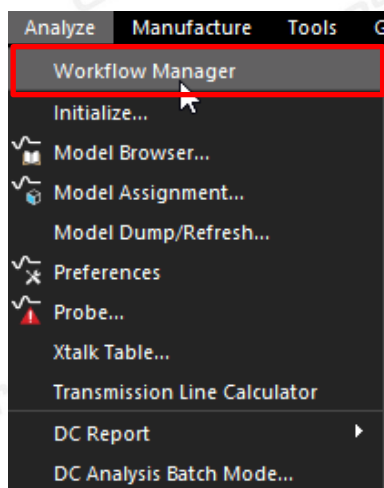


图 2. Workflow Manager





在 Workflow Manager 的下拉选单中选择 Impedance 分析功能。(图 3)

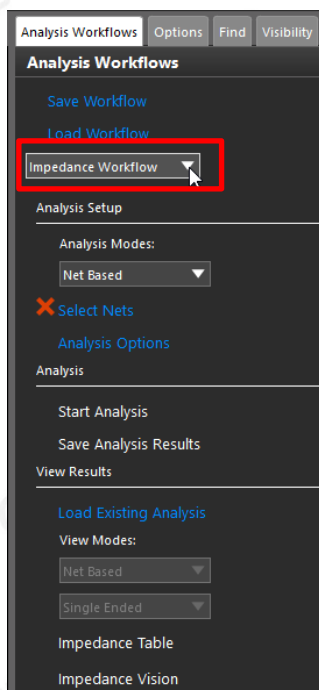


图 3. Impedance Workflow

在开始执行分析之前，我们会需要先选择设定模式。一种是使用 **Net Based(信号选取)**来选择要分析的 Net，另一种方式是使用 **Directed Group(零件群组)**来选取组件并分析其连接的 Net (图 4)。

这边我们先选择 **Net Based** 模式。

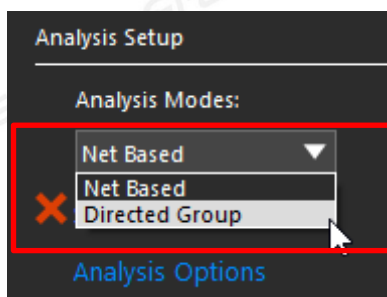


图 4. 设定分析模式

选择要分析的 Net。(图 5)

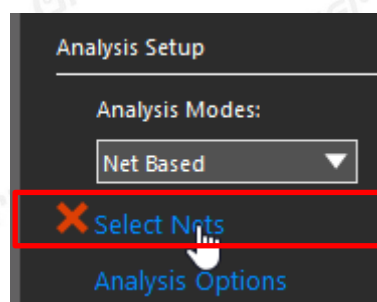
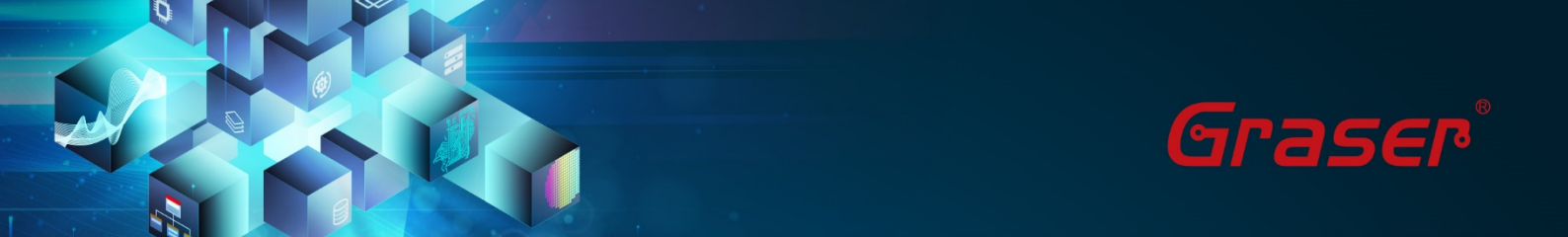


图 5. 选择 Nets







接着在(X)Net Selection 窗口中选择要执行分析的信号，左上角的 Views 检视模式可切换至 **Hierarchical 阶层模式**，只要有设定 BUS/Xnet/Diffpair，便可以阶层方式整组选取。同时也可搭配 Shift 键做区间选取，或是 Control 键多重选取，确认后点选中间的 -> 键，将所选信号添加到右侧字段中。(图 6)

另外还有 **Flat 模式**，则是可显示所有信号名。

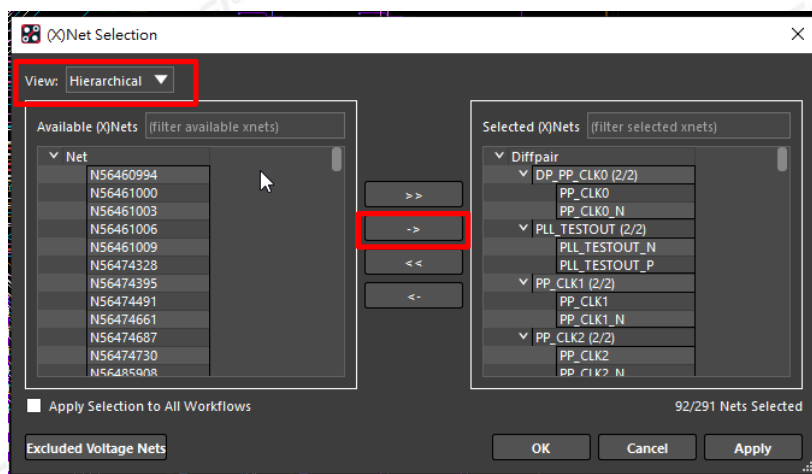


图 6. 阶层模式-选取要分析的 Net

这边要特别一提的是，在 Allegro 17.4 的版本除了可在列表选取要分析的 Net 之外，现在也可使用鼠标直接在 Layout 画面中框选要分析的 Net。(图 7)

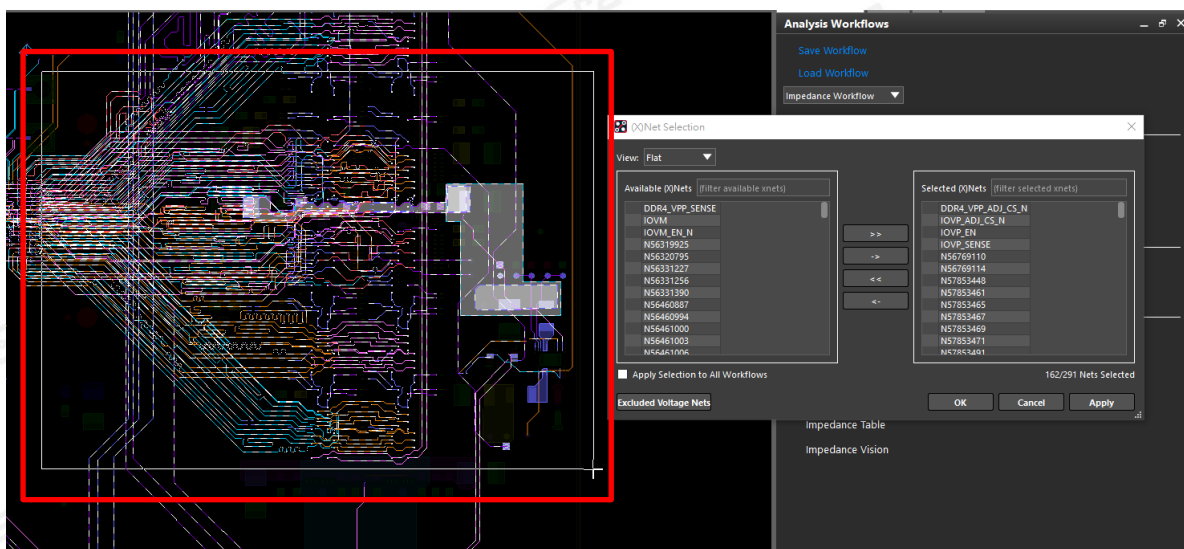
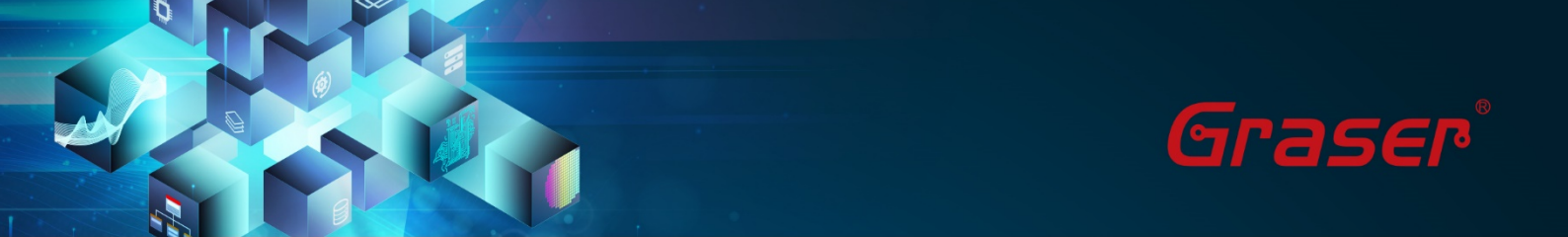


图 7. 鼠标直接框选 Net





而另一种设定模式是 **Directed Group (零件群组)**，选取组件并确认其两端连接的 Net。勾选完成后按下 **Create 键**。(图 8)

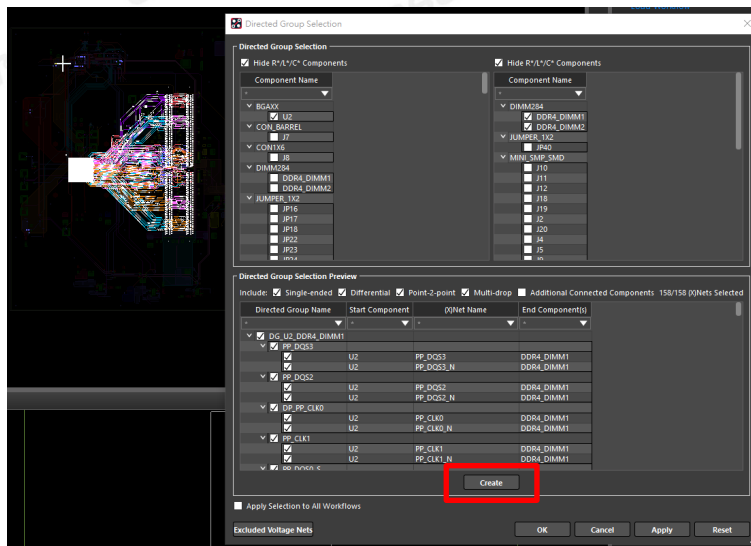


图 8. Directed Group 零件群组模式

之后便会在 **Directed Group Selection Results** 字段显示选择结果。(图 9)

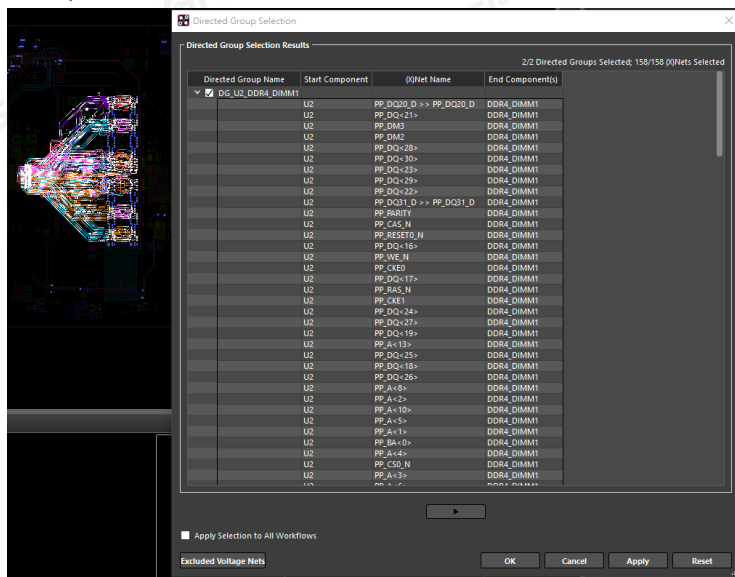


图 9. 零件群组选择结果示意

接着便可以点击开始分析。(图 10-11)

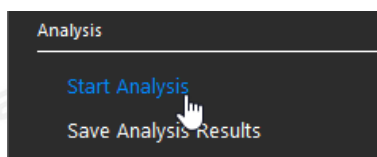


图 10. Start Analysis 开始进行分析

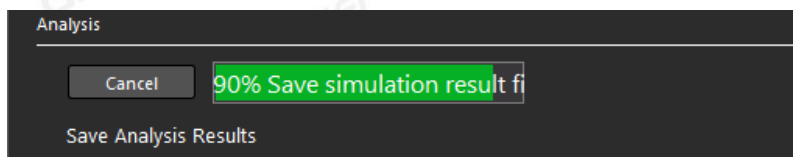
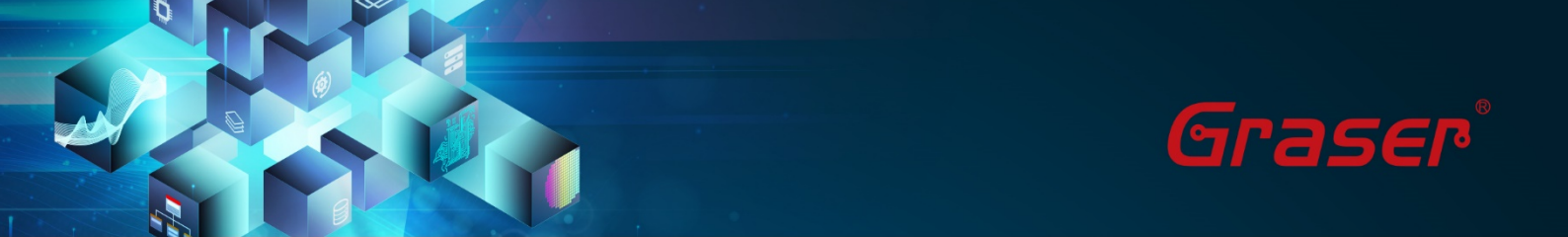


图 11. 分析计算中

一般来说除了 DC Net 以外的信号走线我们均需要做阻抗分析检查，以确保信号传输质量。





## Impedance 阻抗分析结果解析

待分析完成便可选择要检视的结果。在 IDA (In-Design Analysis, 设计同步分析) 的 Impedance 分析项目中提供了两种可检视的阻抗分析结果 (图 12) , 分别是 :

1. **Single Ended** (单端信号)
2. **Diff Pair** (差分对信号)

只要在 Layout 中有设定 **Diff Pair** 差分对信号 , 并且有选取该 Net 信号 , 便会一并进行分析。

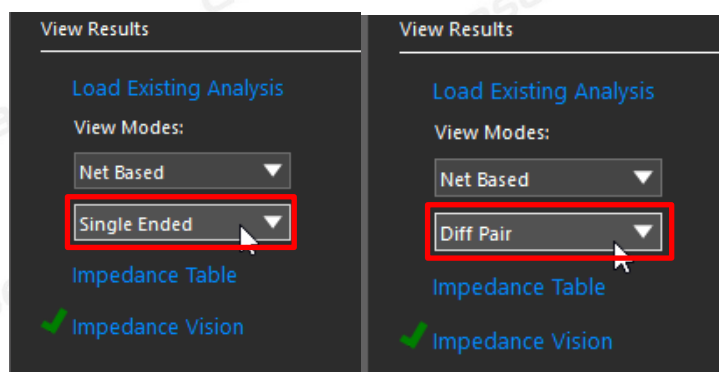


图 12. 选择检视分析结果

这里我们直接来确认分析结果。下图中我们可以看到结果的呈现方式有两种选择 , 分别是 **Impedance Table** 以及 **Impedance Vision**。(图 13)

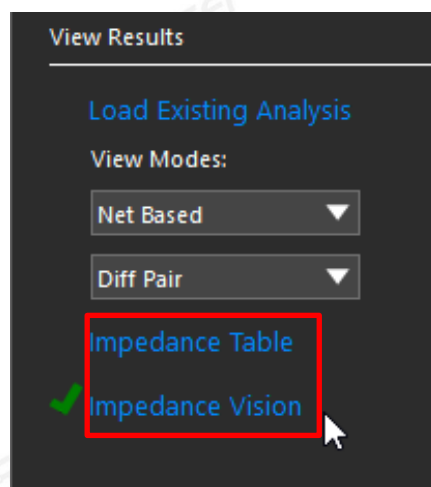
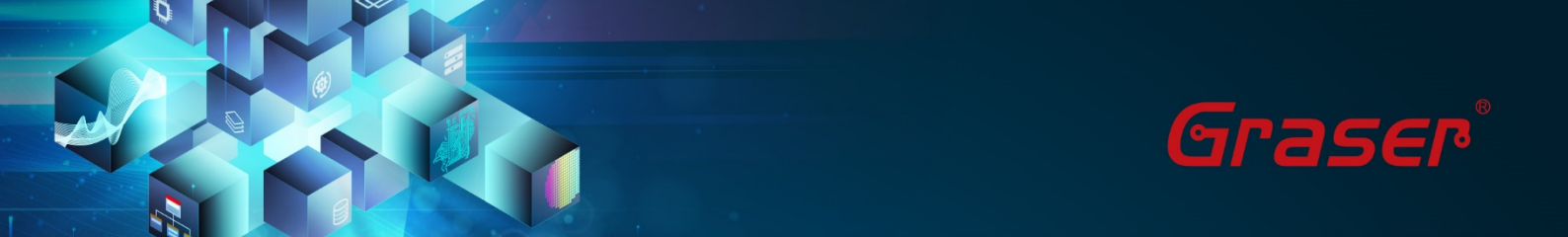


图 13. 结果检视模式示意





选择 **Table** 以数据表方式呈现分析结果如下图，可以针对**有异常的项目**进行确认，并且可使用光标点击异常项目来连动 Layout 画面，直接切换到有问题的位置。

Net Name	Vias	No Ref	Impedance(Ohm)			Impedance Length(%)			Length	Delay(ns)	Trace Total		
			Max	Min	Typ	Max	Min	Typ			R(mOhm)	L(nH)	C(pF)
PP_A<0>	4	0	43.90	40.10	40.10	1.11	73.42	73.42	4953.8350	0.725	671.226	31.596	19.509
PP_A<1>	4	0	66.80	40.10	40.20	0.66	18.07	74.68	4952.7540	0.783	861.771	31.630	19.436
PP_A<2>	4	0	66.80	40.10	40.20	0.38	18.23	68.63	4957.2060	0.781	818.296	31.486	19.391
PP_A<3>	4	0	40.60	40.10	40.20	5.13	18.14	76.73	4956.2510	0.794	872.815	31.522	19.520
PP_A<4>	4	0	66.80	40.10	40.20	1.46	18.19	65.33	4955.0500	0.782	828.759	32.523	19.040
PP_A<5>	4	0	66.80	40.10	40.20	1.12	18.05	72.06	4951.9680	0.782	848.474	31.757	19.347
PP_A<6>	4	0	66.80	40.10	40.20	1.51	18.14	75.11	4956.6930	0.785	872.076	31.851	19.405
PP_A<7>	4	0	66.80	40.10	40.20	1.82	18.03	71.57	4951.7500	0.782	847.397	31.831	19.316
PP_A<8>	4	0	66.80	40.10	40.20	0.38	18.09	74.60	4953.6540	0.783	861.714	31.630	19.436

图 14. 以 Table 数据表模式检视结果

如果选择检视 **Diff Pair** 则会在 Table 左上方显示 Diff Pair 页签，点击便可检视 Diff Pair 的分析结果。(图 15-1; 15-2)

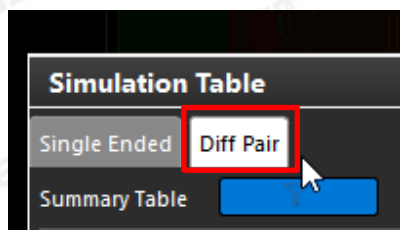


图 15-1. Diff Pair 差分对信号页签

Net Name	Vias	No Ref	Impedance(Ohm)			Impedance Length(%)			Length	Delay(ns)	Trace Total		
			Max	Min	Typ	Max	Min	Typ			R(mOhm)	L(nH)	C(pF)
PLL_TESTOUT_N	2	0	95.60	88.10	88.10	36.36	43.13	43.13	1145.2220	0.181			
PLL_TESTOUT_P	2	0	95.60	88.10	88.10	36.36	43.13	43.13	1145.1030	0.181			
PP_CLK0	3	0	83.30	74.50	76.30	0.23	5.81	87.28	4059.3550	0.640			
PP_CLK0_N	3	0	83.30	74.50	76.30	0.23	5.81	87.28	4059.3490	0.640			
PP_CLK1	3	0	98.20	74.50	76.30	0.08	4.70	86.02	4060.0050	0.641			
PP_CLK1_N	3	0	98.20	74.50	76.30	0.08	4.70	86.02	4060.0130	0.641			
PP_CLK2	3	0	100.10	74.50	76.00	0.61	4.41	82.99	4955.5290	0.785			
PP_CLK2_N	3	0	100.10	74.50	76.00	0.61	4.41	82.99	4956.1590	0.785			
PP_CLK3	3	0	84.10	74.50	76.00	4.88	6.85	79.93	4957.9040	0.783			

图 15-2. Diff Pair 差分对信号分析结果检视





使用鼠标点击阻抗变异最高的字段(红色处)来连动 Layout 画面，直接切换到有问题的位置做确认修改。(图 15-3)

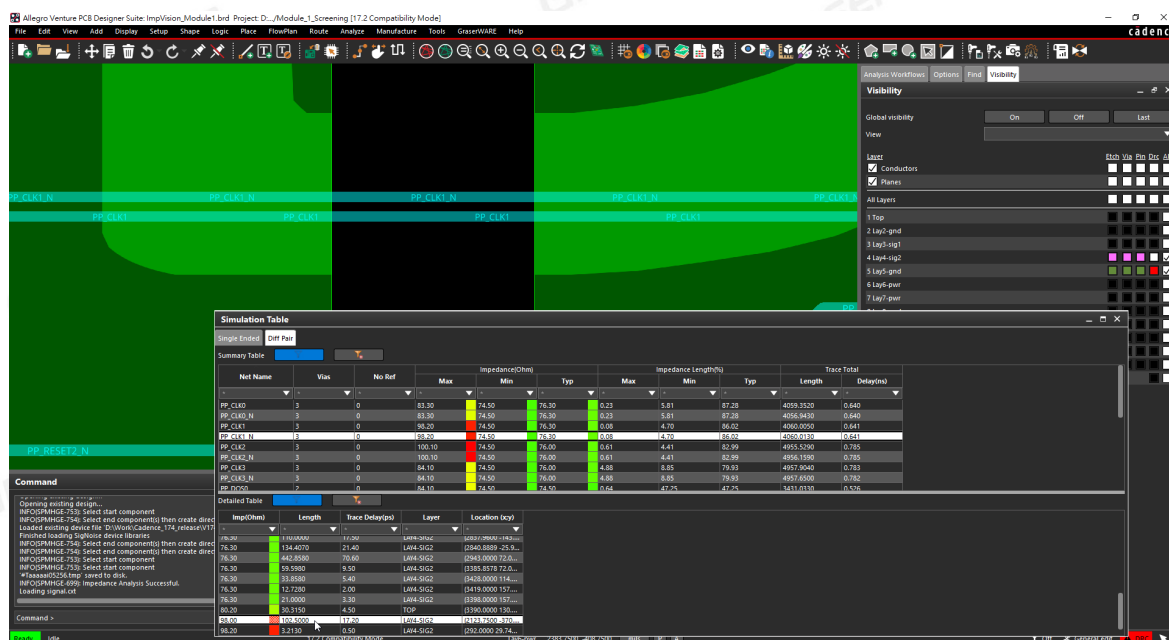


图 15-3. 红色处代表阻抗变异最高，可点击切换到该问题位置

造桥铺路填补铺铜 Moat 。(图 15-4)

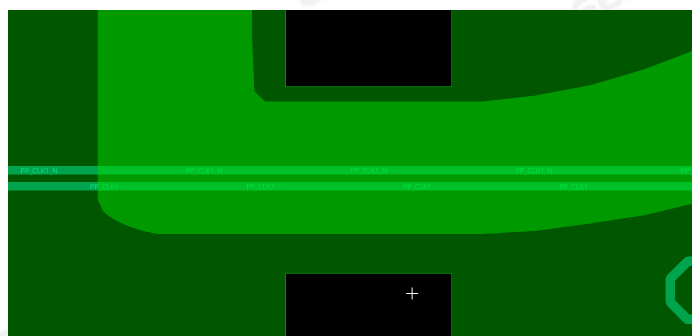
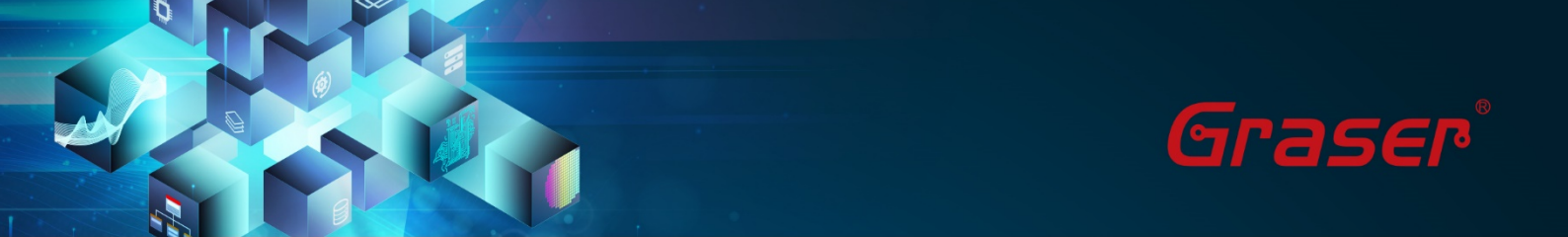


图 15-4. Diff Pair 差分对信号阻抗不连续修正





而对 Layout 人员来说最直接有感的便是以 **Vision** 方式，可直观确认阻抗不连续的地方。

我们可在 Visibility 面板选择要检视的层面，确认该层走线的分析结果。(图 16)

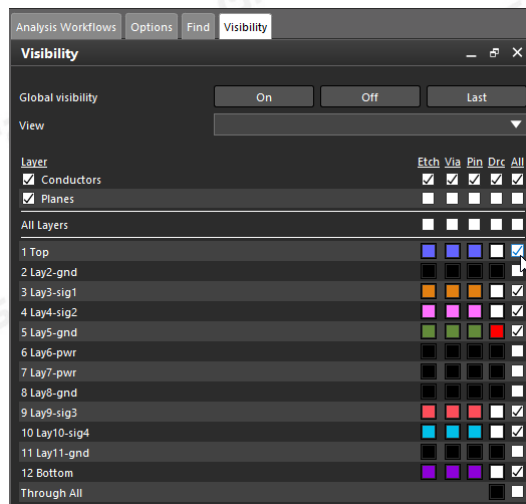


图 16. Visibility 面板: 选择欲检视的层面走线

选完层面便可以直接在 Layout 中看到走线以色阶显示阻抗分布状态，如下图 17 的走线，色阶显示不连续，工程师可直接针对有问题处做判断及修正，快速且便捷。

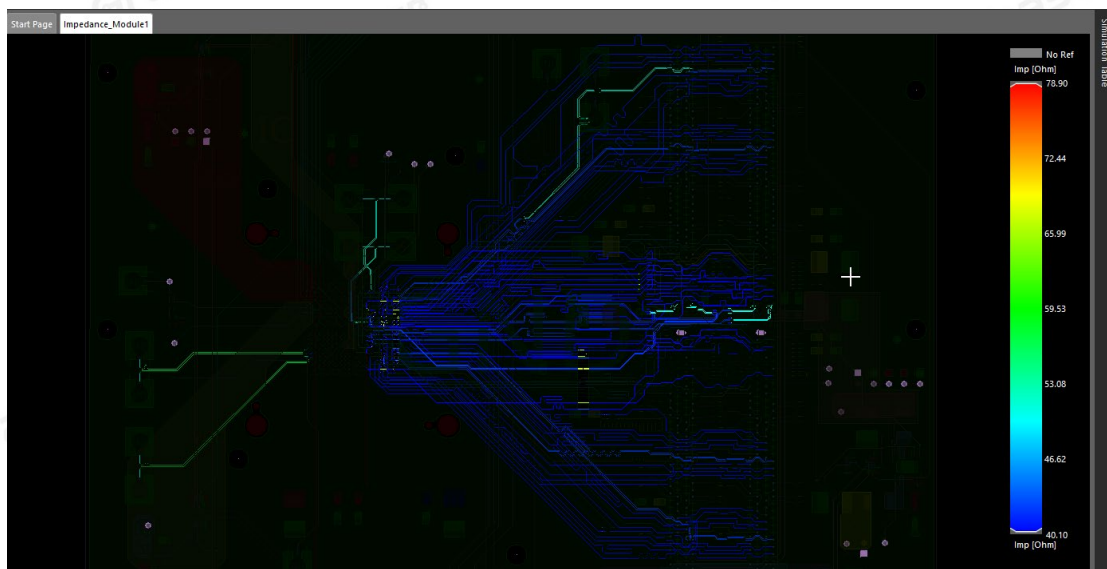
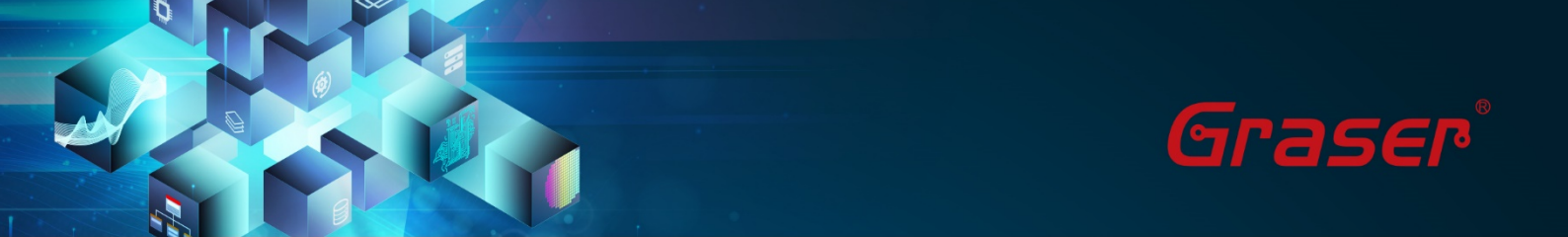


图 17. Impedance Vision-实时查看阻抗分布和不连续问题

而在上图 17 画面的右边可以看到色阶分布显示，以颜色代表数值分布，并可自行调整要显示的范围，显示出目前 Layout 中所分析出来的状态。**注意！** 这边颜色并不代表好坏，仅是显示目前阻抗从高到低的范围。





我们可看到下图的走线，因为参考的邻层地平面(GND)施工，地基掏空而落入万丈深渊，我们必须救它！

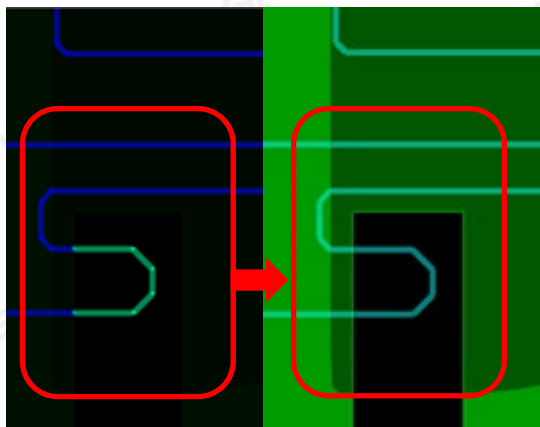


图 18. 走线信号问题示意

这时我们可将因跨过 Moat 而造成阻抗不连续的线段做个调整，移动线段位置，(图 19)

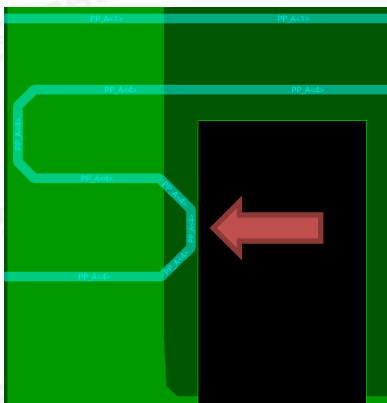


图 19. 调整走线以避免 Moat

或是将 GND 铺铜挖空的部分补上，让走线平稳的经过，(图 20)

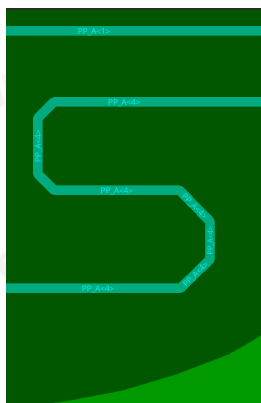
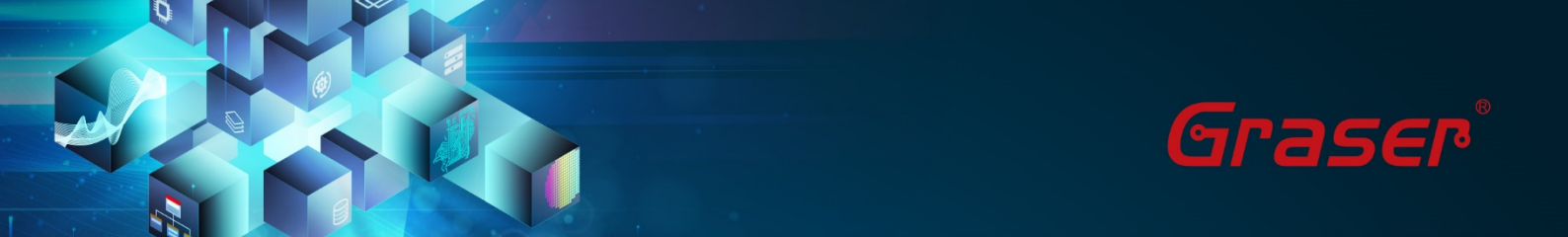


图 20. 调整铺铜填补 Moat







重新执行分析后便可发现原本阻抗不连续的地方已呈现连续的蓝色，如图 21 所示。（从深渊里爬起来了!）



图 21. 重新分析确认阻抗是否连续

以上是以 **Net Based** 信号选取模式所得到的分析结果及异常修正方式。

如果以 **Directed Group** 零件群组模式选择要分析的信号，则在结果显示方式中会多出 **Impedance Plot** 阻抗图模式。（图 22）

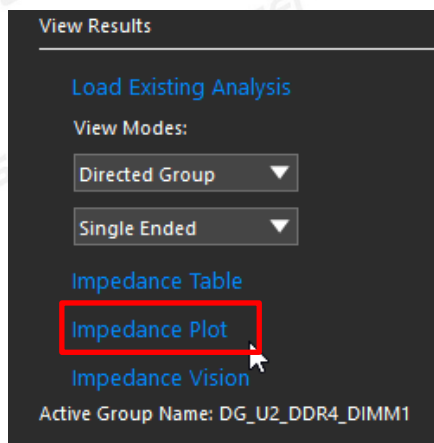
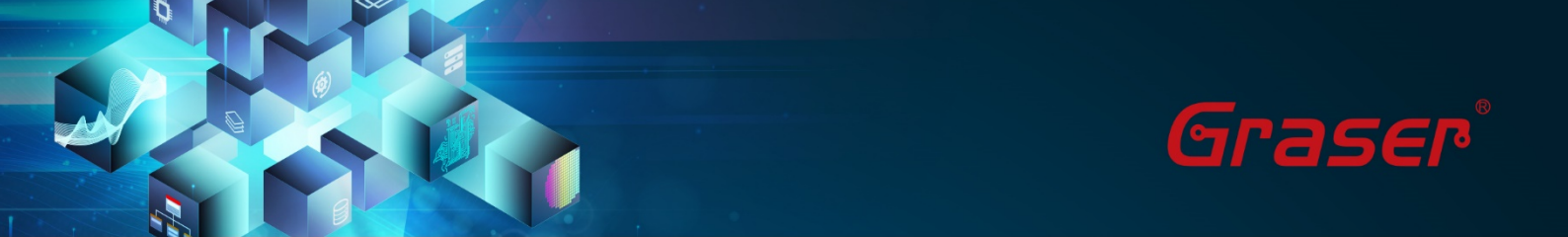


图 22. Impedance Plot-阻抗图模式示意

当选择 Impedance Plot 阻抗图模式显示结果时，可看到窗口中有 **Bar/Expanded** (直方图/延展式)以及 **Scatter/Collapsed** (散布图/折叠式) 两个页签。





**Bar/Expanded** 页面里所显示的直方图信息为各信号走线的长度(X 轴)以及由颜色显示的阻抗变化。使用鼠标直接点击不同线段可直接跳至 Layout 中相对应的位置。(图 23)

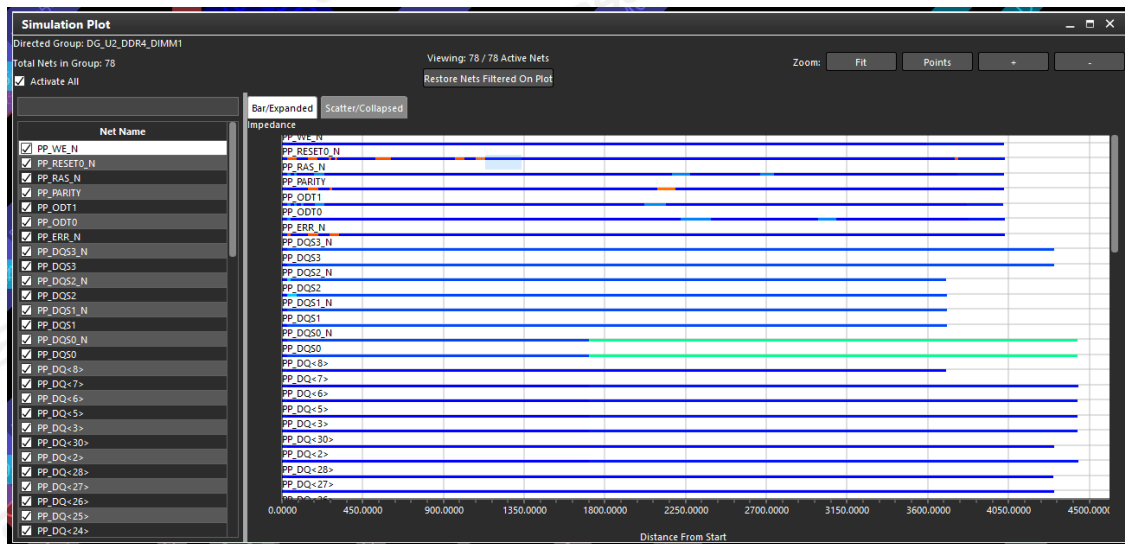


图 23. Bar/Expanded 页面示意各信号走线长度并以颜色显示阻抗变化

而点选 **Scatter/Collapsed** 页面，则会显示所选的信号在 Layout 中呈现的阻抗(Y 轴)以及长度(X 轴)分布。



图 24. Scatter/Collapsed 页面-所选的信号阻抗呈现和其长度分布状态

这些信息可在需要时帮助 SI 人员进一步确认信号的阻抗状态。附带一提，在 Imedance Vision 阻抗显示模式下，使用鼠标直接在 Layout 中移动到线段上可以显示详细信息。(图 25)

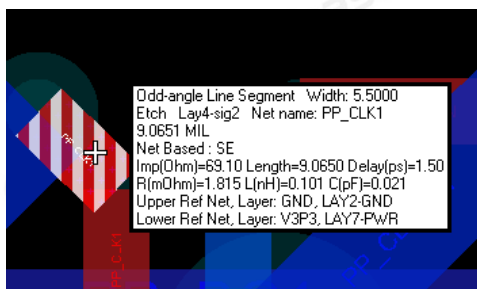


图 25. Imedance Vision – tooltips 详细信息显示





## 总结

### 掌握特性阻抗问题，实时修正 Layout 设计

如同前言所述，以往 PCB 设计工程师在处理特性阻抗问题时，可能需要花费许多时间与心思做检查，并且需要与 SI 人员反复沟通确认问题点，不断修正设计才能够得到正确的成果。如果有一个实时又直觉的帮手来帮助工程师做初步确认，就能够降低失败的机率，并且减少重工的时间。

现在 Allegro PCB Designer 中导入了 Sigrity 专业的模拟分析技术，将 IDA (In-Design Analysis, 设计同步分析) 带入 PCB 设计流程之中，帮助 PCB 设计工程师实时的分析 Layout 设计，并修正不理想的部分。重点是在执行 Impedance 分析功能时，不需要任何复杂设定便能快速执行分析，大幅减低了操作上的难度，使设计效率提升，不良机率减少。

还是那句老话，让 PCB 设计工程师晚上能够安心睡个好觉。

### 【温馨提醒】

若欲完整执行上述 Impedance 分析功能需要搭载 Cadence 相关软件程序和 Licenses。

### 更多【PCB 设计同步分析隐藏技巧】系列专题文章：

技巧一：电源设计优化 IR Drop [【手机端】](#) / [【电脑端】](#)

技巧二：信号耦合干扰 Coupling [【手机端】](#) / [【电脑端】](#)

下一期预告：Crosstalk 串扰分析技巧

【PCB 设计同步分析六大隐藏技巧】系列专题主要解锁 IR Drop 压降、Coupling 耦合、Impedance 阻抗、Crosstalk 串扰、Reflection 反射、Return Path 回流路径等 6 种分析技巧，帮助 EE、Layout 人员在设计前期阶段不需依靠 SI/PI 专家就能做初步的模拟分析，快速找出并排除常见信号/电源问题，提升设计质量和效率，欢迎共同探讨。

