

PCB系统设计——从原理图到投产

第一期：PCB系统设计概述

郑凤仙, Principal Customer Engagement Engineer

2021年04月16日

cā dence[®]

郑凤仙

Principal Customer Engagement Engineer

- 在PCB行业从业18年，加入Cadence之前，先后受聘于Mitac、华为技术有限公司
- 熟悉PCB全流程设计，拥有丰富的PCB设计经验及项目管理经验
- 设计产品包括电脑主板、服务器、路由器等，擅长于PCB精细化设计及质量管控

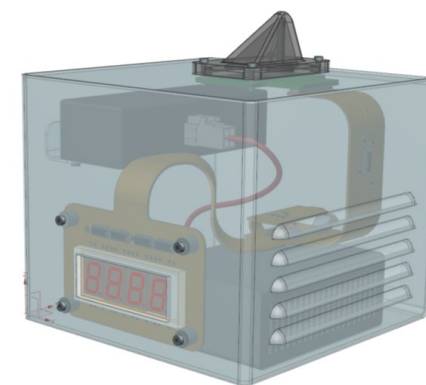
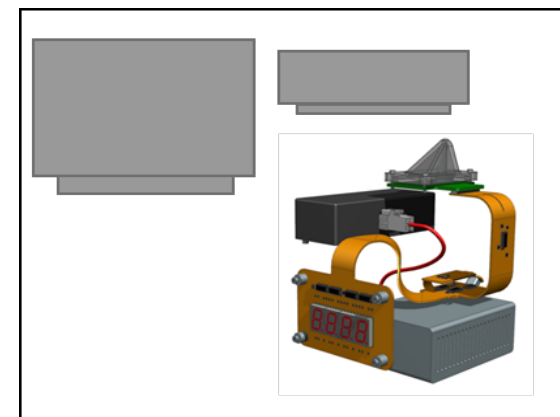


PCB系统设计——从原理图到投产

系列课程计划

1. PCB系统设计概述
2. 高效高质量设计原理图
3. 原理图重用
4. 原理图变量及连接
5. 原理图可靠性设计
6. 数据管理及发布

通过设计样例，探讨全流程设计



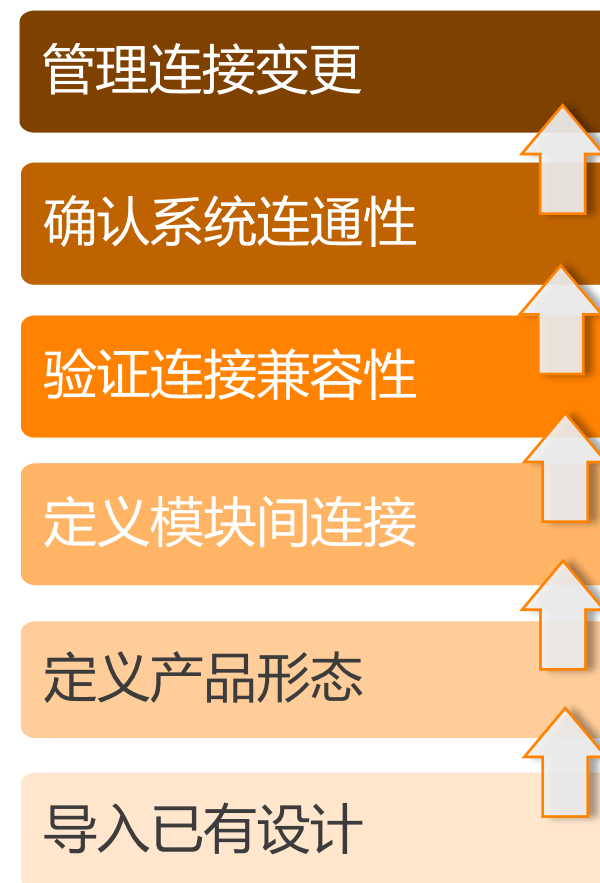
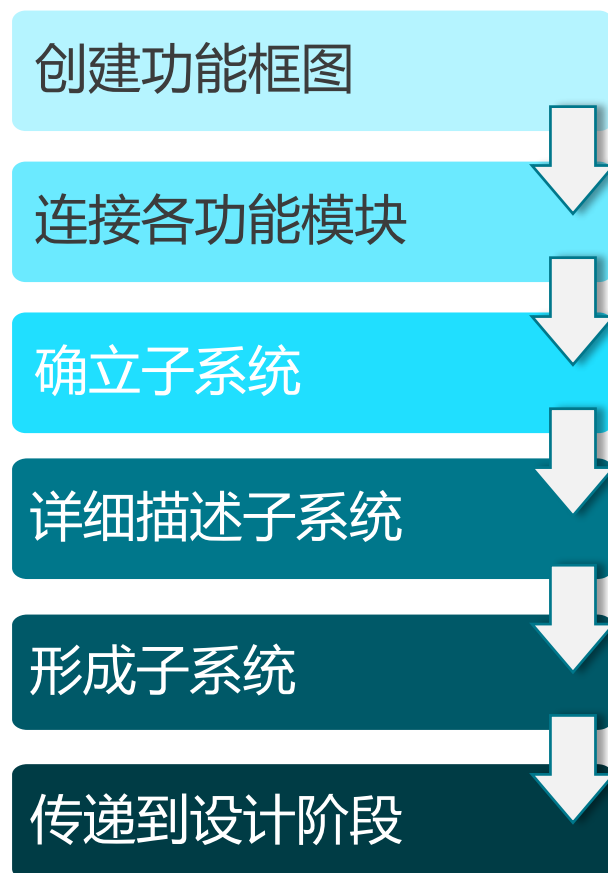


第一期：PCB系统设计概述

PCB系统设计

自上而下

从概念到框图，细化分解到子系统设计，最终完成整个产品的开发



自下而上

导入已有的不同功能模块，融合后开发出新产品

PCB系统设计——自上而下



- 产品架构以几何图形展示，架构师的方案在原理图工具中整合，无需第三方工具（文本/白板等），迈出产品开发项目“集成管理”第一步
- 高效性：与Microsoft Visio和Microsoft PowerPoint的“易用性”相匹配，快速创建功能框图（FBD）
- 直观性：图形阐释模块间互连关系
- 可读性：文字+图形+表格，清晰传递设计需求
- 易用性：Port和Netgroup实现各模块间互连
- 简洁性：轻松定义子系统
- 协同性：以项目形式输出到设计组以完成详细的逻辑和物理设计

PCB系统设计——自下而上

- 利用已有设计，搭建多板连接，融合设计新产品系统图



System Capture主要功能

全流程简洁高效高质量

- 端到端全流程设计：框图设计、层次图设计、设计复用、规则设置等助力高效交付；多维度质量设计，为产品质量保驾护航
- 指令与设计需求适配，实现“极简化的”



全流程设计

设计者工作得心应手

原理图设计



- ☐ 提升多页多变量设计效率
- ☐ 集中管理错综复杂的变量
- ☐ 与PCB设计工具紧密交互

设计审查



- ☐ 自动运行设计审查
- ☐ 审查结果清晰分类
- ☐ 点击即可定位并修改

设计复用 (含规则)



- ☐ 直接复用优秀设计
- ☐ 不同设计间复用
- ☐ 设计内复用只需拷贝粘贴

可靠性设计



- ☐ 快速仿真审查设计
- ☐ 直观简洁的仿真结果
- ☐ 快速修改并再次仿真

规则设置



- ☐ 物理规则设置
- ☐ 电器规则设置
- ☐ 差分对设置

电应力设计

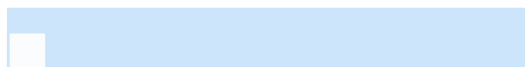


- ☐ 早期识别器件失效风险
- ☐ 直观简洁展示结果
- ☐ 快速修改参数并再次仿真

过程及数据管理

设计数据顺畅流通

工作流程



- ☐ 管理员按需定制流程
- ☐ 开发设计人员快速接入
- ☐ 设计工具及数据信手拈来

版本控制



- ☐ 清晰标示并保留每个版本
- ☐ 随时返回所需版本
- ☐ 标签和注释清晰传递变更

联合搜索



- ☐ 多个搜索源
- ☐ 多样化搜索维度
- ☐ 细致的搜索结果

设计变量



- ☐ 集中创建和管理变量
- ☐ 小组成员可查看变量
- ☐ 导出CSV格式变量列表

生产发布



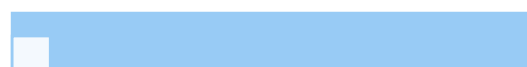
- ☐ 跟进并确保发布最新数据
- ☐ 灵活配置需发布数据
- ☐ 确保内部外部数据同源

实时BOM



- ☐ 自动生成实时BOM
- ☐ 随时下载CSV格式的BOM
- ☐ BOM和原理图交互定位

新部件申请



- ☐ 新部件申请
- ☐ 部件变更申请
- ☐ 清晰管理和查阅申请

部件管理



- ☐ 清晰管理部件信息
- ☐ 确保设计部件同步库部件
- ☐ 消除部件不同步问题

原理图迁移 (Allegro DE HDL to Allegro System Capture)

- 数据库设置完整, 限制性条件检查完成, 即可轻松将Allegro DE HDL设计的原理图直接导入Allegro System Capture, 确保设计顺利进行

数据库设置

- 确保 Allegro DE HDL 环境中用到的零件信息可用

方案一: 设置CDS_SITE, 指向设计所需数据库

方案二: 当项目使用本地库时, 创建项目档案, 并用它来创建新项目

限制性条件检查

- 所有sheets必须有页面边框
- 数据库可用 (Allegro System Capture可处理数据库差异, 无需其他操作)
- 零件表文件必须可用
- 反标在打包后才可用
- 原理图中不能有 Hierarchical-split symbols 和Merge body symbols

原理图导入

- 用已有 Allegro DE-HDL 设计创建新设计
- 将Allegro DE-HDL设计以BLOCK方式导入
- 从Allegro DE-HDL设计中导入指定sheets
- ❖导入block会保留网络的约束和差分对属性;导入sheet则没有

原理图迁移 (Allegro DE HDL to Allegro System Capture)

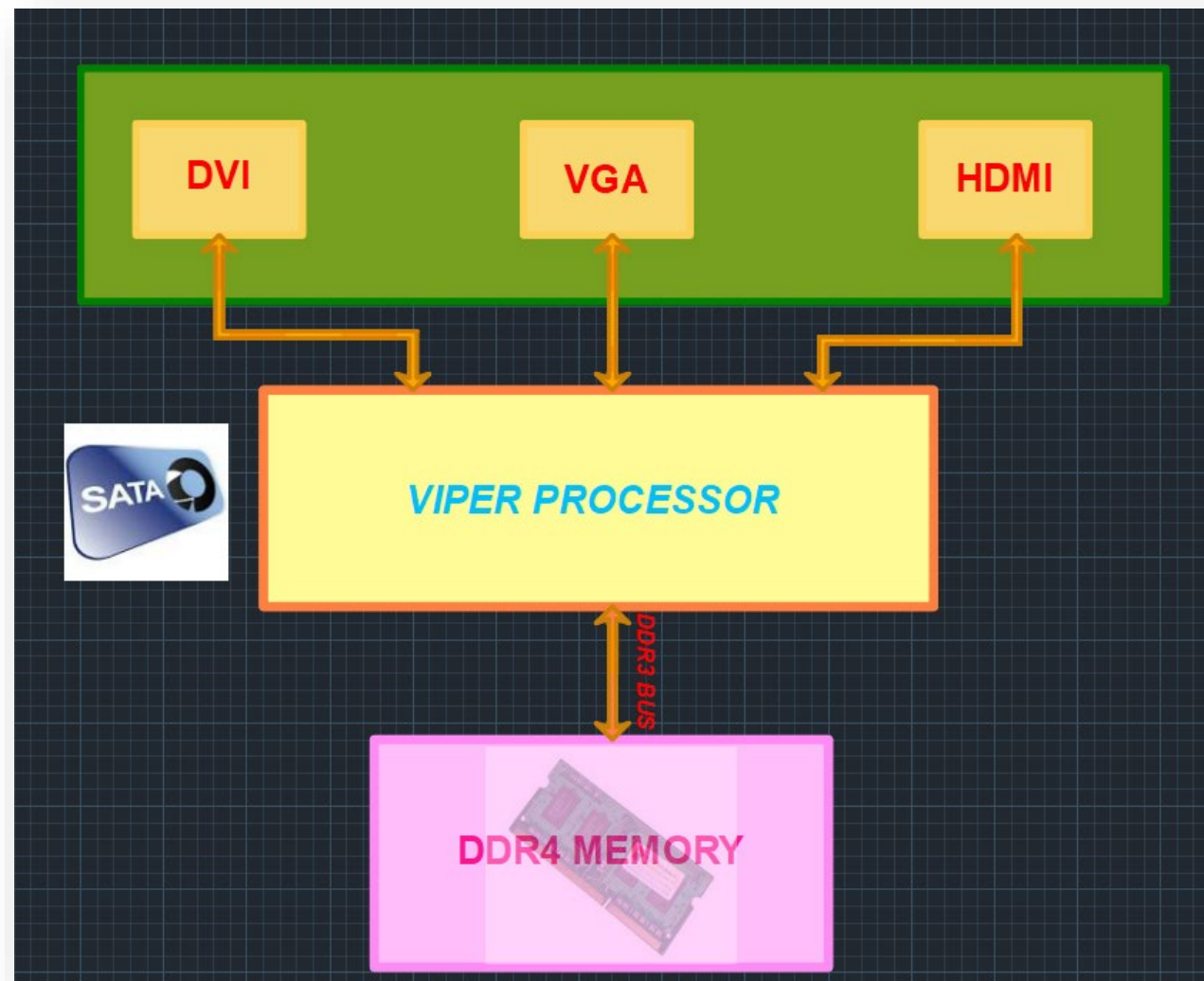
- 操作方法

方案	基于已有的设计新建	Block方式导入设计	导入指定的原理图 (sheet)
操作步骤	1. 输出Allegro DE HDL的项目包, 或者已有一个设计库齐备的项目 2. 在Allegro System Capture中执行“File – New – Project from Existing Design”	直接执行: File – Import – Block(s)	直接执行: File – Import – Sheet(s)
注意事项	CDS_SITE仅在导入过程中读取	带入net所有的约束和差分属性	不带入net所有的约束和差分属性

- 详细操作指导[点击这里](#)

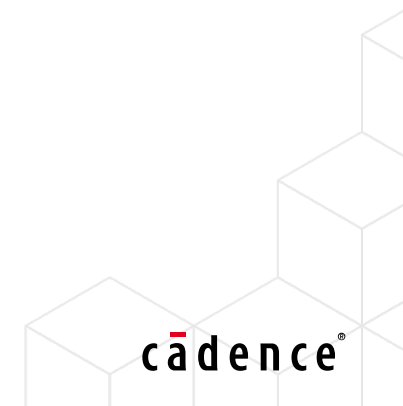
系统设计及功能框图

- 设计顶层的系统框图和模块功能图在Allegro System Capture中可以高效完成
- 丰富的图形库
- 各种类型的箭头
- 自由插入图片
- 图片显示可调节
- 文字备注及超链接助力清晰阐述系统原理及信号流向



系统设计及功能框图 Demo

- Demo演示见录播回放（ 23:55 ）时间位置
- 录播回放链接：
 - [电脑端](#)
 - [手机端](#)



感谢您的关注与支持!

关注微信公众号“Cadence楷登PCB及封装资源中心”

微信后台回复关键词“PCB系统设计”查看完整课程计划与资料汇总页面，快来系统化地学习吧!

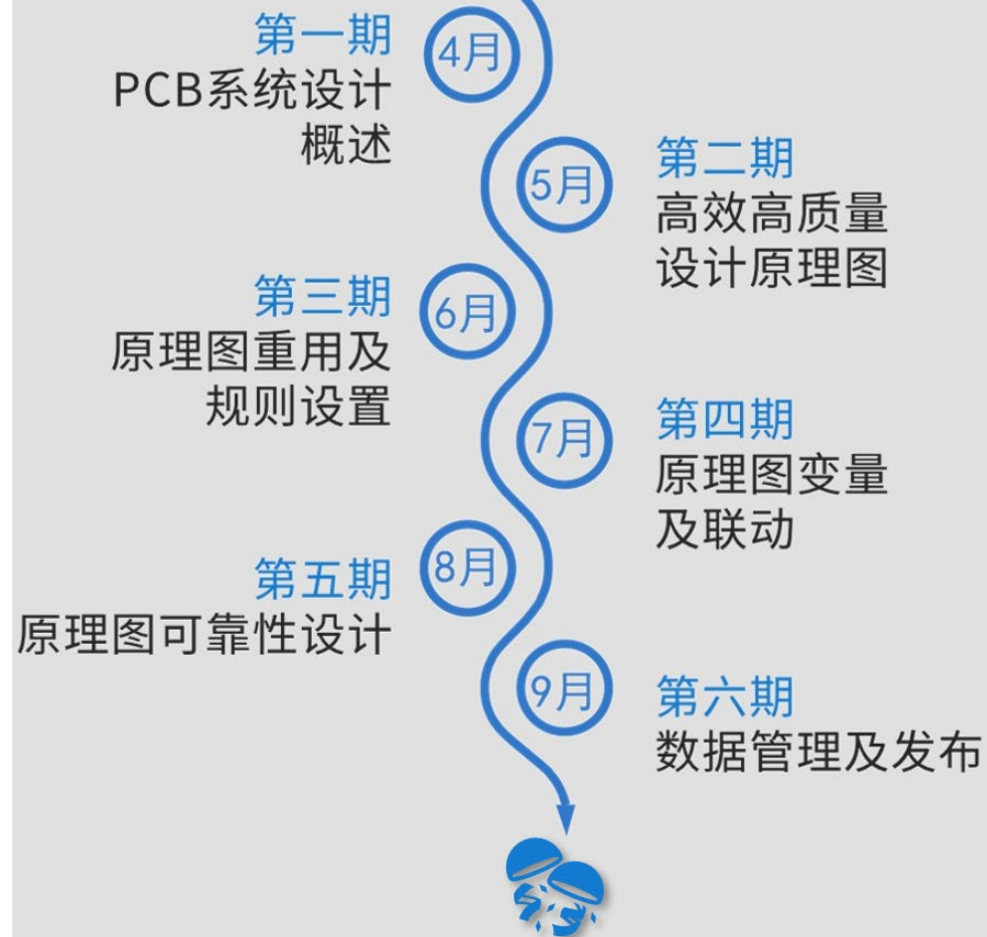
➤ 下期直播：5月21日
高效高质量设计原理图



扫描二维码关注

- ☒ 专家培训
- ☒ 用户大会
- ☒ 技术资料
- ☒ 会员福利

课程大纲



*本课程实例演示使用工具为Cadence® Allegro® System Capture软件



cā dence[®]

© 2021 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence, the Cadence logo, and the other Cadence marks found at <https://www.cadence.com/go/trademarks> are trademarks or registered trademarks of Cadence Design Systems, Inc. Accellera and SystemC are trademarks of Accellera Systems Initiative Inc. All Arm products are registered trademarks or trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. All MIPI specifications are registered trademarks or service marks owned by MIPI Alliance. All PCI-SIG specifications are registered trademarks or trademarks of PCI-SIG. All other trademarks are the property of their respective owners.

