



PCB 设计同步分析 6 大隐藏技巧(一):

如何避免 IR Drop 优化电源设计

一个理想的电源供应环境，对电子产品的运作至关重要；而如何提供良好的电源供应，除了在硬件设计时规划足够的电源功率以供应负载，在 PCB 设计时针对电源传输路径进行分析优化，避免 IR Drop 产生，亦是必要的过程。

本文将介绍如何使用 Allegro 的设计同步分析 (In-Design Analysis , IDA) 功能，在 PCB 设计过程中针对 IR Drop 进行分析，帮助 PCB 设计团队处理并优化电源供应设计。

. **Date:** 2020 / 9

. **Author:** Jiefu Wu

. **Revision:** 1.2

. **Version:** SPB V17.4

. **备注:**

Graser <http://www.graser.com.cn>



什么是 IR Drop?

PCB “脑中风”

在开始之前我们先来说说什么是 IR Drop。想象一下：将一张 PCB 化作人体的血液循环系统，PCB 电源供应的源头好比是心脏，PCB 上的各种零件是不同的器官，而电源供应的路径就是血管。

当血液从心脏流到各个器官时，如果某部分的血管壁阻塞，便会造成严重的疾病。若发生问题的部位是在脑部，就会造成脑部缺血型栓塞，也就是我们说的脑中风；同样的情况拿到 PCB 上来说，如果电源导通路径过窄，电阻过高，便会造成电压衰退 (IR Drop)，使组件动作不正常。

$$V_{\text{drop}} = I * R$$

IR Drop 的挑战

防不胜防

一般在设计 PCB 时，IR Drop (压降) 常于以下几种情况发生：

1. 电源路径过长。
2. 电源路径过窄。
3. 电源铺铜平面过孔(VIA) 换层传输，但孔径过小及数量不足。
4. 电源铺铜平面经过它层通孔密集区，导致铺铜破碎形成瑞士奶酪效应(Swiss Cheese)。(图 1)

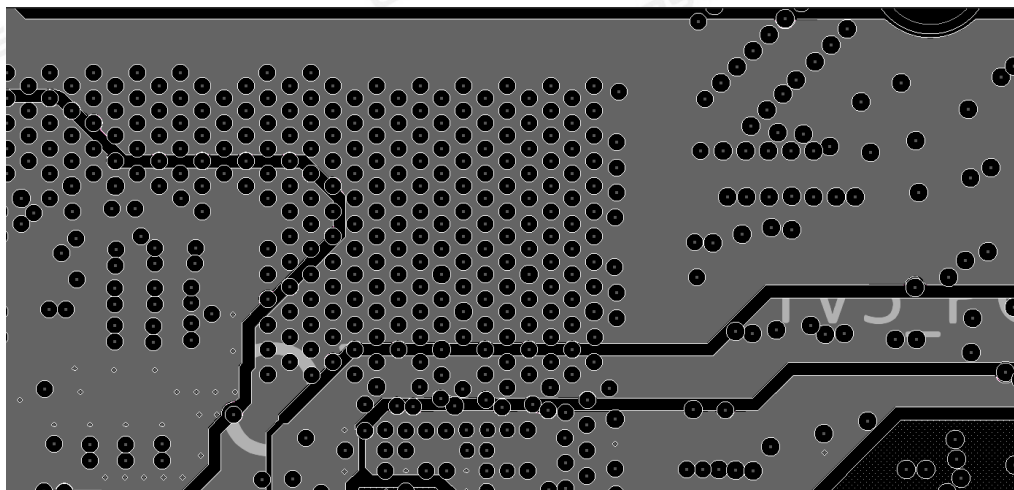


图 1. 瑞士奶酪效应



以往 PCB 设计团队在处理电源部分时，多半依据过往经验或是其他辅助计算工具(如 Saturn PCB Design)来评估电源平面铺铜或是走线过孔是否合理。在大部分的时候，如果你足够细心，会详细检查并修正设计，基本上成果应该不会有太大问题。但天有不测风云，人有旦夕祸福。

PCB 设计团队要处理面对的问题有千百种，不单单仅是 PCB Layout。有时候杂事一多，你就忽略了本来需要修正的地方；更有时候可能 PCB 设计人员的经验不是那么足够，他认为电源有接上就没问题了。就执笔者本身的经验，就常遭遇到如上提及的情况：**电源铺铜平面过孔(VIA) 换层传输，但孔径过小及数量不足。**

在某个案例里，电源经由平面铺铜供应到 PCB 中央的 BGA 区域，中间先经过一颗电容滤波。铺铜的宽度足够，没问题；电容的选用也很合理，零件 Footprint 够大(1206)，PAD 面积足以应付电流供应。一切都看起来很理想，非常棒！

但是，问题就是这个：在每一个电容的 PAD 上，只打了 2 个仅 8mil 孔径的 VIA 孔来做导通。悲剧结果就不用多说了。在接下来的改版当中工程师花费了相当多的时间去修正零件布置及针对每一个电容 PAD 增加大孔径的导通孔。

另一个例子是 PCB 上有多颗 Power IC 串接，但只使用 10mil 线宽的走线，导致系列成品在使用一段时间后 Power IC 开始产生异常。

IR Drop 就像脑中风一样，不仅不易发觉，而且修复难度大。是否有一种方法，可以在设计过程中就能同步分析电源设计，实时分析、实时检查，实时修正，真正做到防患于未然？

如何避免 IR Drop?

设计同步分析

Allegro 的设计同步分析(IDA)功能，可以让工程师在设计 PCB 过程中，进行实时电源分析，并以直观的方式，指出设计问题所在，帮助工程师快速检查、定位和修正问题。套一句现在流行的话，超前部署，避免心血结晶于最后关头付之一炬。

接下来将通过设计实例来详解 IR Drop 的设计同步分析功能：



如何执行 IR Drop 实时分析 PCB 电源设计

点击 Allegro PCB Designer 中 Analyze 功能底下的 Workflow Manager 来启动 IR Drop 压降分析功能(图 2)。

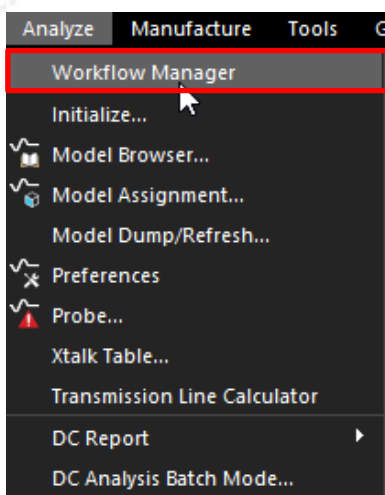


图 2. Workflow Manager

在 Workflow Manager 的下拉选单中选择 IR Drop 分析功能。(图 3)

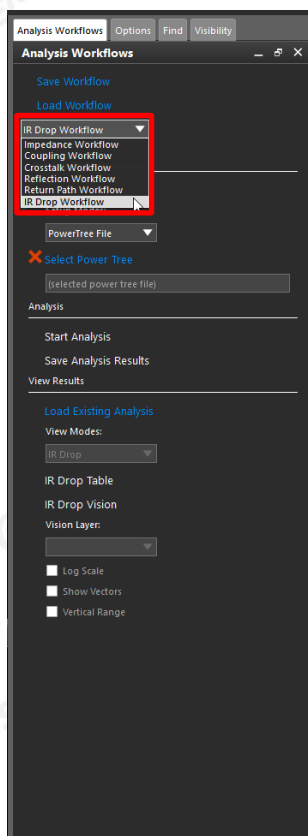


图 3. IR Drop Workflow

在开始执行分析之前，我们会需要先选择设定模式。一种是使用 Sigrity PowerDC/ PowerTree 所产生的电源树(Power Tree)档案(.pwt file, 图 4)

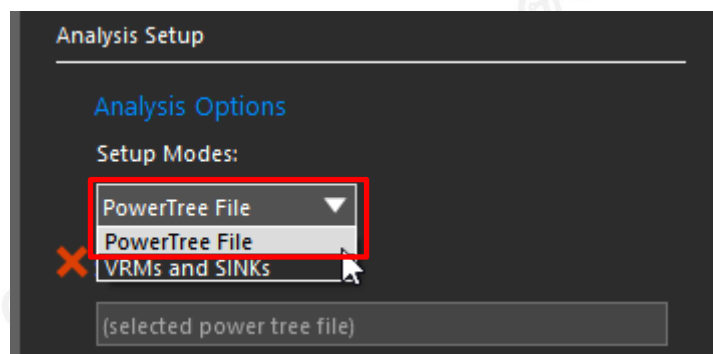


图 4. Setup Modes

选择并读取电源树(Power Tree)档案(.pwt file)

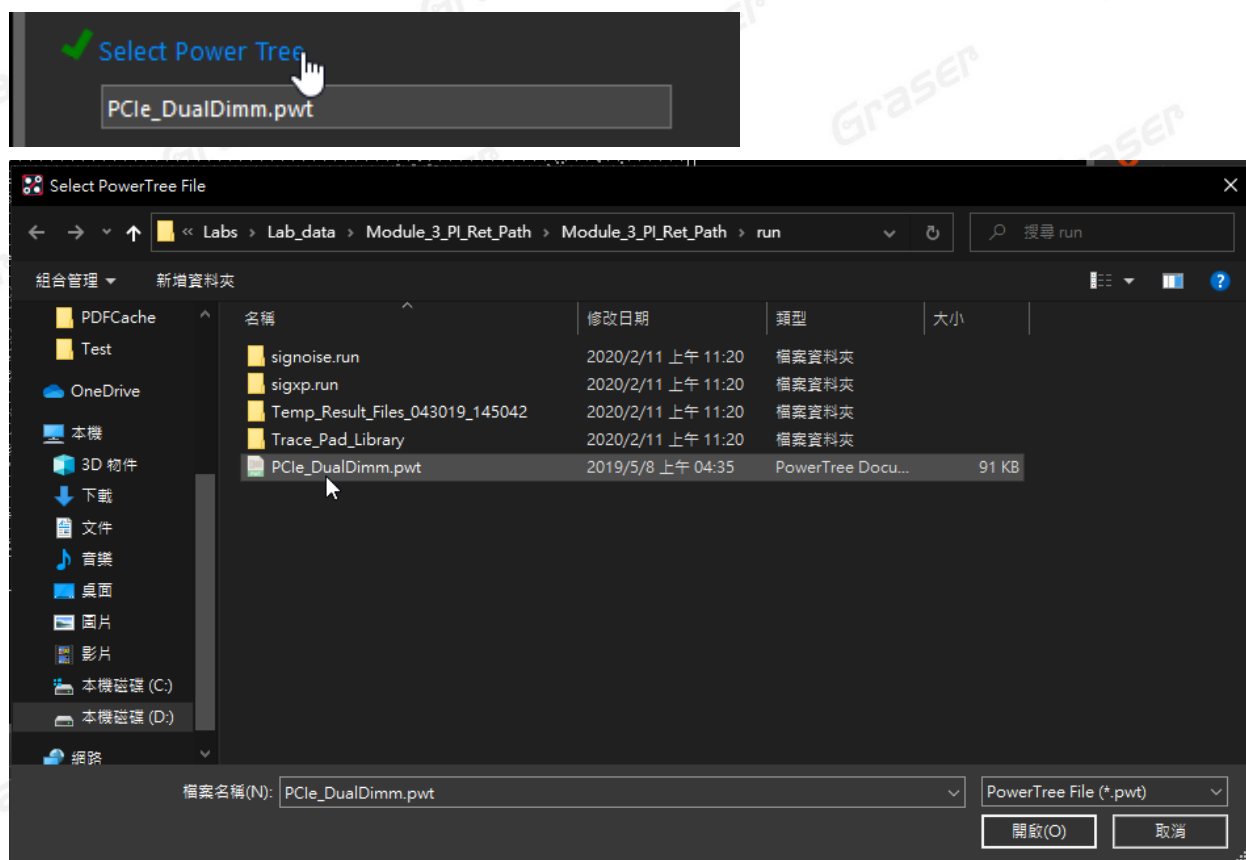


图 5. 电源树(Power Tree)档案

电源树(Power Tree)就如同人体的血管分布，如果一开始没有设计好，PCB 就会体弱多病。

电源树(Power Tree)的设计如下图所示，呈现电源供应如何开枝散叶，设定所有的输入电压及电流，重点是先确认电源消耗(Power Consumption)是否符合汲端(sink)负载需求。

(下图为在 PowerDC 中所设定之 Power Tree)。



图 6. Power DC 中呈现之 PowerTree 内容

另一种设定模式是直接设定 VRMs (17.4 Qir1 开始支持)。

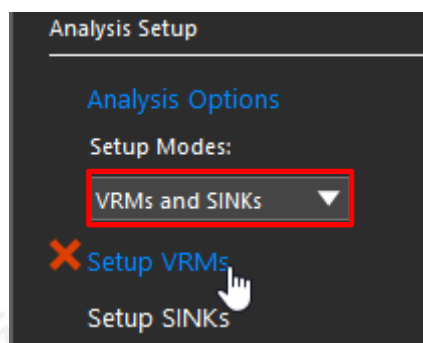
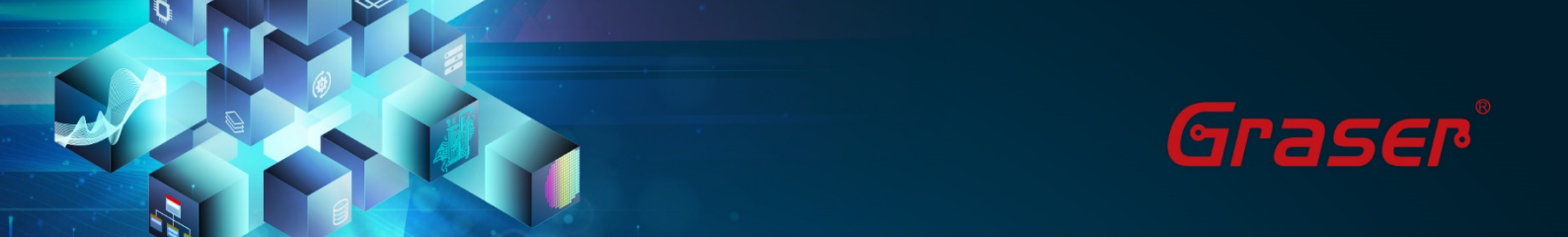


图 7. VRMs 模式



针对 VRMs 勾选设定。

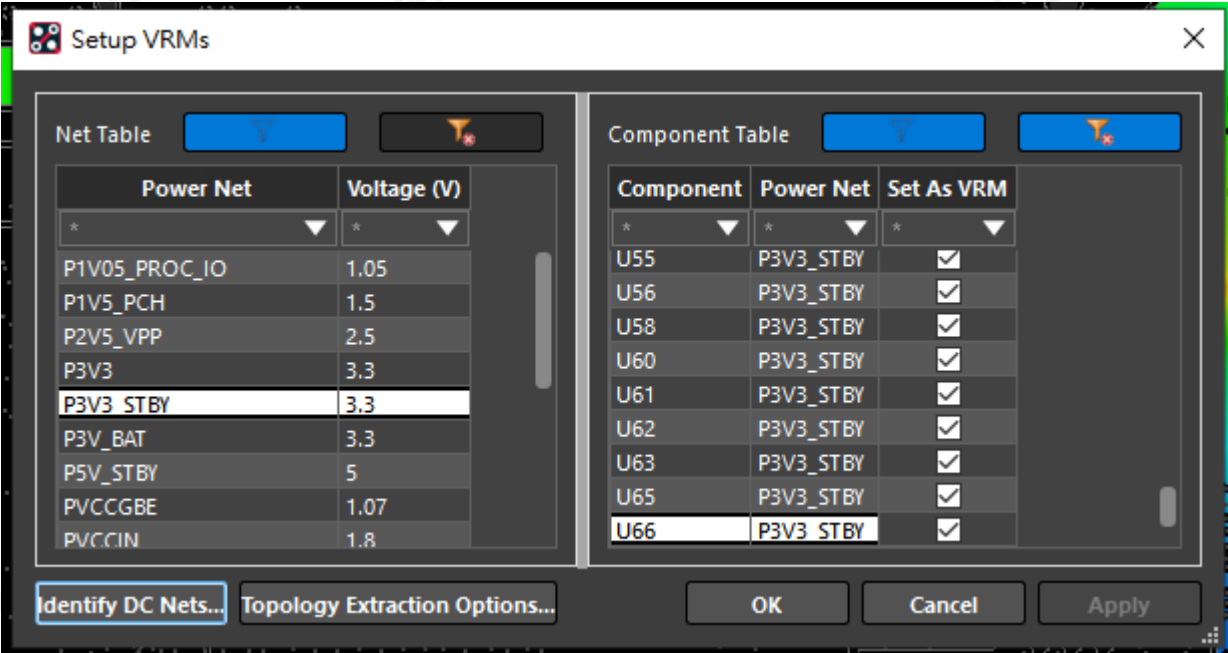


图 8. VRMs 模式设定

之后便可以点击开始分析。

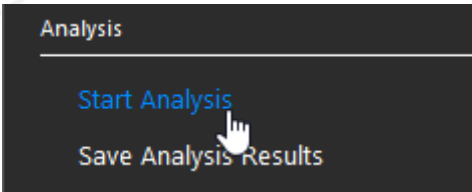


图 9. 开始分析

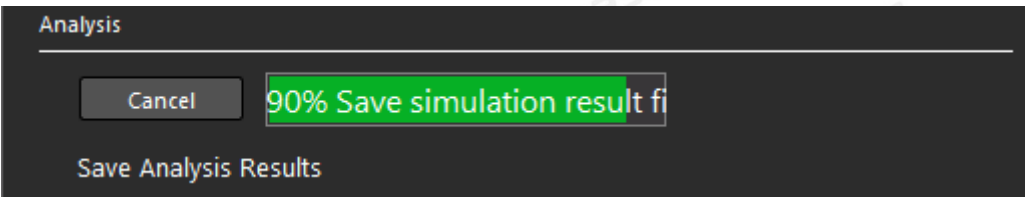


图 10. 分析计算中



IR Drop 分析结果解析

待分析完成便可选择要检视的结果。在 IDA 的 IR Drop 分析项目中提供了三种可检视的分析结果，分别是

1. IR Drop (压降)
2. Voltage (电压)
3. Current Density (电流密度)

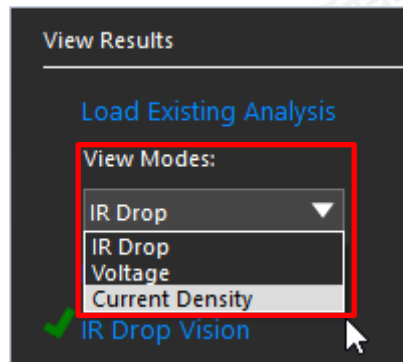


图 11. 选择检视分析结果

这里我们先确认 IR Drop 的分析结果。下图中我们可以看到结果的呈现方式有两种选择，分别是 IR Drop Table 以及 IR Drop Vision。

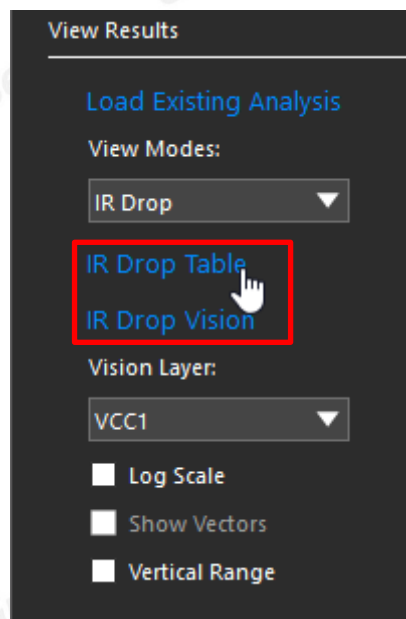
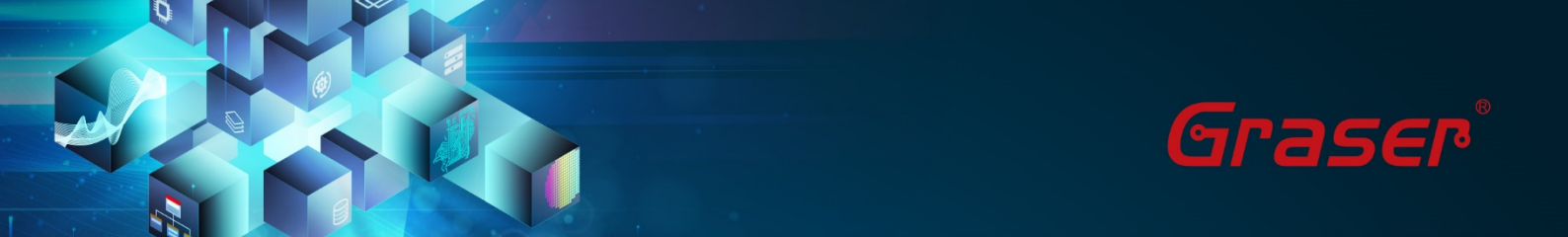


图 12. 结果检视模式



选择 IR Drop Table 以数据表方式呈现分析结果如下图，可以针对有异常的项目进行确认，并且可使用光标点击异常项目来连动 Layout 画面，直接切换到有问题的位置。

Simulation Table

Net Table

Net Name

Vision

P1V5_PCH

P3V3_STBY

PSV_STBY

P12V_STBY

Sink Voltage

Summary Table

Sink Name	Nominal Voltage (V)	Actual Voltage (V)	IR Drop (mV)	P/F Status	Margin (mV)	Model	Nominal Current (A)	Tolerance	
								Upper (+%)	Lower (-%)
SINK_U1_P3V3_STBY_GND	3.3	2.97553	324.467	FAIL	-159.467	Unequal Current	0.1	5	5
SINK_U2_P3V3_STBY_GND	3.3	2.97555	324.446	FAIL	-159.446	Unequal Current	0.1	5	5
SINK_U6_P3V3_STBY_GND	3.3	3.0091	290.898	FAIL	-125.898	Unequal Current	0.1	5	5
SINK_U7_P3V3_STBY_GND	3.3	3.00937	290.633	FAIL	-125.633	Unequal Current	0.1	5	5
SINK_U8_P3V3_STBY_GND	3.3	3.00894	291.062	FAIL	-126.062	Unequal Current	0.1	5	5
SINK_U9_P3V3_STBY_GND	3.3	2.9756	324.403	FAIL	-159.403	Unequal Current	0.1	5	5
SINK_U11_P3V3_STBY_GND	3.3	2.9719	328.101	FAIL	-163.101	Unequal Current	0.1	5	5
SINK_U14_P3V3_STBY_GND	3.3	2.97552	324.476	FAIL	-159.476	Unequal Current	1.9	5	5
SINK_U15_P3V3_STBY_GND	3.3	2.97606	323.94	FAIL	-158.94	Unequal Current	0.1	5	5
SINK_U17_P3V3_STBY_GND	3.3	2.97572	324.284	FAIL	-159.284	Unequal Current	0.1	5	5

Detailed Table

Pin Name	Net Name	Actual Voltage (V)	IR Drop (mV)	P/F Status	Margin (mV)	Flow-In Current (A)
U1.5	P3V3_STBY	2.97553	324.467	FAIL	-159.467	0.1

图 13. 结果检视模式 IR Drop Table

而 IR Drop Vision 的呈现方式则更为直观，在 Vision Layer 选择要检视的层面，

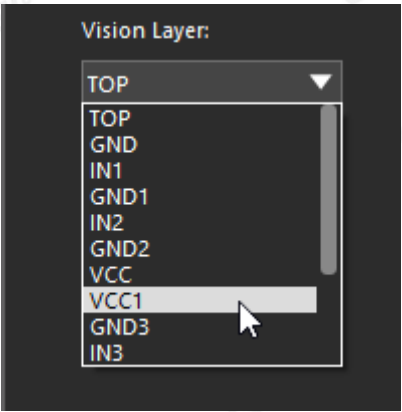
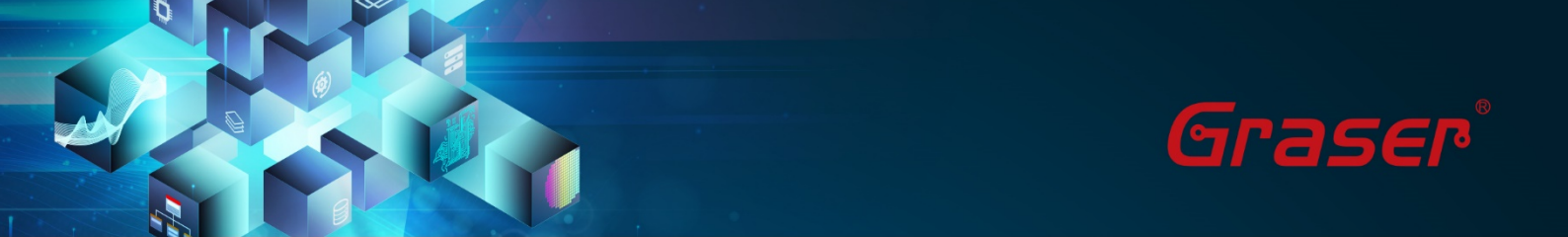


图 14. 选择 Vision Layer



可以直接在 Layout 中以色阶显示 IR Drop 衰退状态，工程师可直接针对有问题处做判断及修正，快速且便捷。(如下图中左右两片大平面铺铜，仅靠一段窄铜面连接，这当中一定有什么误会)

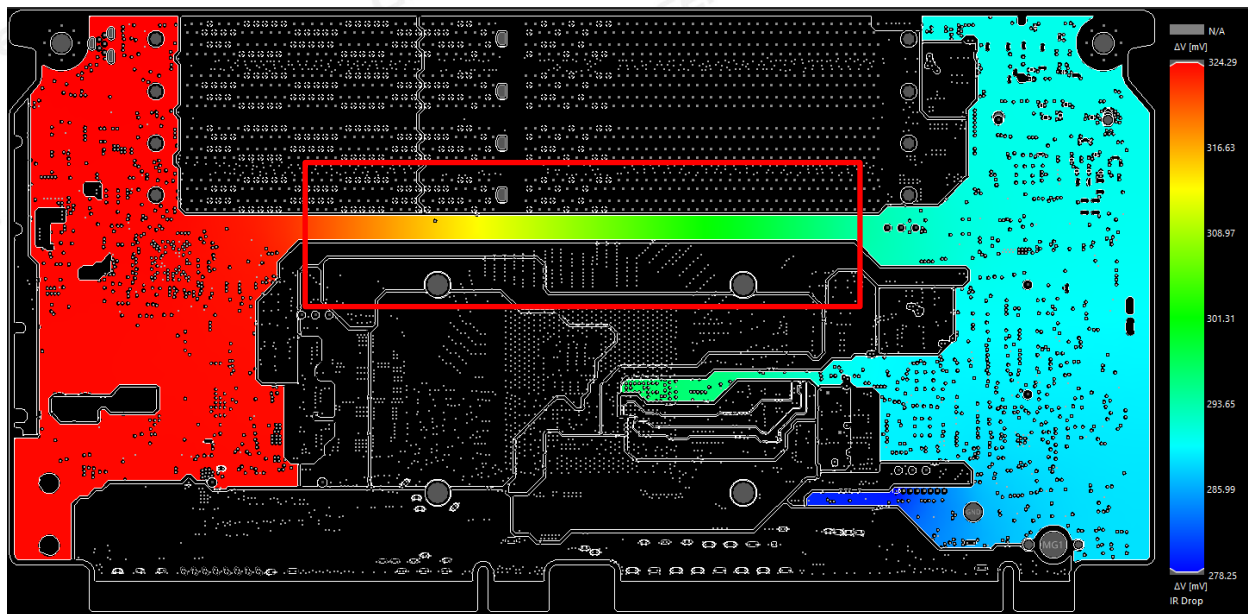


图 15. IR Drop Vision

而在画面的右边可以看到色阶分布显示，以颜色代表数值分布，并可自行调整要显示的范围，显示出目前 Layout 中所分析出来 IR Drop 的状态。

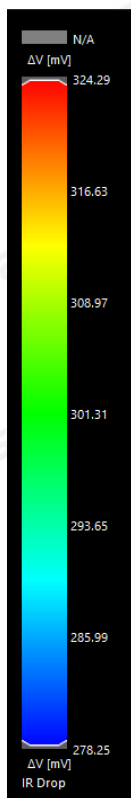
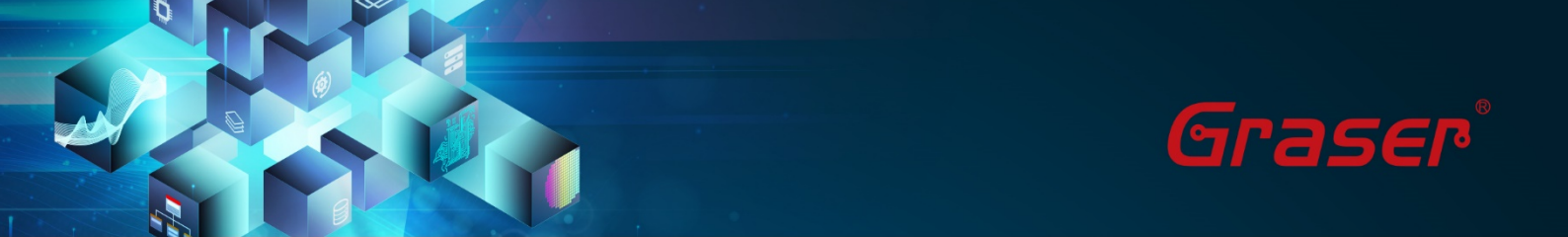


图 16. IR Drop 色阶分布显示





选择显示 **Voltage** 分析结果时也可以 Vision 方式呈现电压状态。

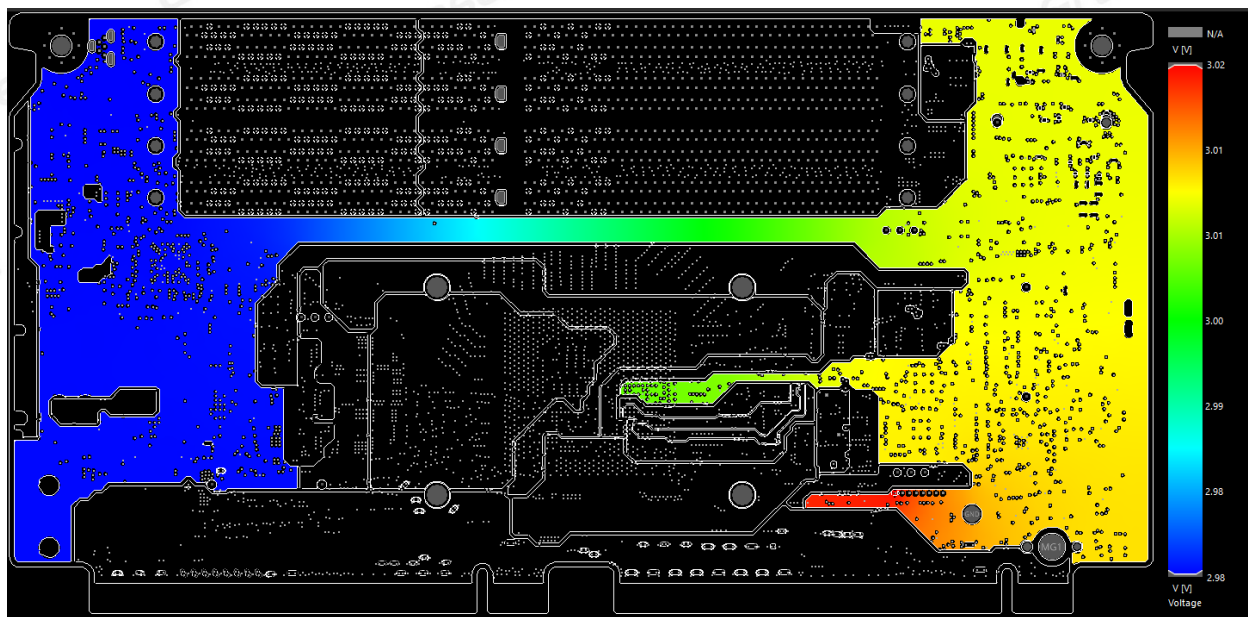


图 17. IR Drop Vision – **Voltage** 电压状态显示

此时色阶表显示的单位变更为**电压(V)**。

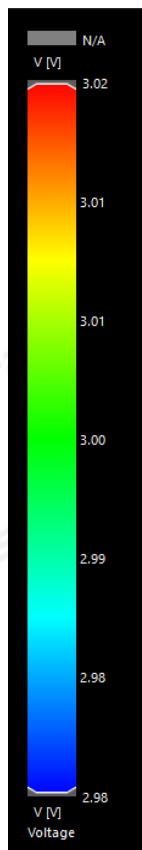
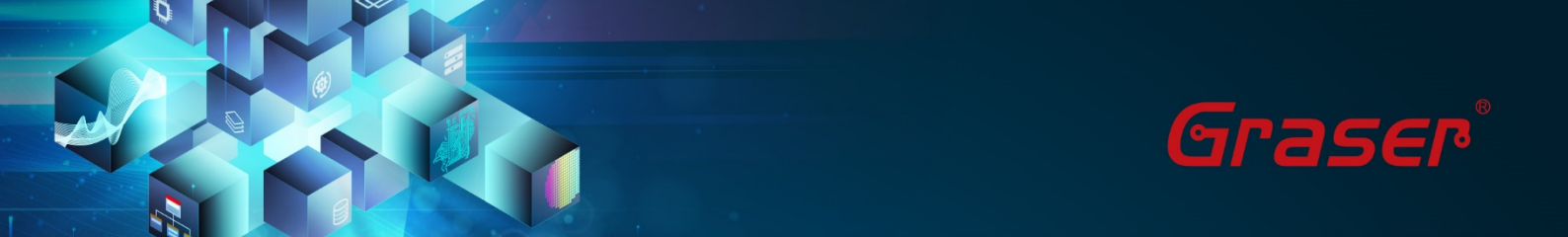


图 18. IR Drop Vision – **Voltage** 电压色阶显示





另外我们也可选择检视 **Current Density** 来查看电流密度，确认电流状态。

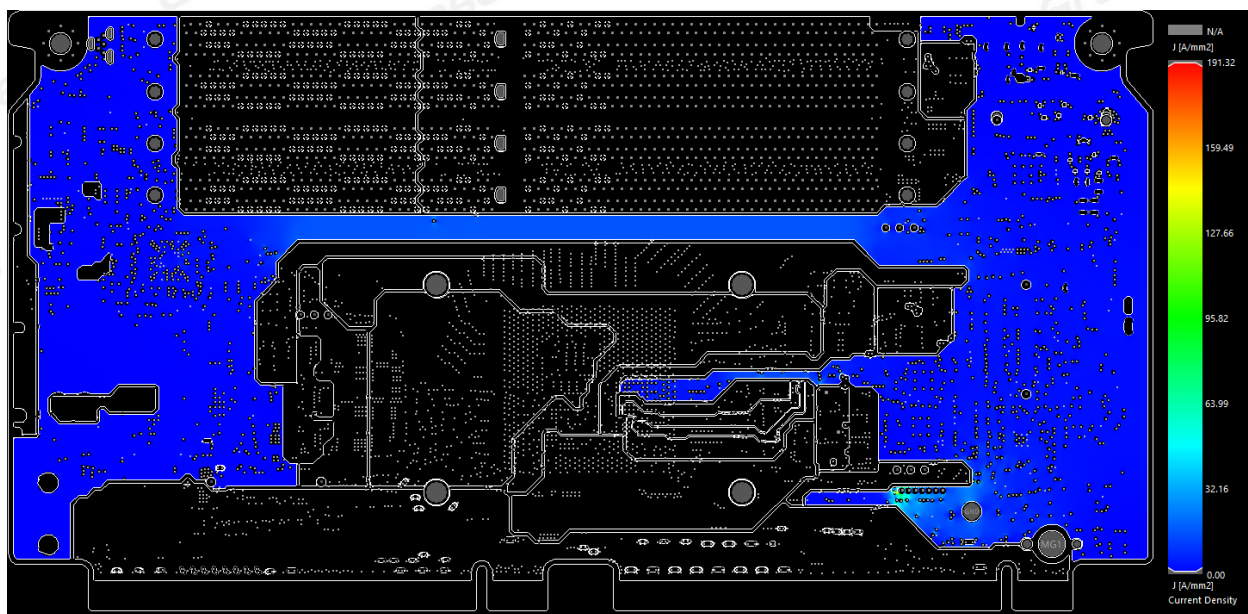


图 19. IR Drop Vision - Current Density 电流密度显示

此时色阶表显示的单位显示为电流密度 $J(A/mm^2)$ 。

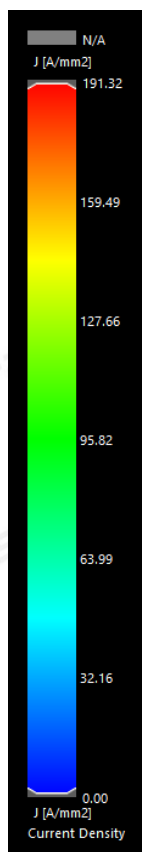


图 20. IR Drop Vision - Current Density 电流密度色阶显示





在 **Current Density** 模式下可选择 **Show Vectors** 以箭头指向方式来显示电流流向。

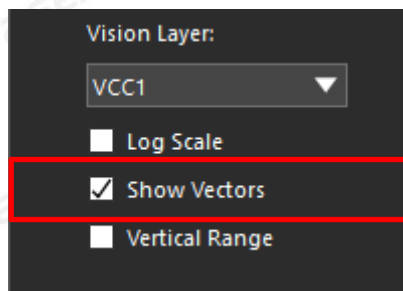


图 21. Show Vectors 箭头指向选择

Layout 中可看到电流以箭头显示流动方向，帮助工程师快速确认电源供应是否合乎预期。

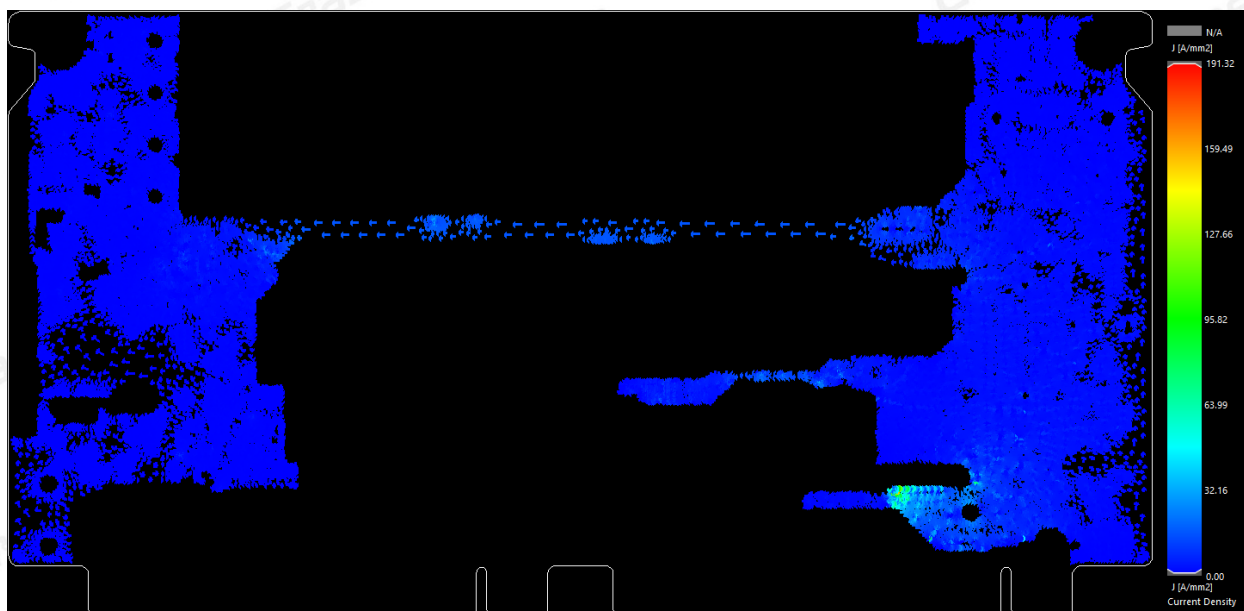


图 22. Show Vectors 电流流向显示

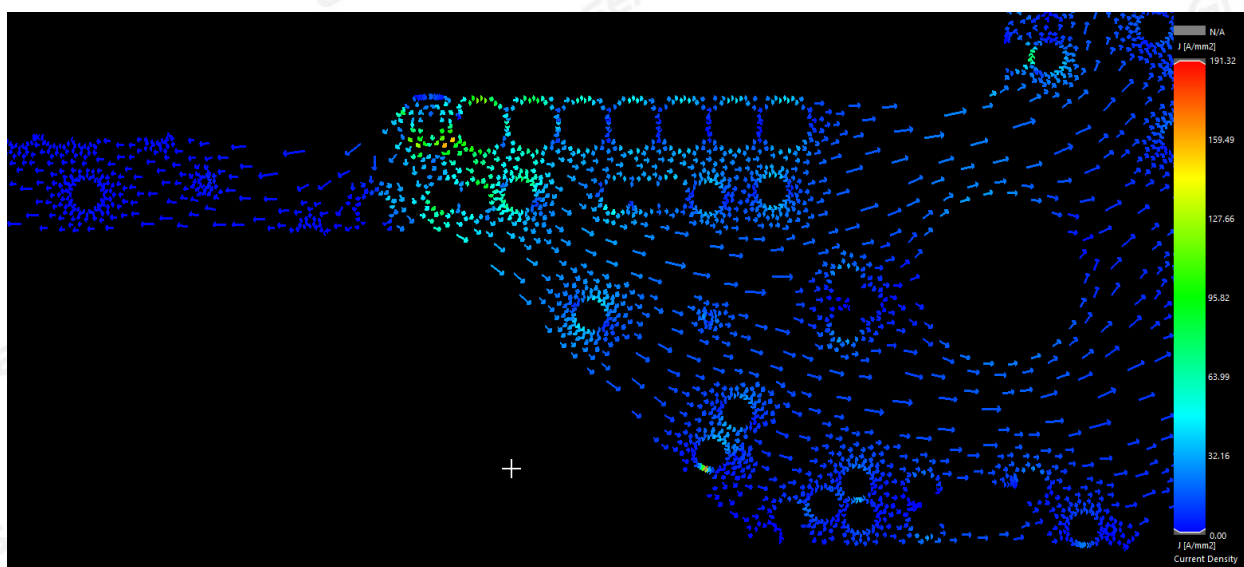
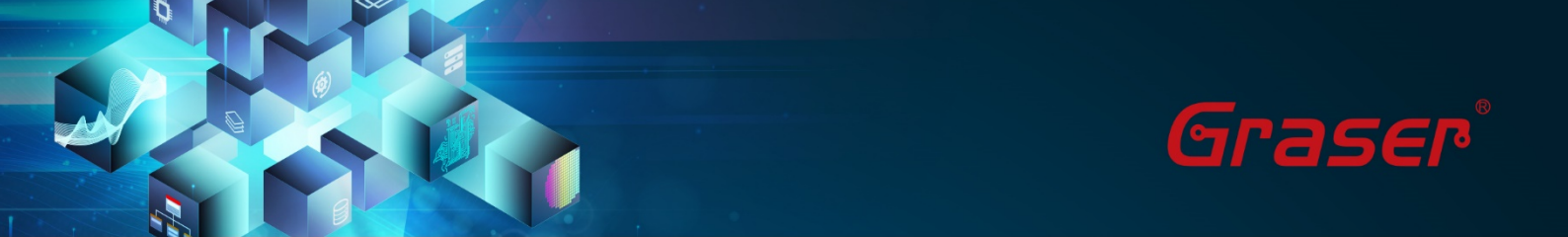


图 23. Show Vectors 以箭头显示电流流向确认电源供应状态





另外以 Table 模式显示 **Current Density** 分析结果时，可切换确认 Via Current (Via Current Density) 状态，

Simulation Table

Net Table: **Via Current** | Via Current Density | Trace Current Density

Net Name: P1V5_PCH, P3V3_STBY, P5V_STBY, P12V_STBY

Location (x y)	Padstack Name	Net Name	Start Layer	End Layer	Max Current (A)	Actual Current (A)	Ratio	P/F Status
(6111.03 391.28)	QB36X42D26	P3V3_STBY	VCC1	IN1	1.56369	8.2	5.24401	FAIL
(6054.32 283.39)	VIA20D10	P3V3_STBY	IN1	TOP	1.56369	8.2	5.24401	FAIL
(1456.03 2199.28)	VIA20D10	P3V3_STBY	VCC1	VCC1	1.56369	0.725662	0.46407	PASS
(2264.00 641.15)	VIA20D10	P3V3_STBY	IN4	VCC1	1.56369	0.6	0.383708	PASS
(1524.58 2085.48)	VIA20D10	P3V3_STBY	VCC1	VCC1	1.56369	0.594988	0.380503	PASS
(952.89 651.06)	VIA20D10	P3V3_STBY	IN1	VCC1	1.56369	0.4	0.255805	PASS
(1035.12 269.39)	VIA20D10	P3V3_STBY	IN3	IN1	1.56369	0.4	0.255805	PASS
(831.31 2013.59)	VIA18D10_BGA	P3V3_STBY	VCC1	VCC1	1.56369	0.329683	0.210837	PASS
(934.03 2084.58)	VIA18D10_BGA	P3V3_STBY	TOP	VCC1	1.56369	0.320921	0.205233	PASS
(2520.53 507.96)	VIA20D10	P3V3_STBY	BOTTOM	IN4	1.56369	0.3	0.191854	PASS
(1175.38 1850.28)	VIA20D10	P3V3_STBY	VCC1	VCC1	1.56369	0.278113	0.177857	PASS
(913.28 2109.28)	VIA18D10_BGA	P3V3_STBY	TOP	VCC1	1.56369	0.27389	0.175156	PASS
(4351.18 1040.78)	VIA19-3D10A28_T0-10	P3V3_STBY	TOP	IN1	1.56369	0.258395	0.165247	PASS
(1476.03 933.28)	VIA20D10	P3V3_STBY	VCC1	VCC1	1.56369	0.254761	0.162923	PASS
(4351.18 1040.78)	VIA19-3D10A28_T0-10	P3V3_STBY	IN1	VCC1	1.56369	0.222443	0.142255	PASS
(811.91 2032.52)	VIA18D10_BGA	P3V3_STBY	TOP	VCC1	1.56369	0.214836	0.13739	PASS
(936.21 2107.48)	VIA18D10_BGA	P3V3_STBY	TOP	VCC1	1.56369	0.205189	0.131221	PASS
(935.49 2189.01)	VIA18D10_BGA	P3V3_STBY	TOP	VCC1	1.56369	0.2	0.127903	PASS
(6967.03 815.34)	VIA20D10	P3V3_STBY	TOP	VCC1	1.56369	0.2	0.127903	PASS
(5889.95 336.93)	VIA20D10	P3V3_STBY	TOP	VCC1	1.56369	0.2	0.127903	PASS
(1538.58 298.58)	VIA20D10	P3V3_STBY	TOP	IN3	1.56369	0.2	0.127903	PASS

图 24. Via Current 列表

Simulation Table

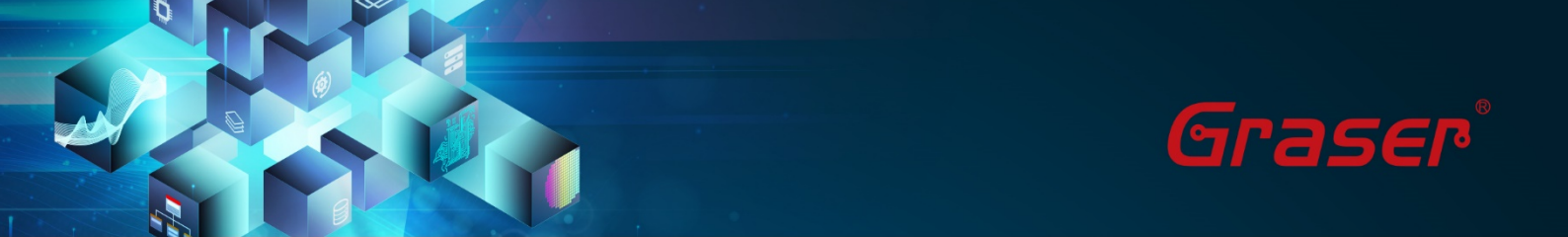
Net Table: **Via Current** | Via Current Density | Trace Current Density

Net Name: P1V5_PCH, P3V3_STBY, P5V_STBY, P12V_STBY

Location (x y)	Padstack Name	Net Name	Start Layer	End Layer	Max Current Density (A/mm2)	Actual Current Density (A/mm2)	Ratio	P/F Status
(6054.32 283.39)	VIA20D10	P3V3_STBY	IN1	TOP	6.1283	161.829	26.4068	FAIL
(6111.03 391.28)	QB36X42D26	P3V3_STBY	VCC1	IN1	6.1283	23.9392	3.90634	FAIL
(1456.03 2199.28)	VIA20D10	P3V3_STBY	VCC1	VCC1	6.1283	14.3211	2.33688	FAIL
(2264.00 641.15)	VIA20D10	P3V3_STBY	IN4	VCC1	6.1283	11.8412	1.93221	FAIL
(1524.58 2085.48)	VIA20D10	P3V3_STBY	VCC1	VCC1	6.1283	11.7422	1.91607	FAIL
(952.89 651.06)	VIA20D10	P3V3_STBY	VCC1	IN1	6.1283	7.8941	1.28814	FAIL
(1035.12 269.39)	VIA20D10	P3V3_STBY	IN3	IN1	6.1283	7.8941	1.28814	FAIL
(831.31 2013.59)	VIA18D10_BGA	P3V3_STBY	VCC1	TOP	6.1283	6.50638	1.06169	FAIL
(934.03 2084.58)	VIA18D10_BGA	P3V3_STBY	VCC1	TOP	6.1283	6.33345	1.03348	FAIL
(2520.53 507.96)	VIA20D10	P3V3_STBY	BOTTOM	IN4	6.1283	5.92058	0.966104	PASS
(1175.38 1850.28)	VIA20D10	P3V3_STBY	VCC1	VCC1	6.1283	5.48863	0.89562	PASS
(913.28 2109.28)	VIA18D10_BGA	P3V3_STBY	VCC1	TOP	6.1283	5.4053	0.882022	PASS
(4351.18 1040.78)	VIA19-3D10A28_T0-10	P3V3_STBY	IN1	TOP	6.1283	5.0995	0.832122	PASS
(1476.03 933.28)	VIA20D10	P3V3_STBY	VCC1	VCC1	6.1283	5.02778	0.82042	PASS
(4351.18 1040.78)	VIA19-3D10A28_T0-10	P3V3_STBY	VCC1	IN1	6.1283	4.38998	0.716345	PASS
(811.91 2032.52)	VIA18D10_BGA	P3V3_STBY	VCC1	TOP	6.1283	4.23984	0.691845	PASS
(936.21 2107.48)	VIA18D10_BGA	P3V3_STBY	VCC1	TOP	6.1283	4.04946	0.66078	PASS
(935.49 2189.01)	VIA18D10_BGA	P3V3_STBY	VCC1	TOP	6.1283	3.94705	0.644069	PASS
(6967.03 815.34)	VIA20D10	P3V3_STBY	VCC1	TOP	6.1283	3.94705	0.644069	PASS
(5889.95 336.93)	VIA20D10	P3V3_STBY	VCC1	TOP	6.1283	3.94705	0.644069	PASS
(1538.58 298.58)	VIA20D10	P3V3_STBY	IN3	TOP	6.1283	3.94705	0.644069	PASS

图 25. Via Current Density 列表





接着直接点选要确认的字段跳到 Layout 中的位置，快速确认 VIA 上电流呈现的状态。

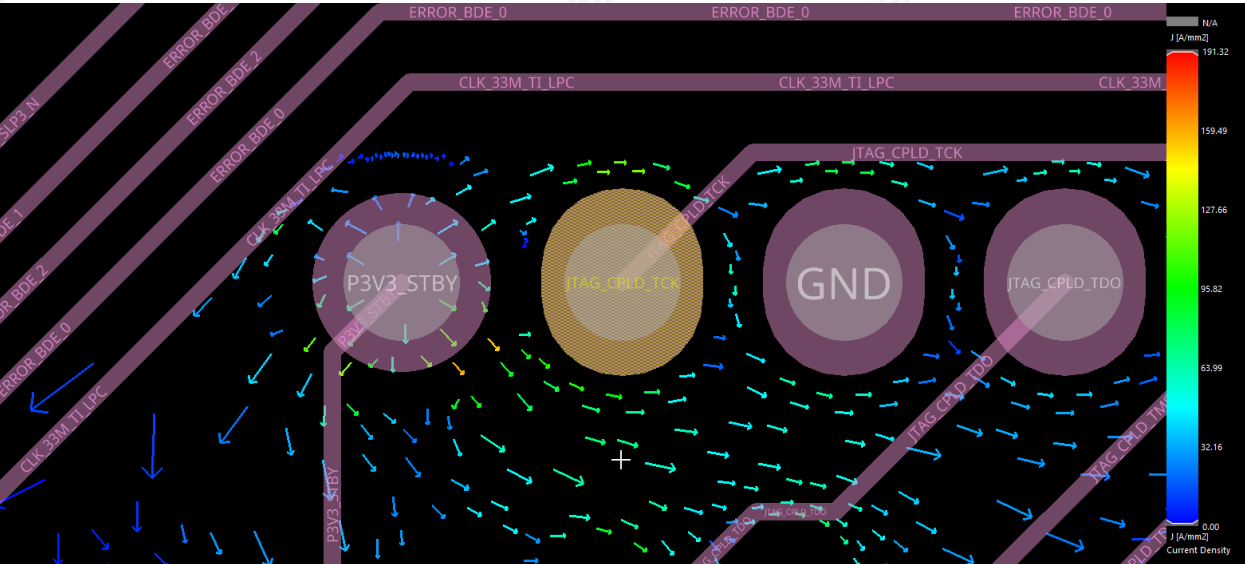


图 26. Via Current (Via Current Density)

也可以针对 Trace Current Density 的部分来确认结果，观察电源走线的电流密度。

Simulation Table

Net Table

Net Name

Vision

P1V5_PCH

☐

P3V3_STBY

☒

PSV_STBY

☐

P12V_STBY

☐

Via Current

Via Current Density

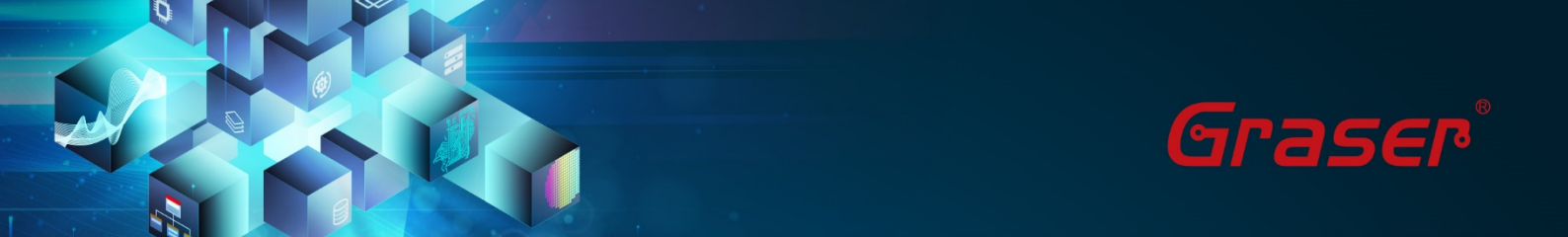
Trace Current Density

Trace Current Density Table

Location (x1 y1), (x2 y2)	Net Name	Layer	Max Current Density (A/mm2)	Actual Current Density (A/mm2)	Ratio	P/F Status
(6071.14 283.39), (6095.53 307.78)	P3V3_STBY	IN1	80.4891	4888.47	60.7346	FAIL
(6054.32 283.39), (6071.14 283.39)	P3V3_STBY	IN1	80.4891	4888.47	60.7346	FAIL
(2297.03 608.28), (2369.15 608.28)	P3V3_STBY	IN4	80.4891	357.693	4.44399	FAIL
(2369.15 608.28), (2385.11 624.24)	P3V3_STBY	IN4	80.4891	357.693	4.44399	FAIL
(2385.11 624.24), (2385.11 638.83)	P3V3_STBY	IN4	80.4891	357.693	4.44399	FAIL
(2385.11 638.83), (2425.06 678.78)	P3V3_STBY	IN4	80.4891	298.078	3.70333	FAIL
(960.67 68.56), (960.67 139.34)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL
(1077.63 36.08), (993.15 36.08)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL
(993.15 36.08), (960.67 68.56)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL
(952.89 607.42), (952.89 651.06)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(979.03 581.28), (952.89 607.42)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(979.03 473.28), (979.03 581.28)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(954.03 448.28), (979.03 473.28)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(954.03 424.64), (954.03 448.28)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(1035.12 269.39), (956.03 348.48)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(956.03 348.48), (956.03 422.64)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(956.03 422.64), (954.03 424.64)	P3V3_STBY	IN1	80.4891	238.462	2.96266	FAIL
(960.71 139.38), (960.71 201.64)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL
(960.71 201.64), (965.13 206.06)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL
(965.13 206.06), (965.13 226.38)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL
(965.13 226.38), (1008.03 269.28)	P3V3_STBY	IN3	80.4891	238.462	2.96266	FAIL

图 27. Trace Current Density 列表





确认电源线的电流密度是否过高 (不然可能要放烟火了) 。

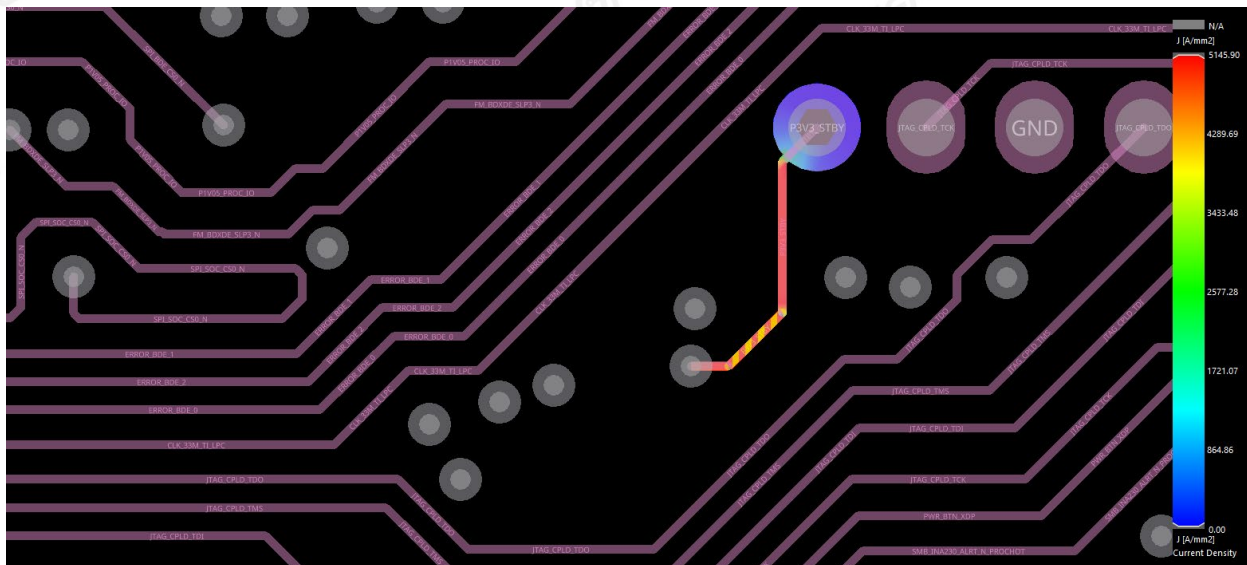


图 28. Trace Current Density – 确认走线电流密度是否过高

看看 Trace 上电流的流向 (图 29) 。

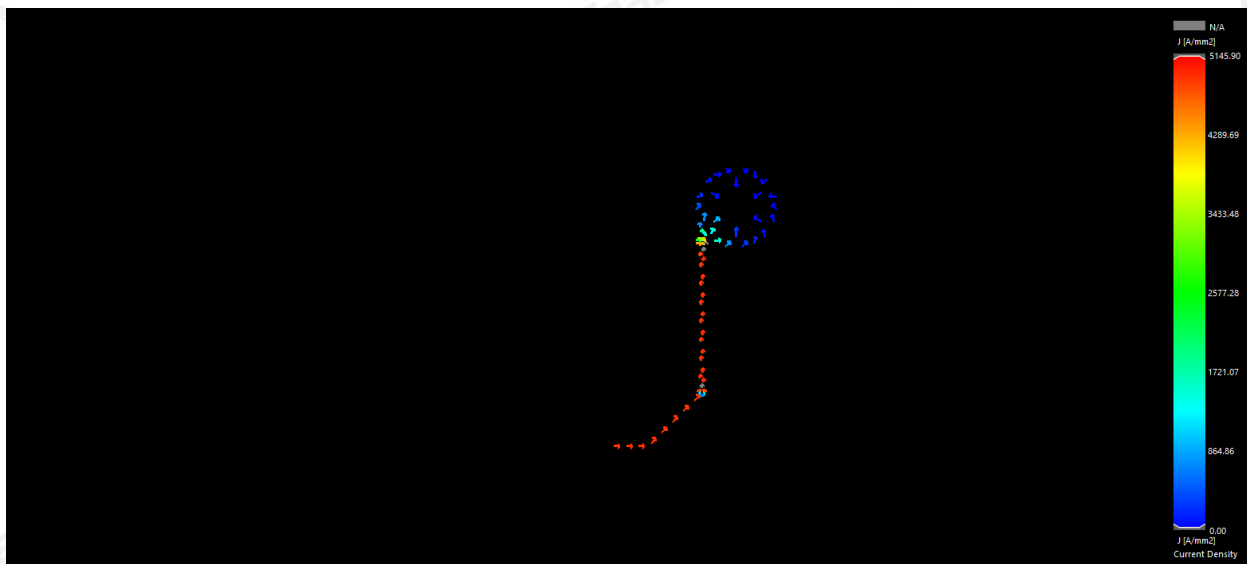


图 29. Trace Current Density 确认走线电流流向





总结

掌握电源供应，实时修正 PCB 设计

如同前言所述，以往 PCB 设计团队在处理电源部分时，可能需要花费许多时间与心思反复确认，以求能够得到稳定的成果，稍有不慎可能有机会造成非预期的状态(想看看烟火吗?)。如果有一个实时又直觉的工具来帮助工程师做初步确认，就能够降低失败的机率，并且减少返工的时间。

现在 Allegro 中导入了 Sigrity 专业的仿真分析技术，将 **IDA (In-Design Analysis, 设计同步分析)** 带入 PCB 设计流程之中，帮助 PCB 设计团队预先且实时的分析电源设计，并修正不理想的部分，使设计效率提升，不良机率减少。

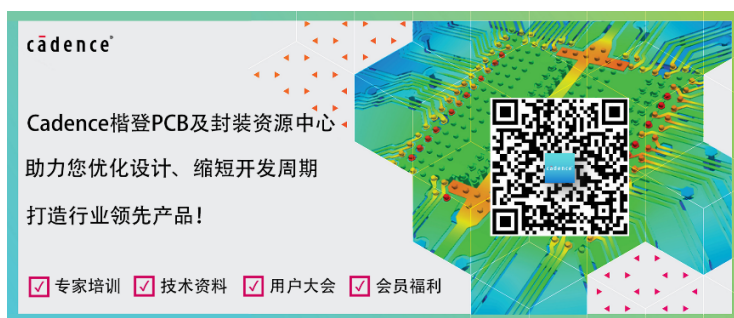
更重要的是，让 PCB 设计人员晚上能够安心睡个好觉。

下一期预告：Coupling 耦合分析技巧

【温馨小提示】

若欲完整执行上述 IR Drop 分析功能需要搭载 Cadence 相关软件 Licenses。

【PCB 设计同步分析六大隐藏技巧】系列专题主要解锁 IR Drop 压降、Coupling 耦合、Impedance 阻抗、Crosstalk 串扰、Reflection 反射、Return Path 回流路径等 6 种分析技巧，帮助 EE、Layout 人员在设计前期阶段不需依靠 SI/PI 专家就能做初步的模拟分析，快速找出并排除常见信号/电源问题，提升设计质量和效率，更多精彩内容敬请识别下方二维码关注“Cadence 楷登 PCB 及封装资源中心”微信公众号：



本版 Technic Note 版权为 苏州敦众软件科技有限公司 所有，未经允许不得任意转用。

