



PCB 设计同步分析 6 大隐藏技巧(四)：消除信号串扰最佳解

因应现今电子产品轻薄短小伴随追求更高信号传输质量发展趋势，使得电路板尺寸愈来愈小，各层走线密度也愈来愈大，特别当信号速度持续加快时，串扰 (Crosstalk) 问题也愈趋严重。串扰会直接影响信号是否能正确接收，因此如何降低噪声干扰成了 PCB 设计团队需面对的重要课题。

本文将介绍如何使用 Allegro IDA (In-Design Analysis, 设计同步分析) 的 Crosstalk 分析功能，只要搭配零件模型的挂载，EE 或 Layout 人员可以不需要倚靠 SI 人员，就能于设计中同步进行 SI 等级的串扰分析，预先消除常见的信号串扰问题，并达到更为精确的结果，使设计效率提升，不良机率减少。

• **Date :** 2020 / 10

• **Author :** Eric Chen

• **Version :** SPB 17.4





串扰(Crosstalk)挑战

在传统的股票交易市场中有众多的交易员，有的交易员正在电话在线与客户洽谈下单的价格跟张数而滔滔不绝，嗓门特大到让邻近专员电话中的客户都能隐约听到明牌了。这样的状况跟我们现在很多低隔板的办公室环境有着相同的情境，尤其现在新冠肺炎疫情影响下因为不能群聚或直接面对客户，所以采用在线或电话会议方式也更趋频繁。当您周遭刚好有几位说话很激动且又很投入的同事的话，您就更容易收到此起彼落不同方位的声压来源，且若有时同个方向的几位同时发声时，那个声压的影响会更加乘、更加有感。而这情境若发生于电子产品设计上，就是我们常见的串扰(Crosstalk)问题！

串扰，又称串音干扰，简言之就是两传输线间的电感/电容耦合现象，信号在动态线(active line)或称攻击线(aggessor line)，会将一部份的信号传到无信号的静态线(又称受害走线, victim line)上，而造成耦合干扰问题。如下图(1)例子中传输信号的传输线，受害线旁边攻击线的工作电压有的是 1V 有的为 2.5V，因强度不同，它们对受害或静态线产生耦合噪音的影响程度也会有不同。

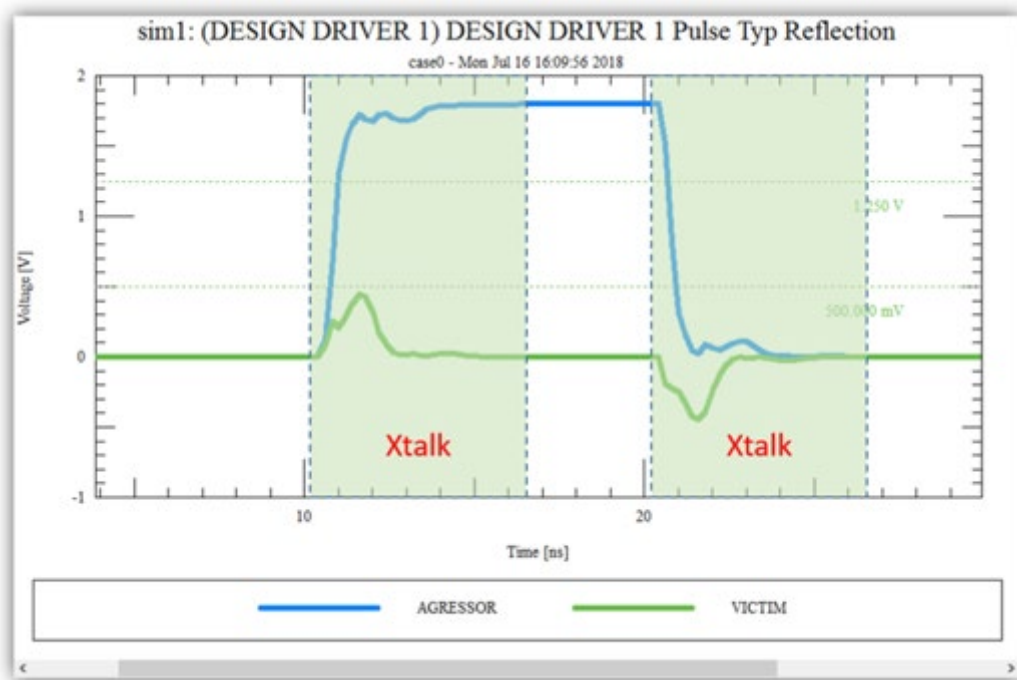


图 1

因应现今电子产品轻薄短小伴随追求更高信号传输质量发展趋势，使得电路板尺寸愈来愈小，各层走线密度也愈来愈大，特别当信号传输速度持续加快时，串扰问题也愈趋严重，如何降低噪声干扰成了 PCB 设计团队需面对的重要课题。





抑制串扰解决之道

串扰(Crosstalk)直接影响信号是否能正确接收，对于 PCB 设计更是为一大棘手问题！为减少串扰，有的会使用 3W 规则规范之，确保线间距够大使得不相互干扰，不过如同我们在[技巧二-Coupling 篇](#)所述 3W 规则下是单纯以间距来稽核，其缺点就是准确度不足，并且也易导致成本增加。

当我们再细看串扰分析时，不同的工作电压位准会有不同的影响强度。不同的相位组合下有的可能反相有机会减低甚或抵消，有的反而因同相影响更放大，或跟受害线是高或低位准也会有不同抗干扰程度的影响。所以我们就需要进行各种干扰设定分析检查，但不同的方式其准确度也会有所差异，如下图(2)所示，欲往右的方式准确度愈高，即为 **串扰评估(Estimated Xtalk)** 和 **串扰仿真 (Simulated Xtalk)**，但这就需要为零件挂上 Models 才会有零件的行为，以达到更为精确的结果。

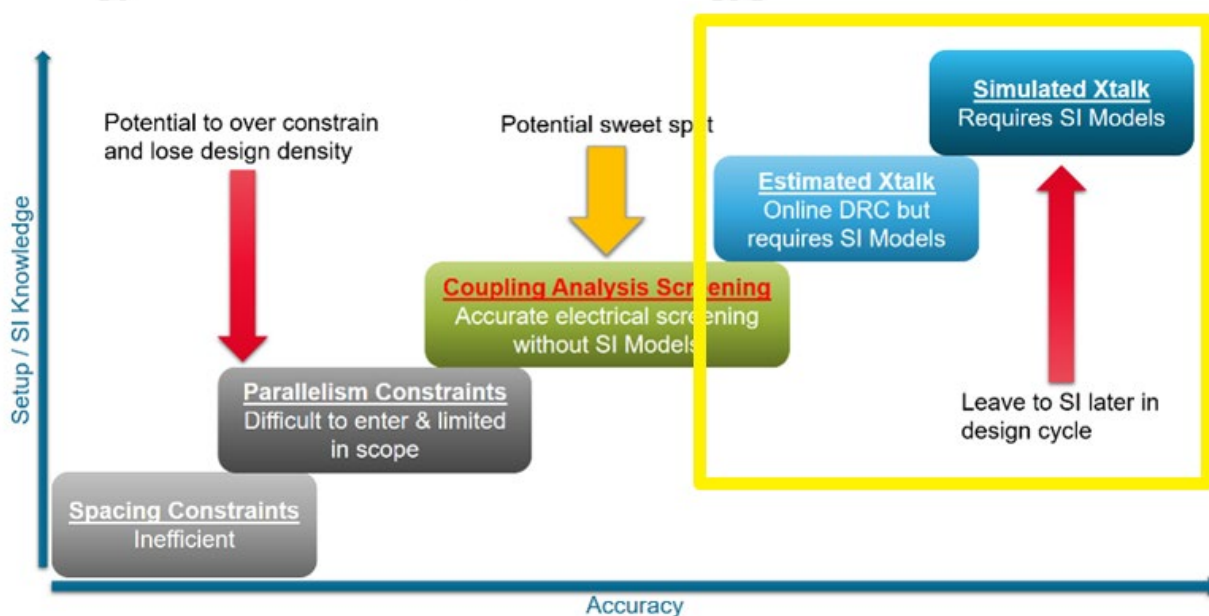
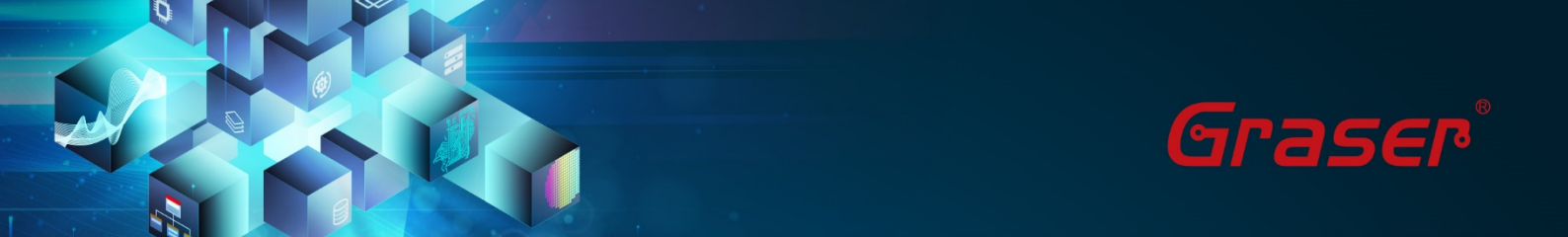


图 2

因此对 PCB 设计上来说，除了先前介绍过的 [Coupling 信号耦合快筛检查](#) 之外，若因为干扰源的强度/行为等不同，而需要做更细致的信号串扰分析的话，如能有一直观辅助分析工具，只要再搭配零件模型的挂载，其分析上会有零件模型的特性且会考虑上述的多种情境，自己就可以于设计中同步进行 SI 等级的串扰分析并达到更为精确的结果，而不需要倚靠 SI 人员，使设计效率提升，不良机率减少。

接下来我们将透过设计实例详解如何设计同步进行 **Crosstalk 分析** 以消除信号串扰问题：





如何执行 Crosstalk 串扰分析

我们可以利用 Allegro PCB Designer 中 Analyze 功能下的 Workflow Manager 来启动 Crosstalk 分析功能(图 3)。

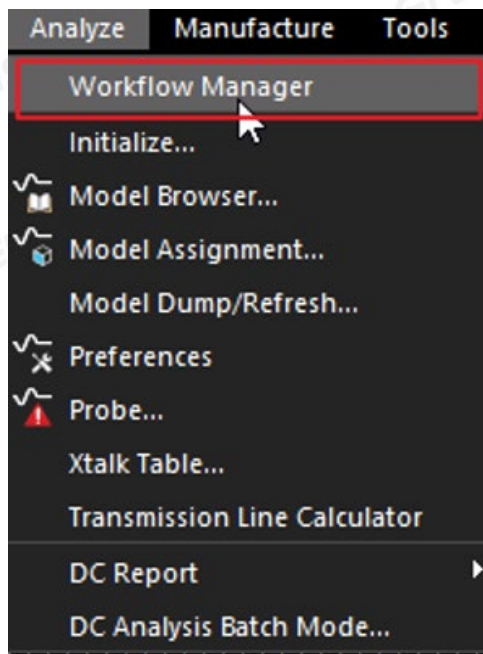


图 3. Workflow Manager

在 Workflow Manager 的下拉选单中选择 **Crosstalk Workflow** 分析功能。(图 4)

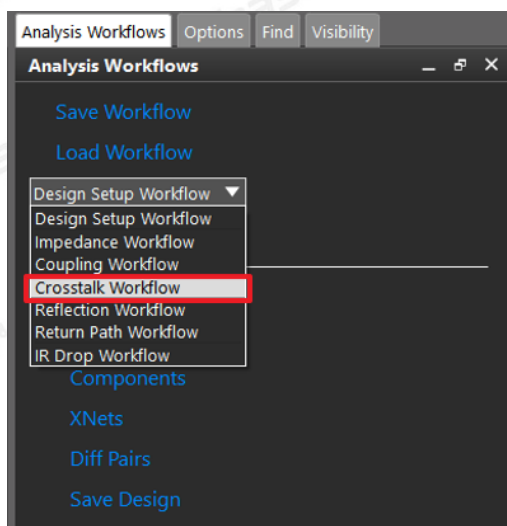
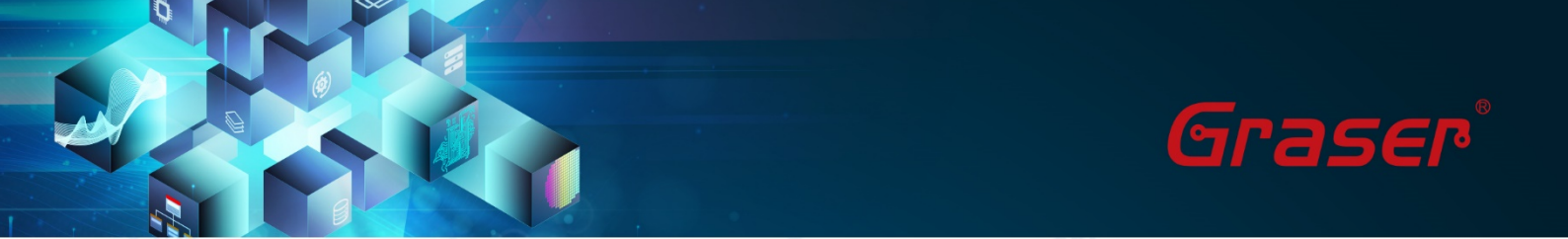


图 4. 选择 Crosstalk Workflow

一样在开始执行分析之前，我们会建议可以的话，先把迭构中的相关数据定义清楚。





接着进行 **Model 模型设定**

如先前描述的，Crosstalk 的 SI 分析流程需要多做 Model 模型的设定，才能有更精准的 SI 分析结果。
请点选 Workflow 中的 **Default Model Setup** 来确认所指定的内定模型 (图 5)

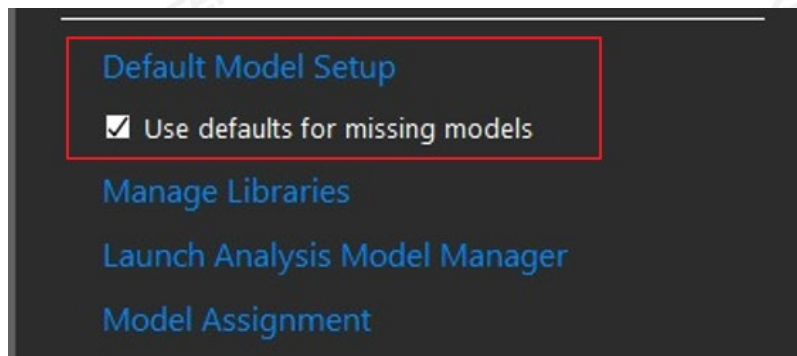


图 5. Default Model Setup 默认模型设定

点选后会出现如下图(6)所示的对话框，此是在指定当没指定模型套用时所使用的内定 IO 模型
(这项套用是在有勾选 “Use defaults for missing models” 项目时才有效)

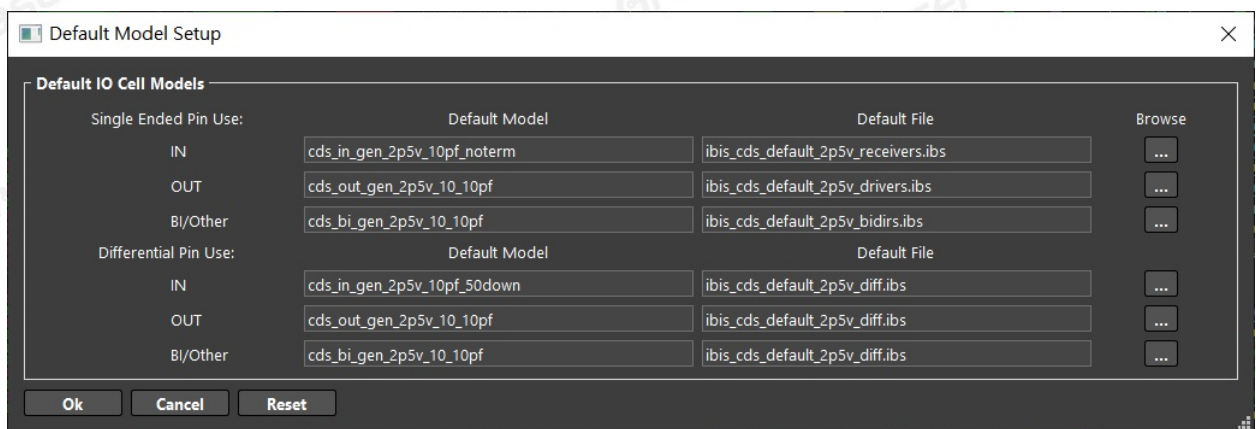


图 6. 指定默认 IO 模型

【小叮咛】

- 这些全部都是 IBIS 格式的模型，不会用到先前的 DML 模型
- 现在也支持差动信号 PIN 的 BUFFER 模型
- 会依 Pin Uses 的定义使判定更快速简化
- Pins 会先判定成 In/Out 或最后为 BI/Other 类别
 - 当 IC pins 不正确或未定义时会判定成 BI/Other



接着可点选 **Browse** 下方的 ... 键，选择或调整所要的默认模型，如下图(7)所示，而其上方 Set Search Path 域值为安装好后所提供的相关内定 .IBS 档案来源路径，您可视需求再依其名称选择 IBIS 档内的特定 buffer 模型(如不同电压或特性等)。

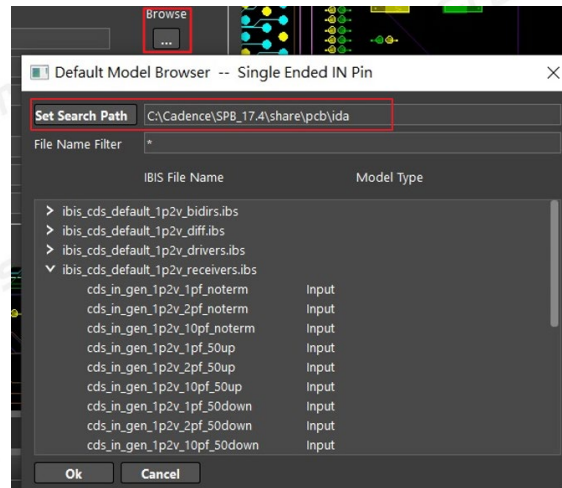


图 7. 浏览默认模型和来源路径

在 Workflow 选单还有三项零件模型设定功能(图 8)，分别为 **Manage Libraries** 零件库路径管理、**Launch Analysis Model Manager** 分析模型管理，以及 **Model Assignment** 模型指定，其重点说明如下：

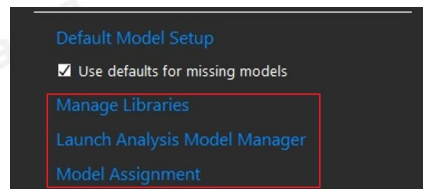


图 8. 三种零件模型设定功能

► Manage Libraries 零件库路径管理

这跟 Sigrity 相关程序的零件库管理是相同的接口，可在不开启 AMM 的操作环境之下设定零件库。

请注意！ 其 proj.amm 的 project library 档是执行后自动建立的内定档 (图 9)，会开在目前的工作路径下所建的“asi_models”次阶路径中，以便将所有相关的 MODEL 零件做统一管理，而不须列在 AMM 中做管理。

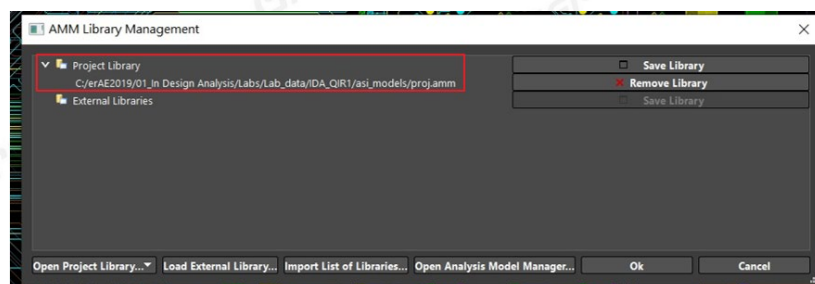
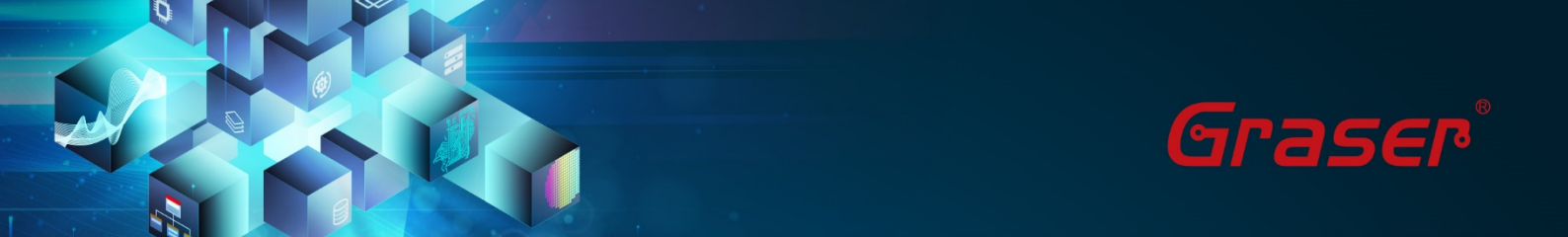


图 9. project library 档-执行后自动建立的内定档



► Model Assignment 模型指定

如要指定模型，请点击 **Model Assignment** 进行指定。

在下图(10)这个表格的 **Assigned Model** 字段中会列出 Allegro 里有用 **ASI_MODEL** 属性所指定的模型对应名称，万一需要有多重指定时如 T76201_14-TSSOP-24，则会显示 ...，表示有不同的模型对应。

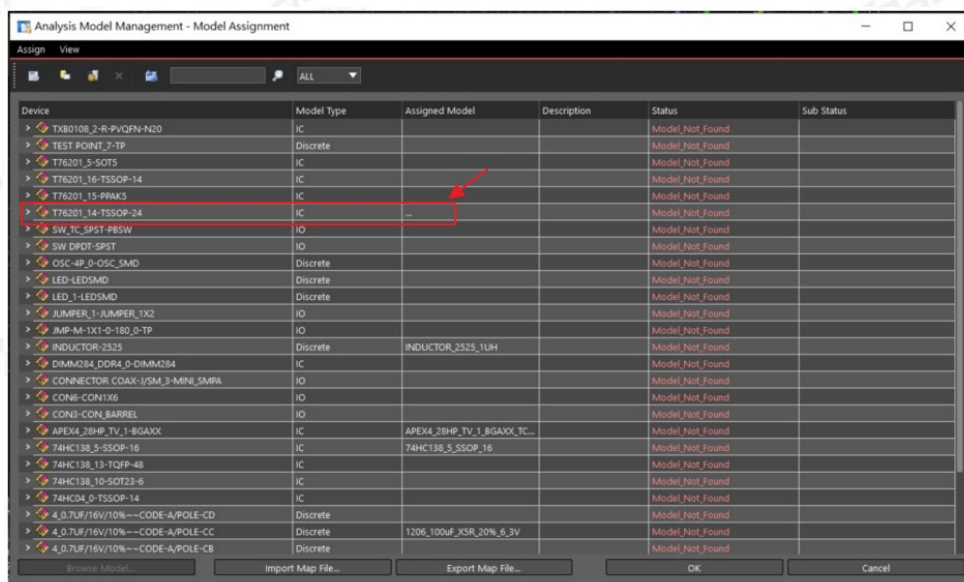


图 10.多重指定显示范例

若是 **Discrete** 被动组件，则可以点击下图(11)中的 **ICON** 自动建立对应模型

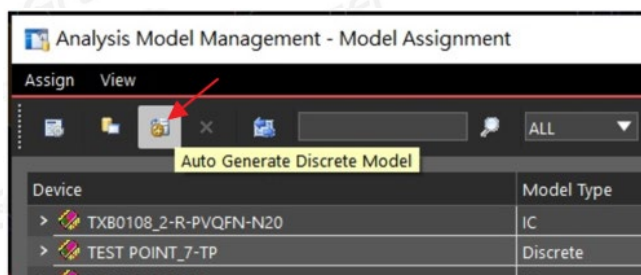


圖 11.自动建立 Discrete 被动组件对应模型

若要**手动**指定模型，如以下图(12) 74HC138_5-SSOP-16 为例，请先点选后，再点左下角的 **Browse Model** 选择模型类型，再选择底下的 **IBIS Model Browsing**

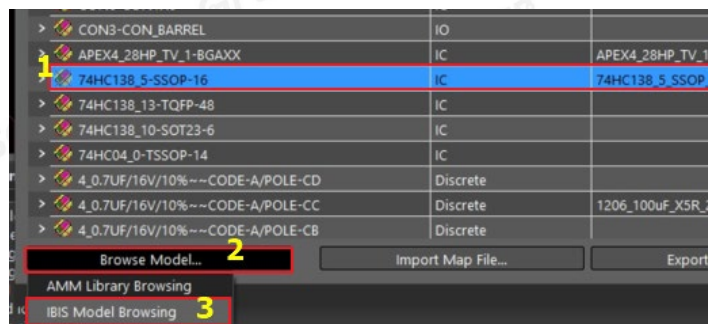


图 11.手动指定模型步骤示意



接着，请在 IBIS Model File 字段中选择与此零件所对应的 .IBS 档，若 .IBS 档中有不同[Component]类型，可再于 IBIS Component 项目中进行选取零件，如 TC74HC138AP (图 12)

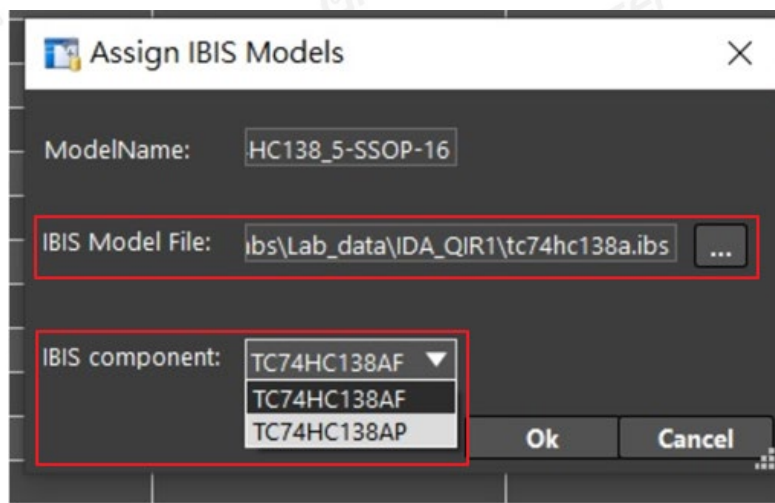


图 12.指定 IBIS Models

选取套用后，会显示如下方 **Status** 栏中的 **Model_Found** 表示：此类零件 Model 套用完成。要是 IC 的单一 models 档中有多种的模型描述才会显示在 **Sub Status** 字段里 (图 13)

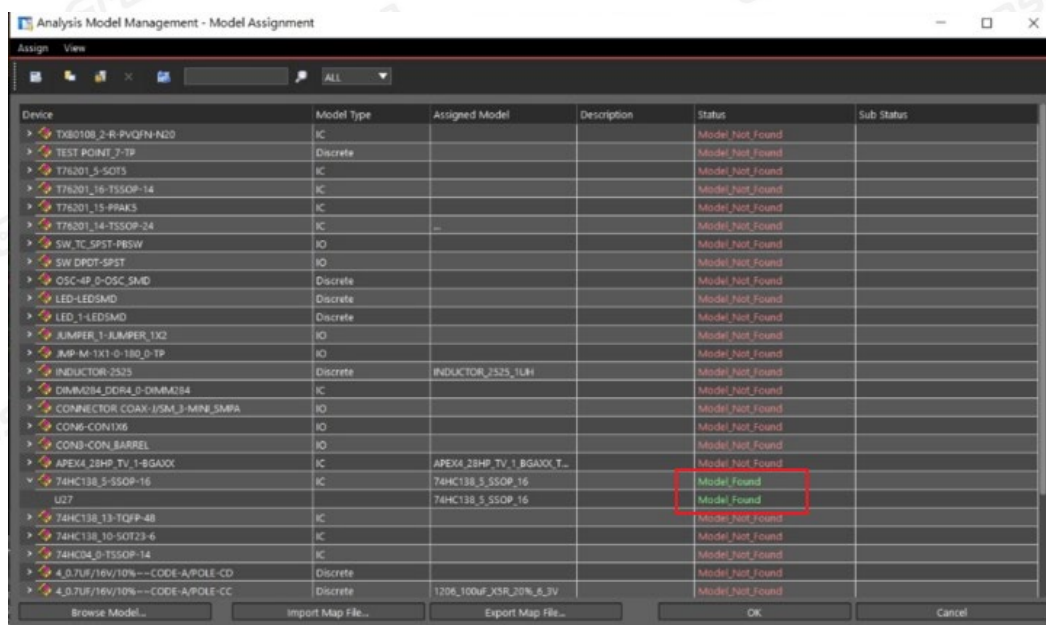


图 13.Model_Found-零件 Model 套用完成示意



► Launch Analysis Model Manager 分析模型管理

若是仍习惯用 AMM(Analysis Model Manager)来管理 Models, 请点选 **Launch Analysis Model Manager**。

如下图(14)中所示, 您可在做 Project 的零件设定, 或可看到先前所设定的 Models 及各 PIN 数据, 在此可重新设定或新增对应模型。

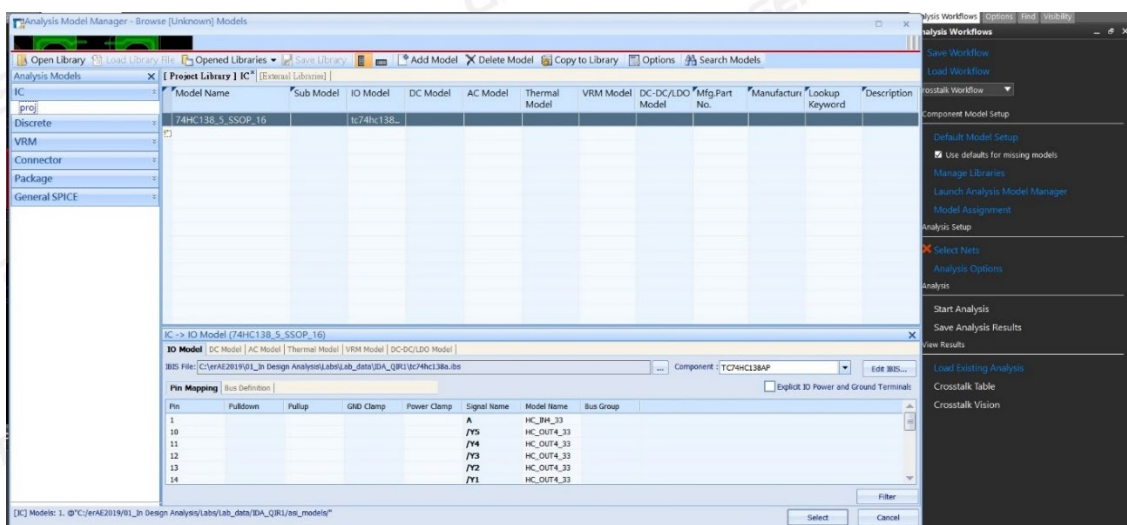


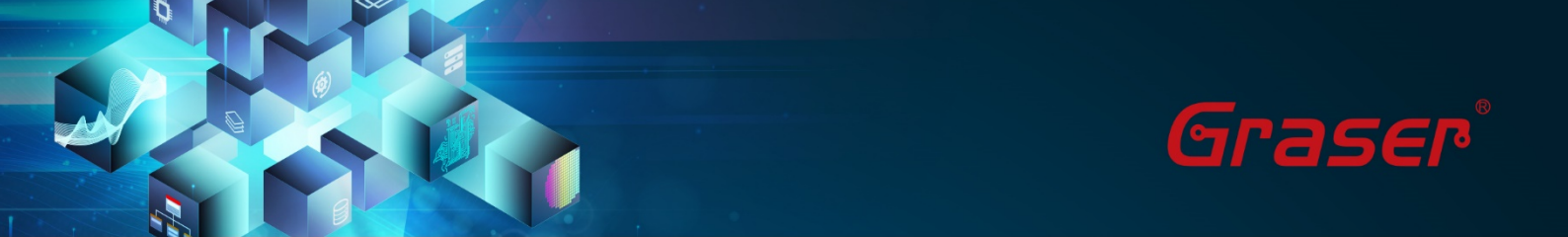
图 14. AMM-Project 零件设定

【新手小叮咛】

- 先对 discrete 被动组件做 Auto Generate
- 对重要的 IC 零件设定其对应的 IBIS 模型文件
- 只对有关零件设立 Model
- 若有其他零件的就让它套用内定的 default models

PS. 此前三步骤, 会将所建的模型存放在先前的 project library 项目零件库中。





开始执行 Crosstalk 分析

在选取信号的 Analysis Setup 分析设定中，点 **Net Based** 选取信号。

如下图(15)所示，在 **Available (X)Nets** 中选择要执行 Crosstalk 分析的对象信号，若先前已设定过 BUS/Xnet/Diffpair，Views 模式切换至 **Hierarchical** 阶层模式后，可整把选取。若是切换至 **Flat** 模式，则显示所有信号名可搭配 Shift 键区间选取，或 Control 键多个选取。当确认后点选中间的 -> 键，将所选信号添加到右侧中。新版本中也可以以鼠标直接框选图上信号选取。

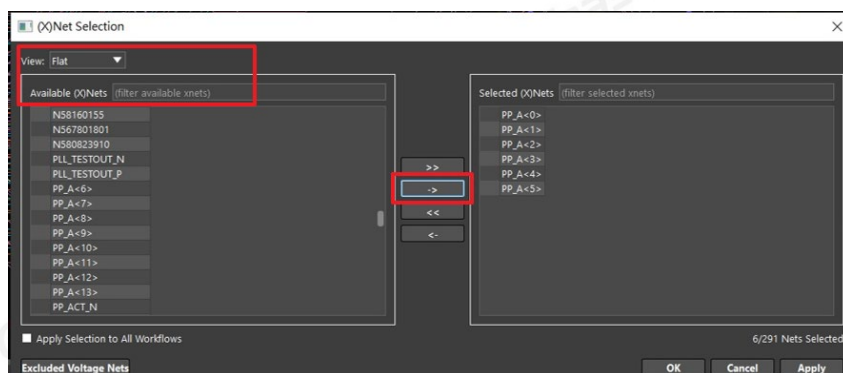


图 15. Select Net 选取信号

A2. 设定 Crosstalk 检测条件

设定标准的检查条件如下图(16)所示，**Coupling** 耦合值超过或 **Rise Time** 小于设定值就会被检测出来。若要以范围做检查，可另外定 **GeoWindow** 值，此表示信号旁所定范围内的都会检查，**Corner** 则为其 **Corner Case** 状况一般为 **Typical**。

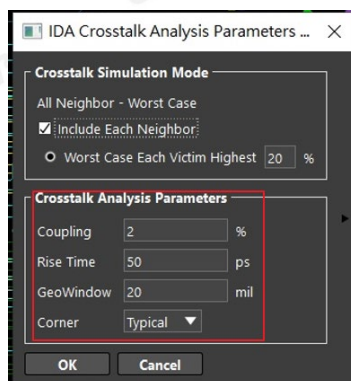


图 16. Crosstalk 检测条件设定

接着便可以点击开始分析。(图 17-18)

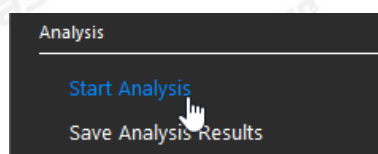


图 17. Start Analysis 开始进行分析

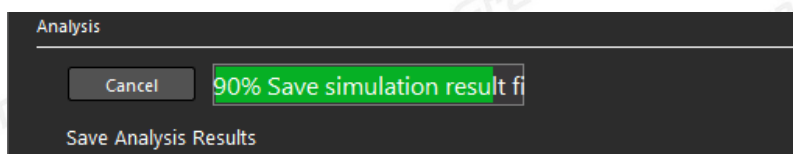
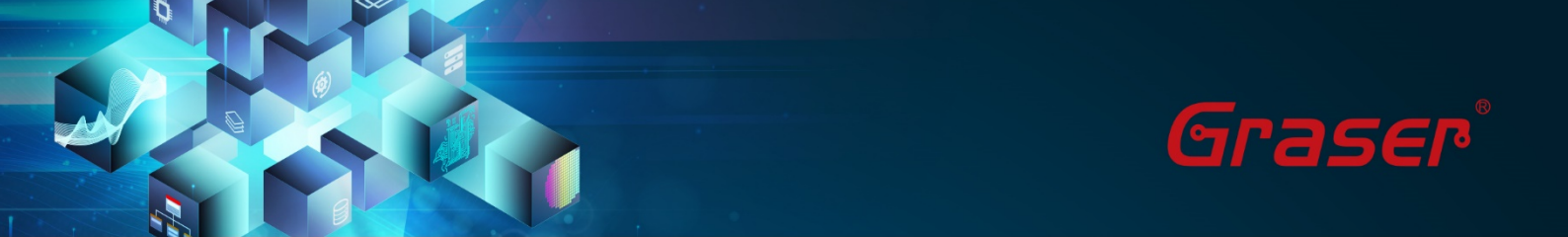


图 18. 分析计算中



Crosstalk 分析结果解析

待分析完成便可选择要检视的结果。在 IDA (In-Design Analysis, 设计同步分析) 的 Crosstalk 分析结果项目中的呈现方式有两种选择，分别是 **Crosstalk Table** 以及 **Crosstalk Vision**。

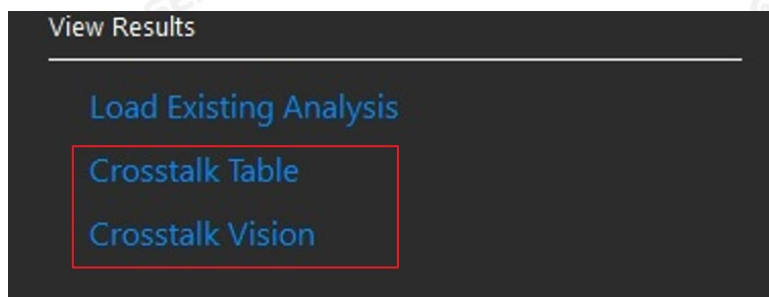


图 19. 结果检视模式

选择 **Crosstalk Vision** 的呈现方式会在图面上会显示其 Crosstalk 程度的色阶图，再搭配右侧色阶 BAR 的调整，筛选出要查看的严重程度或范围 (图 20)

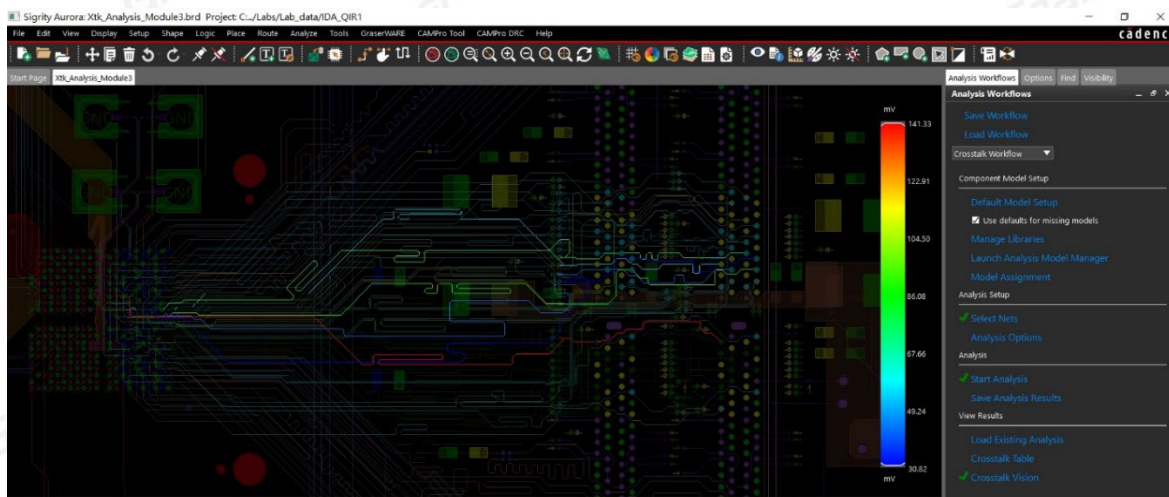


图 20. Crosstalk 色阶表-可筛选欲查看范围或严重程度





选择 Crosstalk Table 会以数据表方式呈现 **worst case** 分析结果，如下图 21 中的 PP+A<0>信号为例，点最左边的 > 可向下展开后，查看其不同 Type 的值。

Victim DP/(X)Net	Result/Waveform Link	Victim Receiver	Simulation Type
> PP_A<0>	141.3 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 78	ALL; HS; ODD; TYP
> PP_A<1>	44.2 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM1 71	ALL; HS; ODD; TYP
> PP_A<2>	34.4 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 213	ALL; HS; ODD; TYP
> PP_A<3>	56.5 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 70	ALL; HS; EVEN; TYP
> PP_A<4>	30.8 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM1 211	ALL; HS; ODD; TYP
> PP_A<5>	73.0 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 210	ALL; HS; ODD; TYP

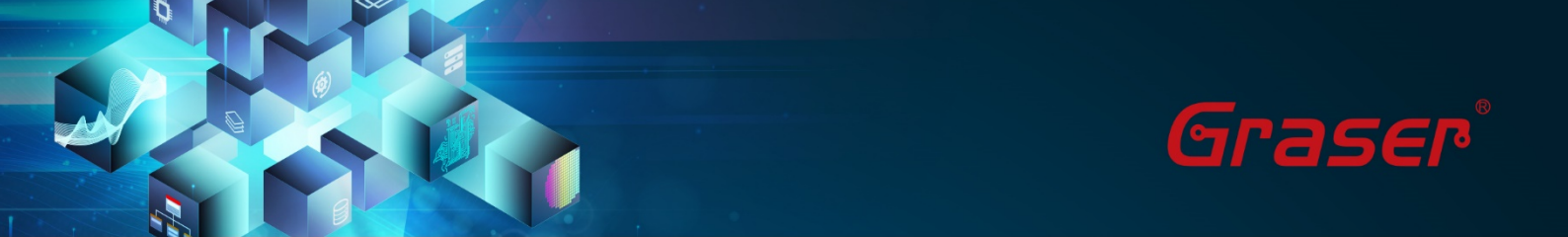
Victim DP/(X)Net	Result/Waveform Link	Victim Receiver	Simulation Type
▼ PP_A<0>	141.3 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 78	ALL; HS; ODD; TYP
	141.3 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 78	ALL; HS; ODD; TYP
	141.3 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 78	ALL; LS; ODD; TYP
	119.8 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 78	ALL; HS; EVEN; TYP
	119.8 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 78	ALL; LS; EVEN; TYP
> PP_A<2>	34.4 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 213	ALL; HS; ODD; TYP
> PP_A<5>	73.0 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 210	ALL; HS; ODD; TYP
> PP_A<3>	56.5 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM2 70	ALL; HS; EVEN; TYP
> PP_A<1>	44.2 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM1 71	ALL; HS; ODD; TYP
> PP_A<4>	30.8 mV	CDS_IN_GEN_2P5V_10PF_NOTERM DDR4_DIMM1 211	ALL; HS; ODD; TYP

图 21. Crosstalk Table-PP+A<0>信号示例

在 Simulation Type 仿真模式栏中，各项显示值其说明如下：

- ALL → 所有 Neighbor
- HS → 受害线(victim)为高(high)
- LS → 受害线(victim)为低(low)
- ODD → 攻击线(Aggressors) 与 受害线(victim) 反相
- EVEN → 攻击线(Aggressors) 与 受害线(victim) 同相
- TYP → Typical 依先前的 Analysis Options 分析选项中的 Corner 类型而定





当您对 **Result/Waveform** 那栏连点两下会 Highlight 信号，单点击其数值可开启其结果/波形画面。(图 22)

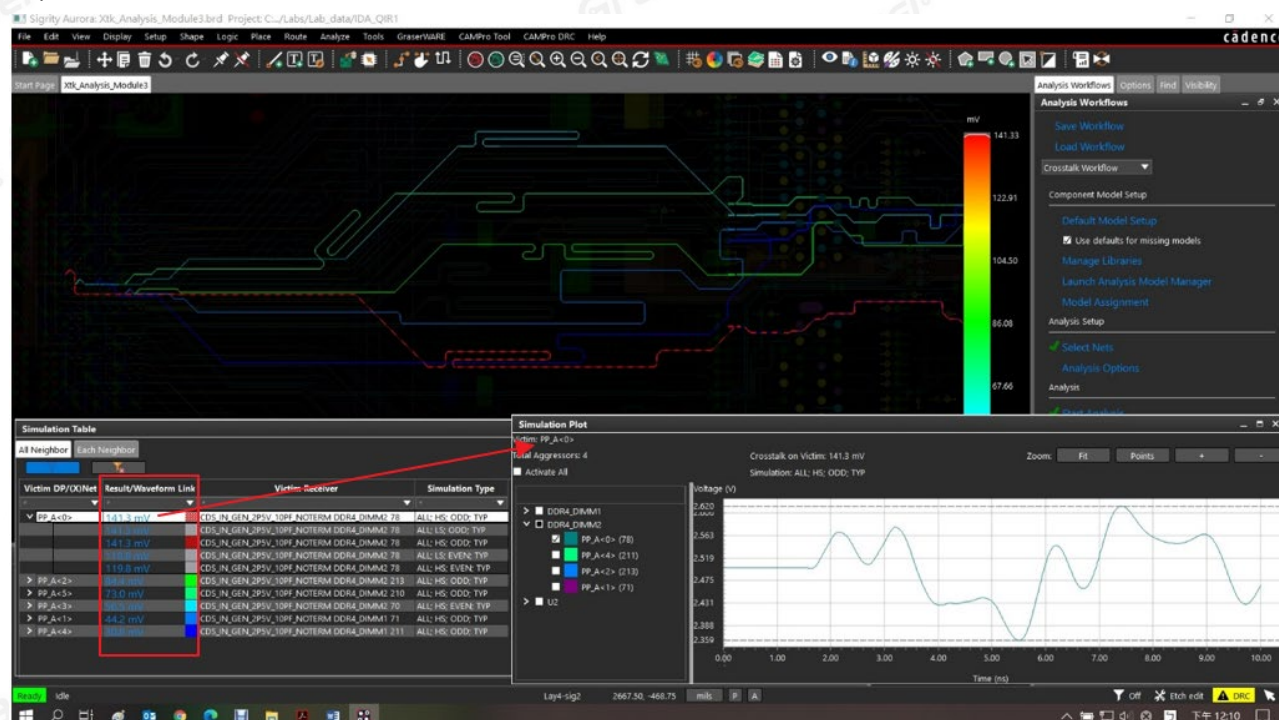


图 22.信号仿真分析结果/波形示例

您也可以在波形显示画面上量测其 NOISE 噪声值。(图 23)

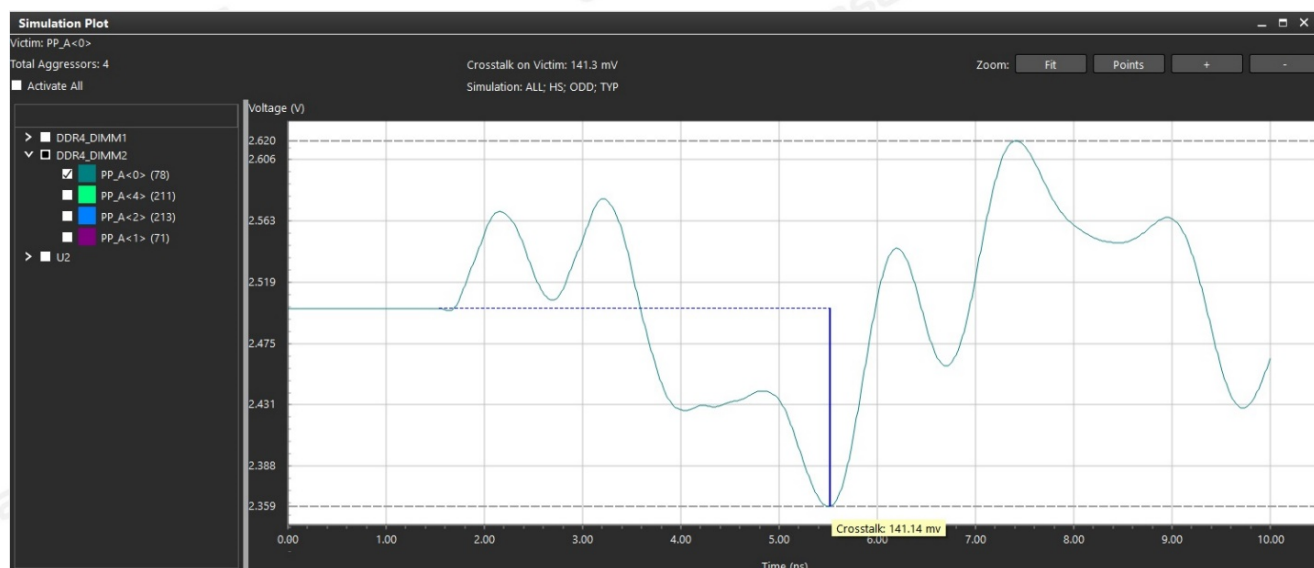
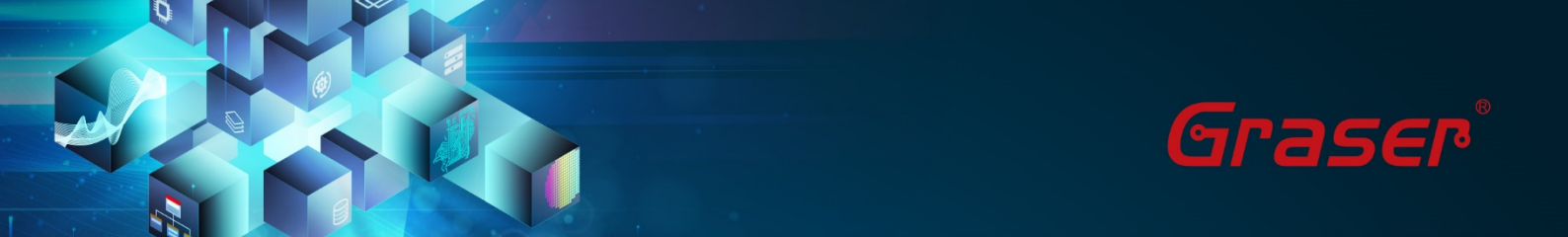


图 22.信号仿真分析结果/波形示例





或是在左侧的信号中，勾选相关的攻击线 Aggressor 干扰源信号查看其波形。

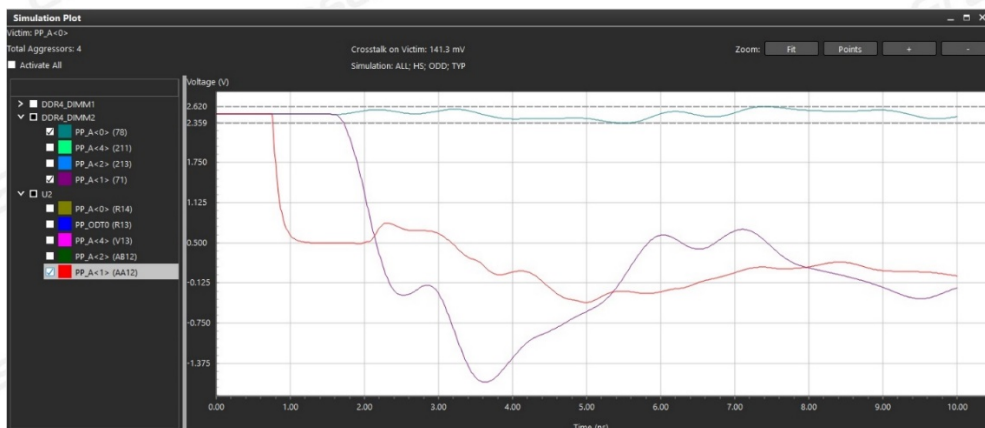


图 23.干扰源信号波形示意

Each Neighbor 是先前分析选项(Analysis Option)设定时有勾选 **Include Each Neighbor** 计算后的报告，会列出有超过如所设 20%的 worst-case 受干扰信号及其详细信息。(图 24)

Simulation Table

Summary Table

Victim DP/(X)Net	Aggressor DP/(X)Net	Result/Waveform Link	Victim Receiver	Simulation Type
> PP_A<0>	PP_A<2>	89.4 mV	CDS_IN_GEN_2P5V...	EACH; HS; ODD; TYP
> PP_A<2>	PP_A<0>	86.7 mV	CDS_IN_GEN_2P5V...	EACH; HS; ODD; TYP

Detailed Table

Victim Trace Ref	Aggressor Net	Aggressor Trace Ref	Coupling Coef	Length	Layer	Coupling Index
Trace4382:PP_A<2>	PP_A<0>	Trace4515:PP_A<0>	7.32	695.96	LAY3-SIG1	5091.07

图 24. Each Neighbor-邻近受干扰信号报告显示

您也可以点击右键后选择 **Show Details** 查看以下详细数据，或选择 **Output to csv** 导出到 Excel 表中。

Simulation Table

Summary Table

Victim DP/(X)Net	Aggressor DP/(X)Net	Result/Waveform Link	Victim Receiver	Simulation Type
> PP_A<0>	PP_A<2>			
> PP_A<2>	PP_A<0>			

Detailed Table

Victim Trace Ref	Aggressor Net	Aggressor Trace Ref	Coupling Coef	Length	Layer	Coupling Index
Trace4382:PP_A<2>	PP_A<0>	Trace4515:PP_A<0>	7.32	695.96	LAY3-SIG1	5091.07

Show Details

Victim Net: PP_A<2>

Victim Driver: CDS_IN_GEN_2P5V_10PF_U2 AB12

Receivers: CDS_IN_GEN_2P5V_10PF_NOTERM_DDR4_DIMM2 213, Crosstalk: 86.7 mV; CDS_IN_GEN_2P5V_10PF_NOTERM_DDR4_DIMM1 213, Crosstalk: 66.3 mV

Simulation Type: EACH; HS; ODD; TYP

Aggressor Nets: PP_ODT1, PP_A<6>, PP_A<0>

图 25. 查看详细信息





总结

精确掌握 SI 等级的串扰分析

如前言所述，随着电路板尺寸愈来愈小，压缩各版层空间使得走线密度也愈来愈大，特别当信号速度持续加快时，随之而来串扰问题也愈趋严重，将直接影响信号是否能正确接收。当我们细看串扰分析时，不同的工作电压位准会有不同的影响强度。在不同的相位组合下，有的可能反相而有机会减低甚或抵消，但有些则因同相影响而更放大，或者跟受害线是高或低位准也会有不同抗干扰程度的影响，因此如何降低噪声干扰对 PCB 设计团队是为一大棘手问题。

现在 Allegro PCB Designer 中导入了 Sigrity 专业的仿真分析技术，将 IDA (In Design Analysis, 设计同步分析) 带入 PCB 设计流程之中。您只需再多搭配模型的设定，其分析上会含括零件模型特性且会考虑上述多种情境，就可以轻松实现 SI 等级的串扰分析，可帮助 EE 或 PCB 设计工程师预先且可更精确的实时分析设计中的串扰问题，使设计效率提升，不良机率减少，让质量再提升！

【温馨提醒】

若欲完整执行上述 Crosstalk 分析功能需要搭载 Cadence 相关软件程序和 Licenses。

更多【PCB 设计同步分析隐藏技巧】系列专题文章：

技巧一：电源设计优化 IR Drop [【手机端】](#) / [【电脑端】](#)

技巧二：信号耦合干扰 Coupling [【手机端】](#) / [【电脑端】](#)

技巧三：信号特性阻抗 Impedance [【手机端】](#) / [【电脑端】](#)

下一期预告：Reflection 反射分析技巧

【PCB 设计同步分析六大隐藏技巧】系列专题主要解锁 IR Drop 压降、Coupling 耦合、Impedance 阻抗、Crosstalk 串扰、Reflection 反射、Return Path 回流路径等 6 种分析技巧，帮助 EE、Layout 人员在设计前期阶段不需依靠 SI/PI 专家就能做初步的仿真分析，快速找出并排除常见信号/电源问题，提升设计质量和效率，欢迎共同探讨。

