



## PCB 设计同步分析 6 大隐藏技巧(五)：扫除信号线的意外回音

现今电子产品复杂度越趋增加，信号速度越来越快，在信号传输的过程中，如果信号不断反射便会对电子产品的运作造成影响，而这又与阻抗连续性以及阻抗匹配息息相关；而如何避免信号反射，除了在硬件设计时的规划外，在 PCB 设计时间针对信号传输路径进行分析和走线优化，并使传输信号的发送与接收端阻抗匹配，亦是确保产品性能良好的不二法门。

本文将介绍如何使用 Allegro 的 Reflection 分析功能，在 PCB 布线过程中同步进行信号反射分析，只要搭配零件模型的挂载，EE 或 Layout 人员可以不需要倚靠 SI 人员，便能于设计中同步进行 SI 等级的信号反射分析，实时确认并修正 PCB 设计，以提升设计效率并减少不良发生机率。

. **Date:** 2020 /11

. **Author:** Jiefu Wu

. **Version:** V 17.4





## 什么是 Reflection?

### PCB「信号传输线」上的意外回音

先前我们提到如何简单的利用 [Impedance 分析](#) 来确认 PCB 上传输线的特性阻抗，现在是时候挑战巨人歌利亚，更深入地对信号做进一步分析了。

### 而什么是 Reflection (信号反射)?

我们之前说到，将 PCB 上的信号线想象成自来水管，水在水管中流动。当水从比较宽的水管往下流动时，突然尾段水管变窄了，部分的水流无法继续前进，那就会往回冲了。同样的情况拿到 PCB 上来说，传送端与接收端阻抗不匹配即会造成信号的反射，此时接收端会将一部分电压反射回传送端，造成传输线中正在传送出去的信号与反射回来的信号彼此你侬我侬，互相干扰。此外，传输线经过贯孔或是连接器，以及参考地平面不连续，也均会造成信号反射。信号不稳定，系统运作就不正常。

想象你对着空无一人的空屋叫喊，竟然听到不应该得到的响应，岂不吓死人。

## 为什么需要 Reflection 分析?

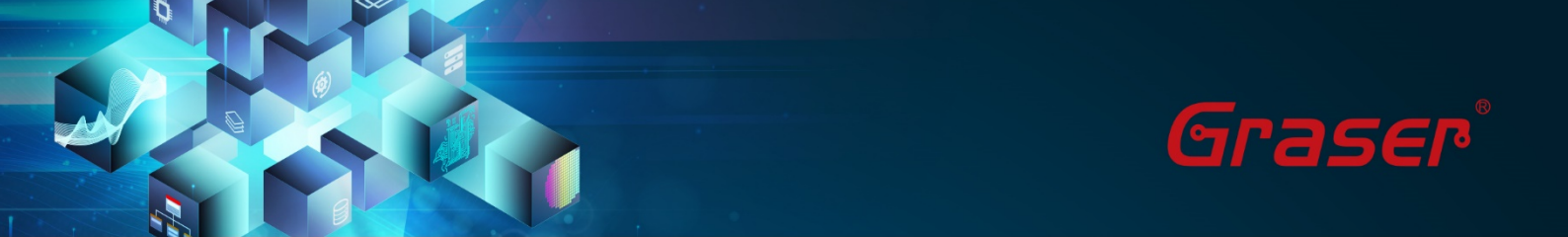
### 信号走线-失之毫厘、差之千里

一般在设计 PCB 时，Reflection(信号反射) 常于以下几种情况发生：

1. 传送端与接收端阻抗不匹配。
2. 信号线宽改变导致阻抗不连续。
3. 传输线过孔或连接器导致阻抗不连续。
4. 信号线参考的地平面(GND)有壕沟(Moat) 导致阻抗不连续。

以往 EE / PCB Layout 工程师在设计产品时，多半会沿用经验法则，或是使用其他分析工具做基本确认。但最多时候会需要专业 SI 人员帮忙对 PCB Layout 做实际模拟，得到精确的结果之后，再针对异常处做修正。而这一来一往的讨论与数据往返便耗费了许多时间；尤其在交期赶的时候，SI 人员火大，EE / PCB Layout 人员苦不堪言，交期延迟，客户发飙。





PCB Layout 上的走线千百条，需要注意的地方太多，尤其信号频率越来越高，速度越来越快，有时候失之毫厘，差之千里，差那么一点点就会造成严重的影响；**当客户不断要求修改设计的时候**，有些细节更不能不注意，尤其是在会造成信号反射的部分。

在很多时候，Layout 上的走线已做调整，贯孔的部分也做了初步确认，该加上的电阻/电容也加上了；但对于**更高速敏感的信号**，我们必须看得更深入。这时候便会需要进一步为零件挂上 Models，进行分析时才能有零件的行为，并得到更为精确的结果，最后做细部的修正。

如果这些细部分析在 PCB 设计端便能够执行，利用直观的辅助分析工具帮助工程师实时分析、实时检查、实时修正，将可大大减少错误发生的机会并减少各方讨论的时间。交期不延迟，大家开心。

接下来我们将透过设计实例详解设计同步进行 **Reflection 分析** 以避免信号反射：

## 如何执行 Reflection 实时分析信号反射

在开始执行分析之前，我们一样会建议先把**叠构板材(Cross section)**定义清楚，因为所有的分析结果都是基于叠构设定为基础做计算。接着我们就可以利用 Allegro PCB Designer 中 Analyze 功能底下的 Workflow Manager 来启动 Reflection 分析功能（图 1）。

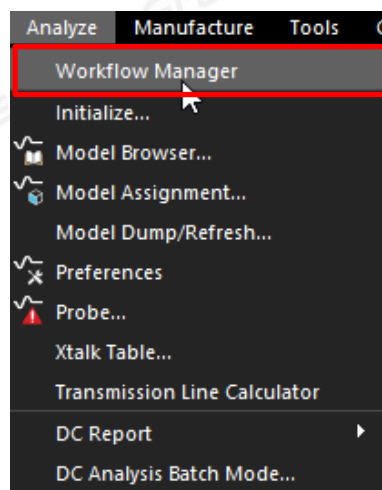


图 1. Workflow Manager





在 Workflow Manager 的下拉选单中选择 **Reflection Workflow** 分析功能。(图 2)

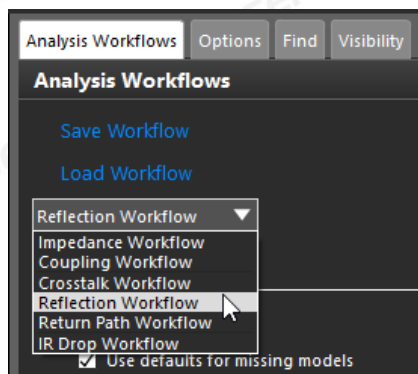


图 2. 选择分析项目

接着进行 **Model 模型设定**。

如同[上一篇 Crosstalk 分析](#)，Reflection 信号反射和 Crosstalk 串扰分析流程一样需要设定 Model 模型，才能得到更精准的 SI 分析结果。

[温馨叮咛：若在上一篇 Crosstalk 分析中已先完成 Model 模型设定，则可忽略下述步骤直接至第 10 页进行分析 Net 相关设定]

因此，我们一样先点选 Workflow 中的 **Default Model Setup** 来确认所指定的内定模型（图 3）。

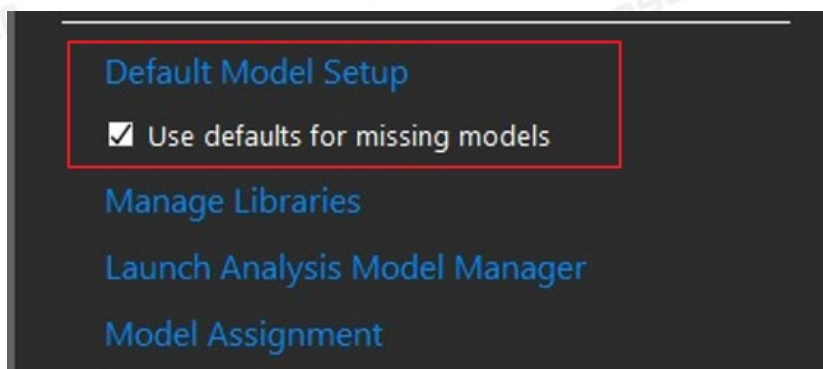


图 3. Default Model Setup 默认模型设定

点选后会出现如下(图 4) 所示的对话框，此是在指定当没指定模型套用时所使用的内定 IO 模型 (这项套用是在有勾选 “Use defaults for missing models” 项目时才有效)。

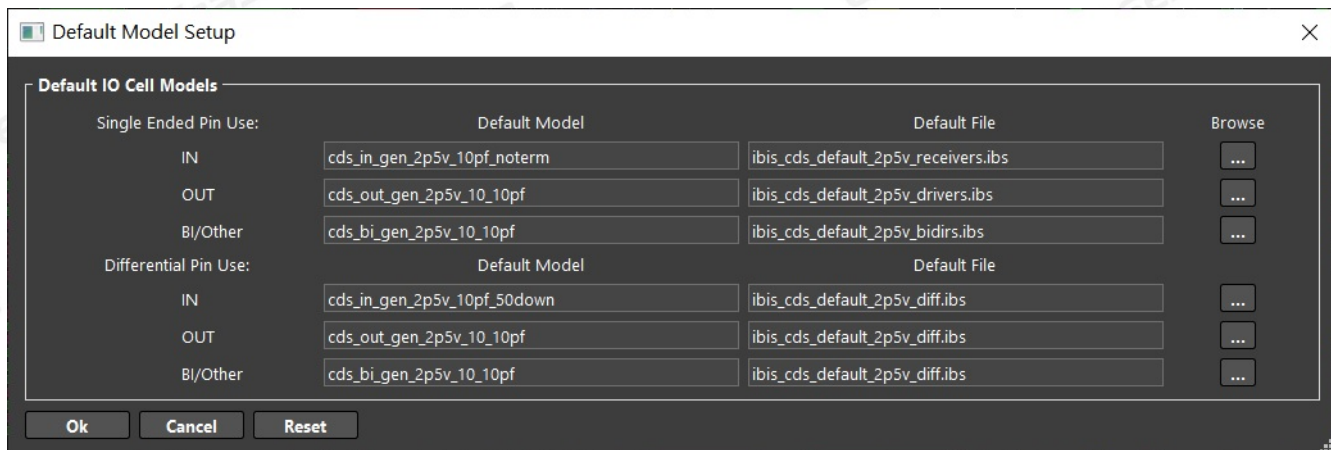
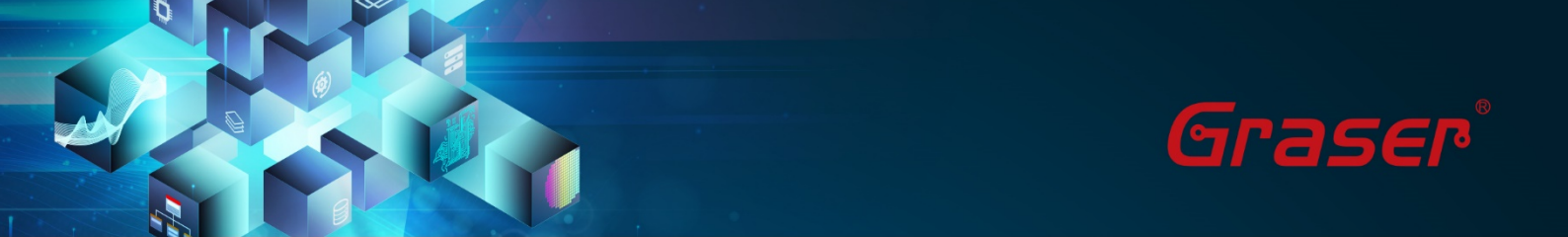


图 4. 指定默认 IO 模型

#### 【小叮咛】

- 这里使用的全部都是 IBIS 格式的模型，不会使用到先前的 DML 模型
- 现在也支持差动信号 PIN 的 BUFFER 模型
- 会依 Pin Uses 的定义使判定更快速简化
- Pins 会先判定成 In/Out 或最后为 BI/Other 类别
  - 当 IC pins 不正确或未定义时会判定成 BI/Other

接着可点选 Browse 下方的 ... 键，选择或调整所要的默认模型，如下图(5)所示，而其上方 Set Search Path 域值为安装好后所提供的相关内定 .IBS 档案来源路径，您可视需求再依其名称选择 IBIS 档内的特定 buffer 模型 (如不同电压或特性等)。

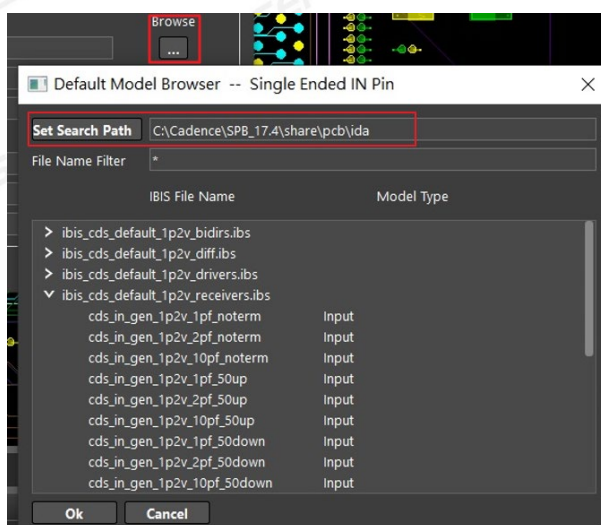
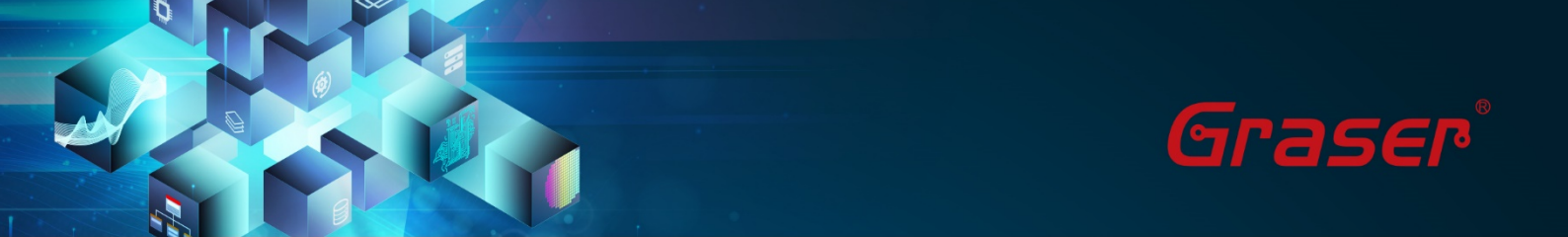


图 5. 浏览默认模型和来源路径



在 Workflow 选单还有三项零件模型设定功能(图 6) , 分别为 **Manage Libraries** 零件库路径管理、 **Launch Analysis Model Manager** 分析模型管理, 以及 **Model Assignment** 模型指定, 其重点说明如下:

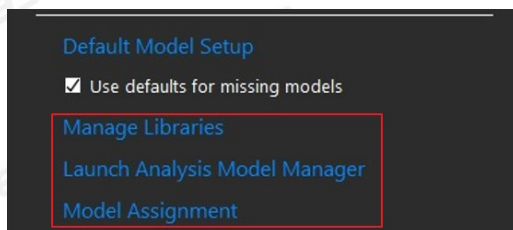


图 6. 三种零件模型设定功能

#### ► Manage Libraries 零件库路径管理

此处与 Sigrity 相关程序的零件库管理是相同的接口, 可在不开启 AMM 的操作环境之下设定零件库。

**请注意!** 这里 proj.amm 的 project library 档是执行后自动建立的内定档案 (图 7), 会开在目前的工作路径下所建立的“asi\_models”子阶路径中, 以便将所有相关的 MODEL 零件做统一管理, 而不须在 AMM 中做管理。

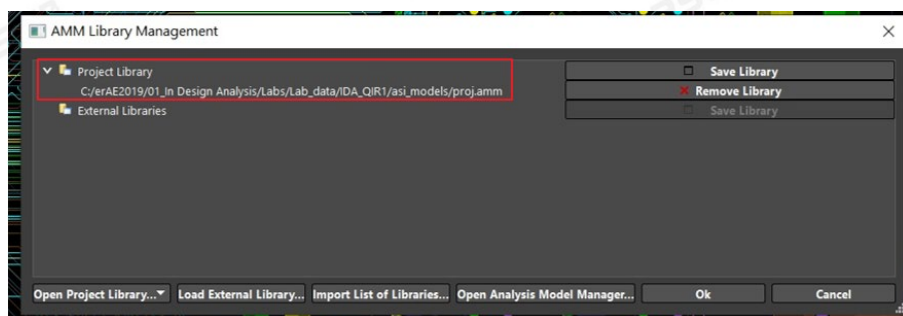


图 7. project library 档 - 执行后自动建立的内定档案

#### ► Model Assignment 模型指定

如要指定模型, 请点击 Model Assignment 进行指定。







在(图 8)这个表格的 **Assigned Model** 字段中会列出 Allegro 里有用 **ASI\_MODEL** 属性所指定的模型对应名称, 万一需要有多重指定时如 T76201\_14-TSSOP-24, 则会显示 ..., 表示有不同的模型对应。

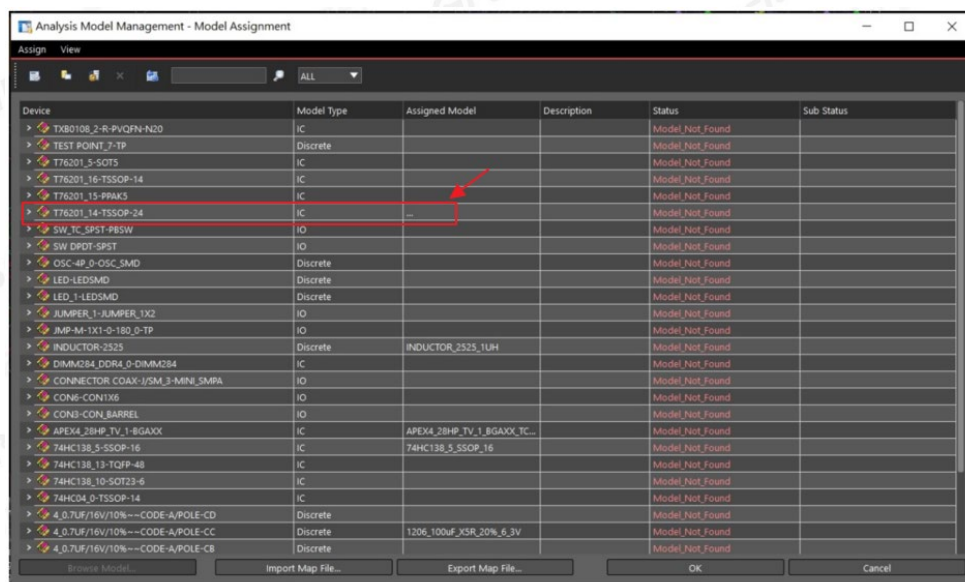


图 8. 多重指定显示范例

若是 **Discrete** 被动组件, 则可以点击(图 9)中的 **ICON** 自动建立对应模型。

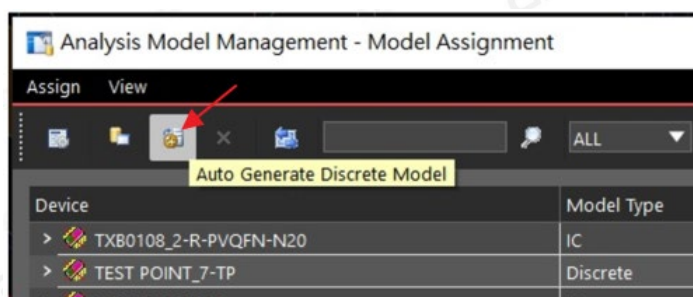


圖 9. 自动建立 Discrete 被动组件对应模型

若要**手动**指定模型, 如以(图 10) 74HC138\_5-SSOP-16 为例, 请先点选后, 再点左下角的 **Browse Model** 选择模型类型, 再选择底下的 **IBIS Model Browsing** 。

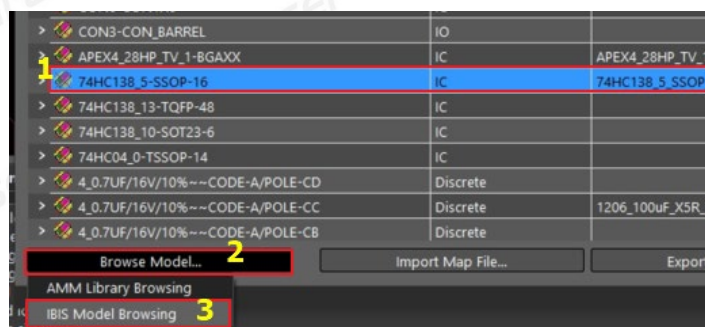


图 10. 手动指定模型步骤示意





接着，请在 IBIS Model File 字段中选择与此零件所对应的 .IBS 檔，若 .IBS 檔中有不同 [Component] 类型，可再于 IBIS Component 项目中进行选取零件，如 TC74HC138AP（图 11）。

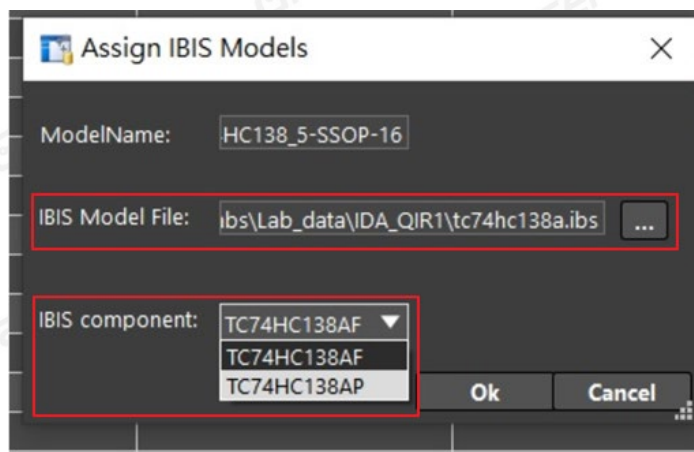


图 11. 指定 IBIS Models

选取套用后，会显示如下方 Status 栏中的 Model\_Found 表示：此类零件 Model 套用完成。要是 IC 的单一 models 档中有多种的模型描述才会显示在 Sub Status 字段里（图 12）。

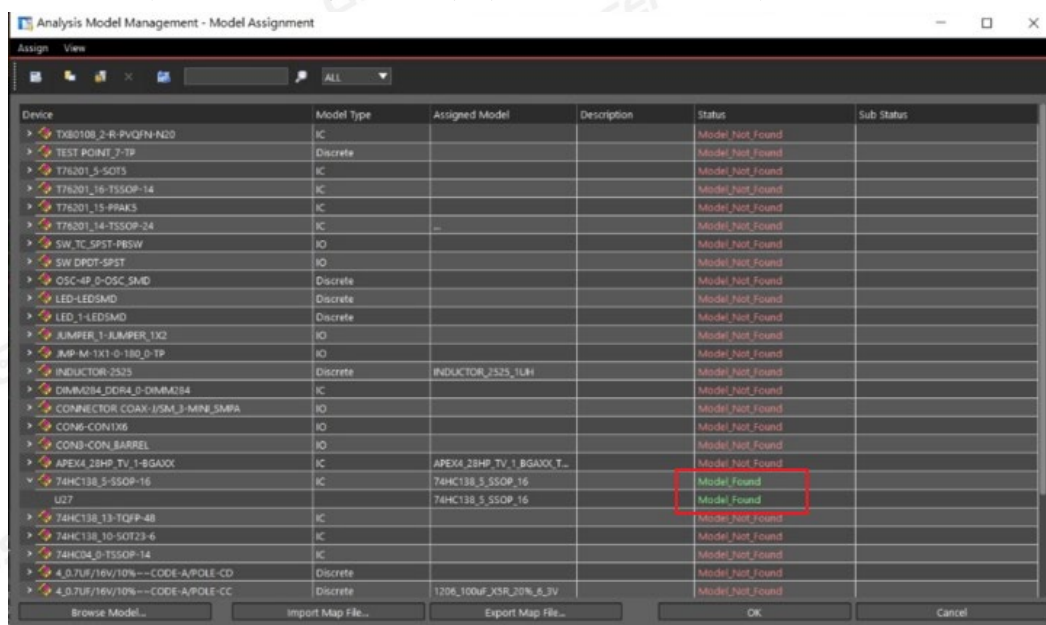


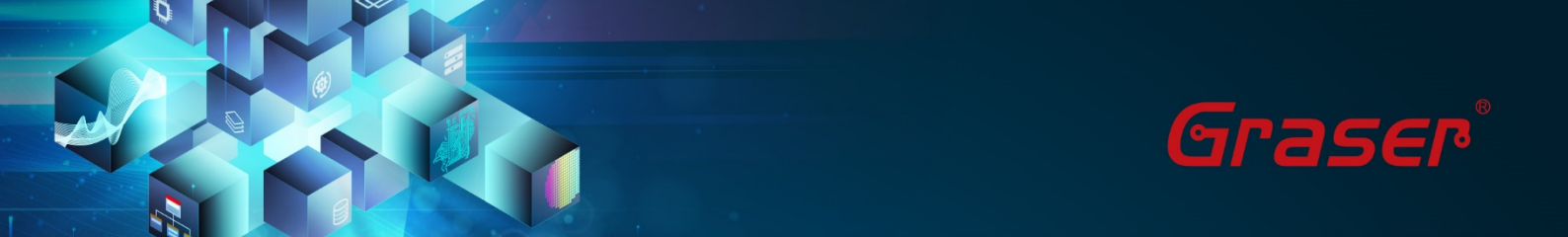
图 12. Model\_Found-零件 Model 套用完成示意

### ► Launch Analysis Model Manager 分析模型管理

若是仍习惯用 AMM(Analysis Model Manager)来管理 Models，请点选 *Launch Analysis Model Manager* 。







如(图 13)中所示，您可在此做 Project 的零件设定，可看到先前所设定的 Models 及各 PIN 数据，在此可重新设定或新增对应模型。

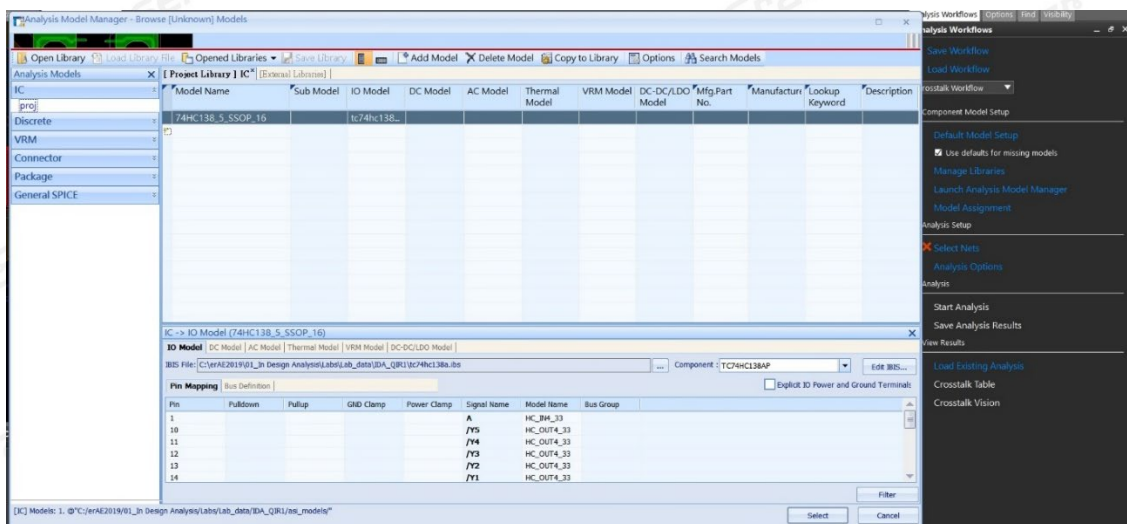


图 13. AMM-Project 零件设定

### 【新手小叮咛】

- 先对 discrete 被动组件做 Auto Generate
- 对重要的 IC 零件设定其对应的 IBIS 模型文件
- 只对有关零件设立 Model
- 若有其他零件的就让它套用内定的 default models

PS. 此前三步骤，会将所建的模型存放在先前的 project library 项目零件库中。



完成 Model 模型设定之后、在开始执行分析之前，我们会需要先选择要分析的 Net（图 14）。

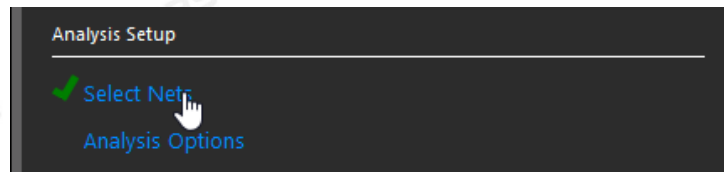


图 14. 选择要分析的 Net

在 (X)Net Selection 窗口中选择要执行分析的信号，默认为 Flat 模式，可显示所有信号名（图 15）。

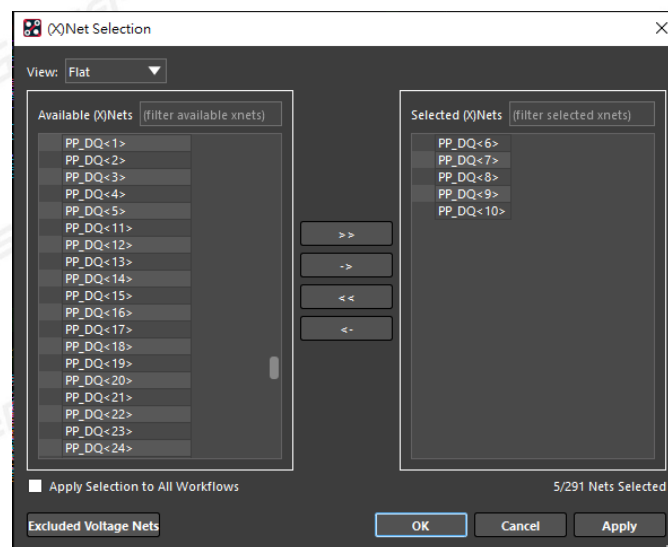


图 15. 选择要分析的 Net

而左上角的 Views 检视模式可切换至阶层 (Hierarchical) 模式，只要有设定 BUS/Xnet/Diffpair，便可以阶层方式整组选取。同时也可搭配 Shift 键做区间选取，或是 Control 键多重选取，确认后点选中间的 -> 键，将所选信号添加到右侧字段中。（图 16）

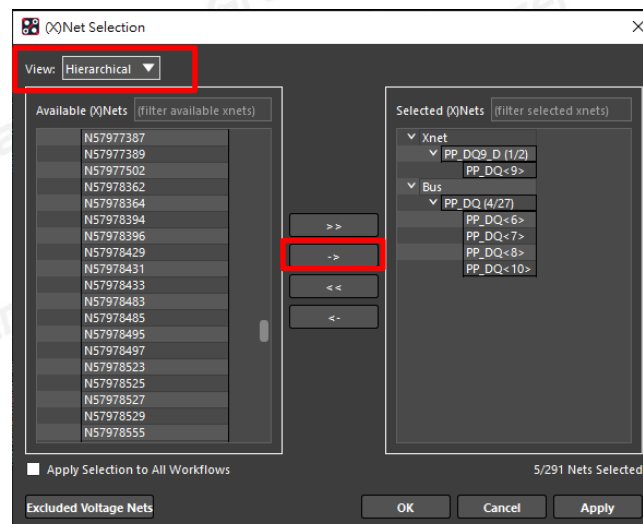
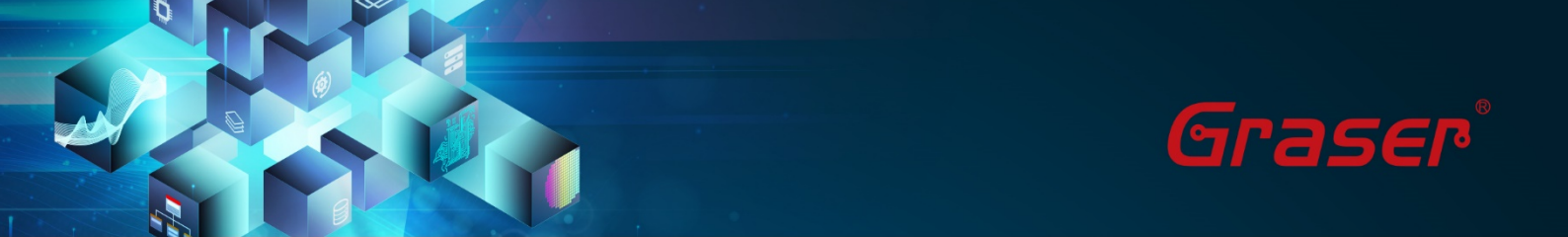


图 16. 阶层模式-选取要分析的 Net



如同其他分析项目，在 Allegro 17.4 的版本除了可在列表选取要分析的 Net 之外，现在也可使用鼠标直接在 Layout 画面中框选要分析的 Net（图 17）。

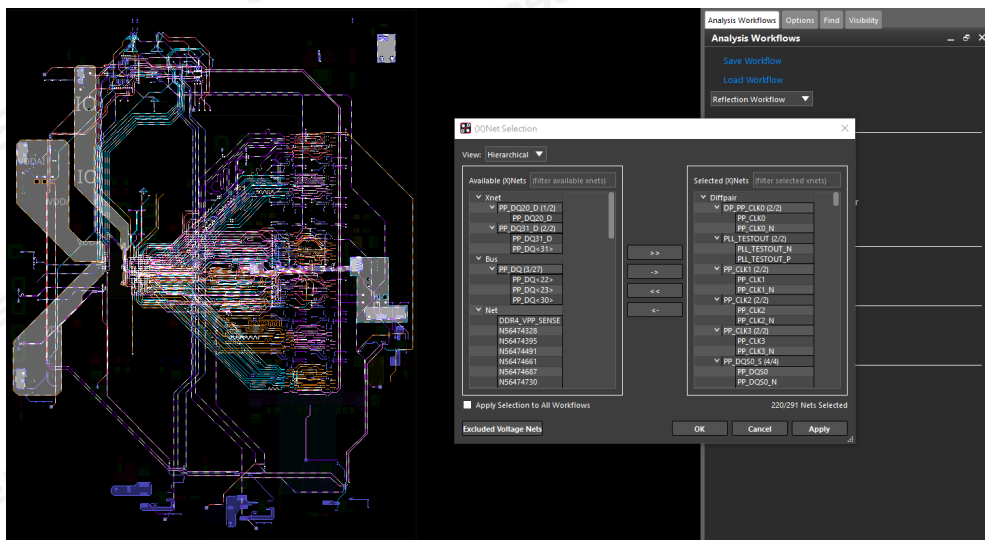


图 17. 使用鼠标直接框选 Net

接着在 Workflow 中点选 *Analysis Options* 开启设定选项，这里我们将 *Offset / Delay* 设定为 1ns，*Corner* 一般为 Typical（图 18）。

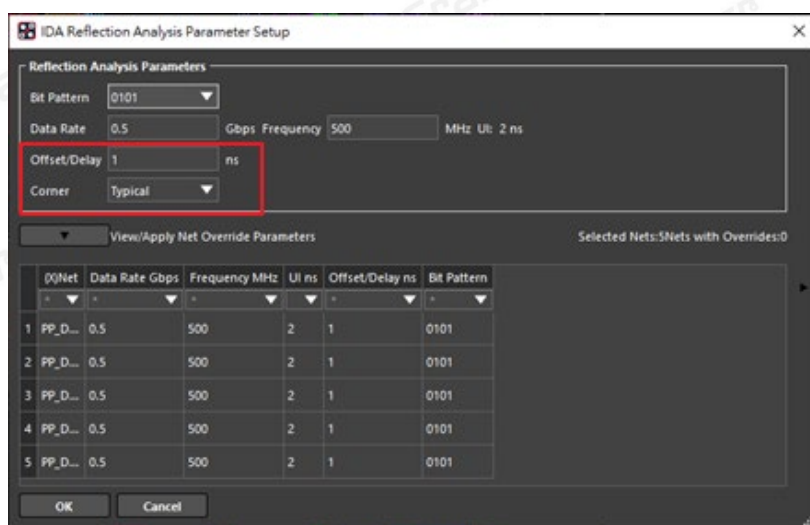


图 18. 分析参数设定

设定完毕便可点选 **Start Analysis**，开始进行分析(图 19)。

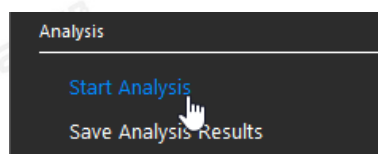


图 19-1. Start Analysis 开始进行分析

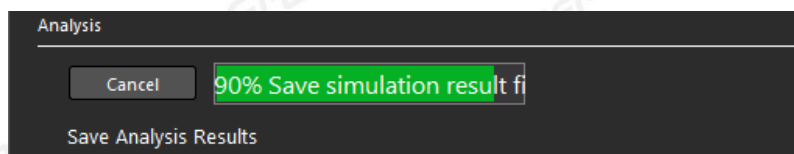
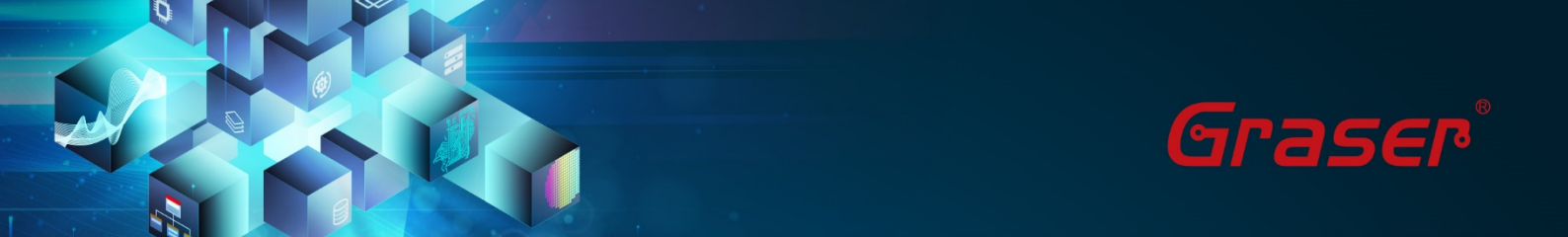


图 19-2. 分析计算中

一般来说针对高速信号我们会需要进一步做 Reflection 反射分析检查，以确保信号传输质量。







## Reflection 分析结果解析

待分析完成便可选择要检视的结果。

这里我们直接来确认分析结果。下图中我们可以看到结果的呈现方式有两种选择，分别是 Reflection Table 以及 Reflection Vision (图 20)。

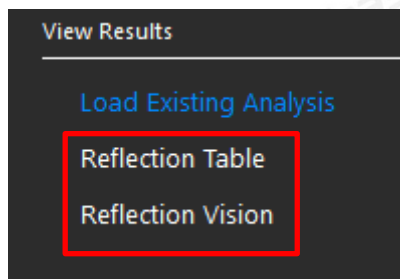


图 20. 结果检视模式示意

选择 Table 以表格方式呈现分析结果如下图，可检视的分析项目分别为：

- Ring Back Margin High (回铃裕度高)
- Ring Back Margin Low (回铃裕度低)
- JEDEC Overshoot High (JEDEC 过冲高)
- JEDEC Overshoot Low (JEDEC 过冲低)
- Propagation Delay (传播延迟)
- Min First Switch Rise (最小第一切换上升时间)
- Min First Switch Fall (最小第一切换下降时间)
- Max Final Settle Rise (最大稳定切换上升时间)
- Max Final Settle Fall (最大稳定切换下降时间)

而 Table 左上方有 Focus Data 的下拉选项，点选后可将要检视的数据项数值显示于最左侧 (图 21)。

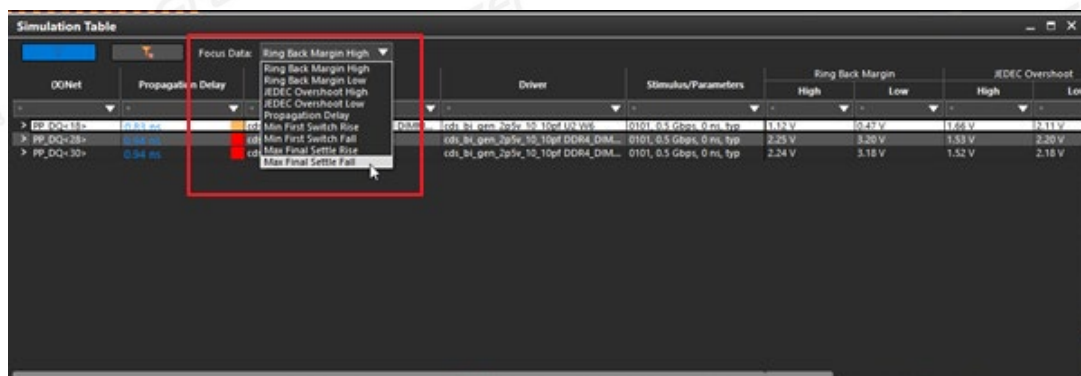
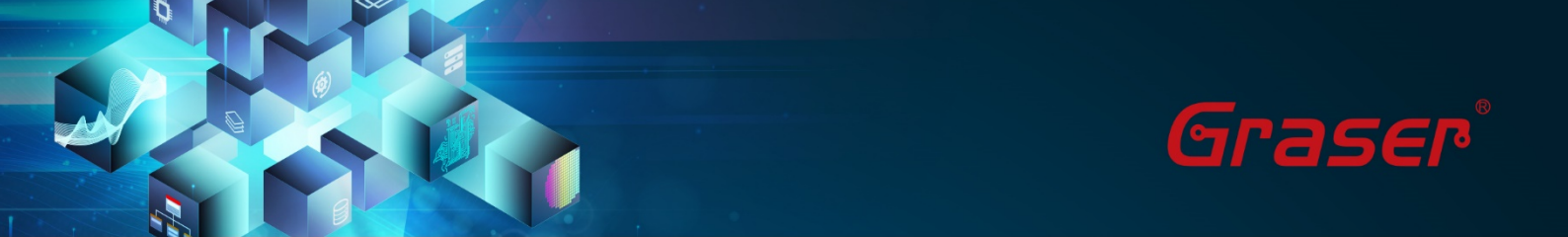


图 21. 以 Table-Focus Data 下拉选单示意



我们可以针对有异常的项目进行确认，并且可使用光标点点击异常项目来连动 Layout 画面，直接切换到有问题的位置（图 22）。

| Simulation Table |                       |                                      |                                     |                           |           |
|------------------|-----------------------|--------------------------------------|-------------------------------------|---------------------------|-----------|
|                  |                       | Focus Data: Ring Back Margin High    |                                     |                           |           |
| QXNet            | Ring Back Margin High | Receiver                             | Driver                              | Stimulus/Parameters       | Ring High |
| > PP_DQ<18>      | -0.17 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.17 V   |
| > PP_DQ<28>      | -0.05 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.05 V   |
| > PP_DQ<30>      | -0.05 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.05 V   |

图 22-1. 分析结果检视

使用鼠标点击异常 (红色处) 来连动 Layout 画面，直接切换到异常的位置做确认。

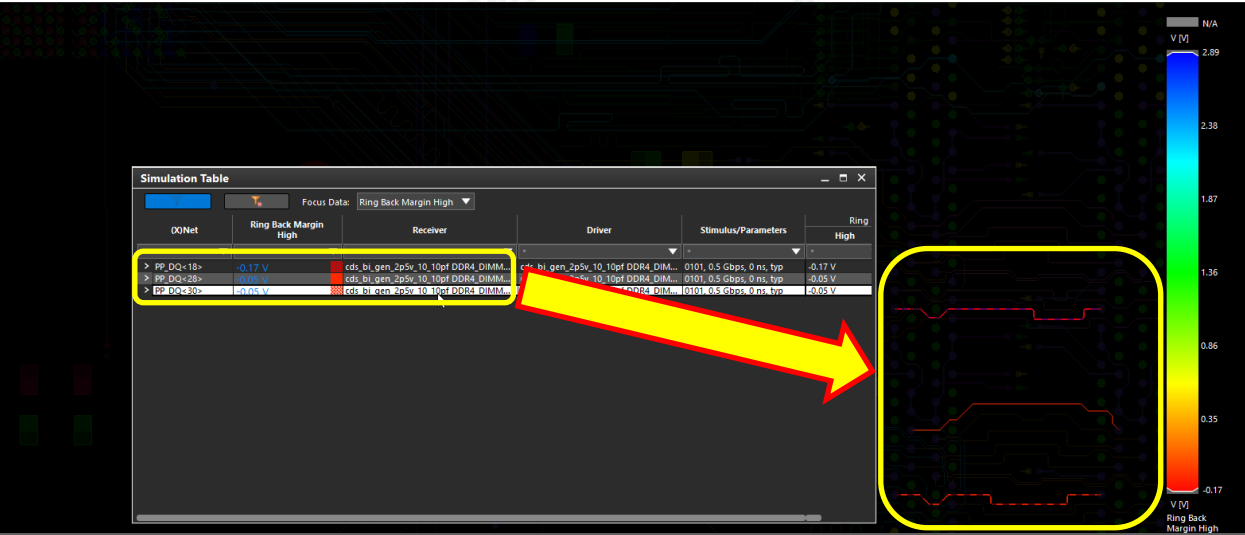


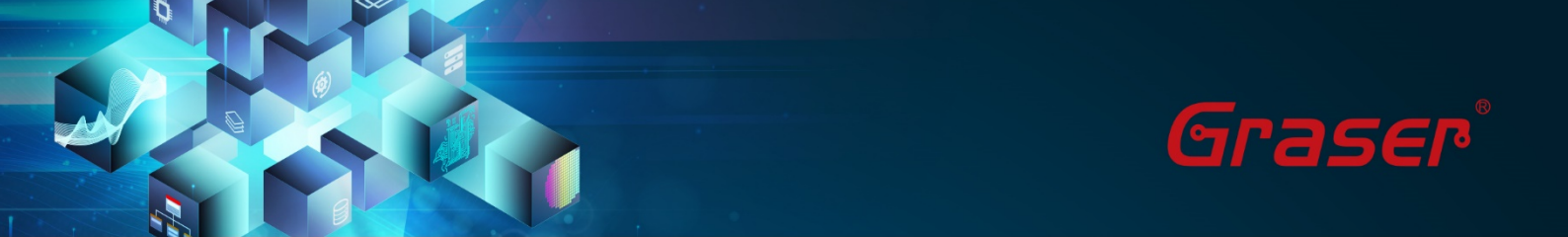
图 22-2. 分析结果检视

点击 > 可展开项目，显示不同区段的状态（图 23）。

| Simulation Table |                       |                                      |                                     |                           |           |
|------------------|-----------------------|--------------------------------------|-------------------------------------|---------------------------|-----------|
|                  |                       | Focus Data: Ring Back Margin High    |                                     |                           |           |
| QXNet            | Ring Back Margin High | Receiver                             | Driver                              | Stimulus/Parameters       | Ring High |
| > PP_DQ<18>      | -0.17 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.17 V   |
| > PP_DQ<28>      | -0.05 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.05 V   |
| > PP_DQ<30>      | -0.05 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.05 V   |
| PP_DQ<30>        | -0.05 V               | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | -0.05 V   |
| PP_DQ<30>        | 2.88 V                | cds_bi_gen_2p5v_10_10pf U2 V3        | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | 2.88 V    |
| PP_DQ<30>        | 0.13 V                | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | 0.13 V    |
| PP_DQ<30>        | 2.24 V                | cds_bi_gen_2p5v_10_10pf U2 V3        | cds_bi_gen_2p5v_10_10pf DDR4_DIM... | 0101, 0.5 Gbps, 0 ns, typ | 2.24 V    |
| PP_DQ<30>        | 1.03 V                | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf U2 V3       | 0101, 0.5 Gbps, 0 ns, typ | 1.03 V    |
| PP_DQ<30>        | 1.11 V                | cds_bi_gen_2p5v_10_10pf DDR4_DIMM... | cds_bi_gen_2p5v_10_10pf U2 V3       | 0101, 0.5 Gbps, 0 ns, typ | 1.11 V    |

图 23. 项目展开





使用右键点选 **Show Details** 可查看信号详细状态，亦可将结果输出为 CSV 档案（图 24）。

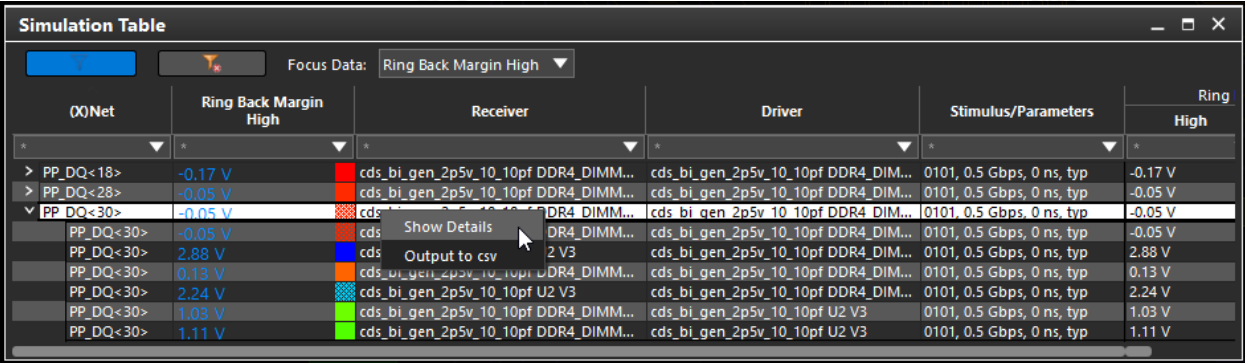


图 24-1. 显示详细信息

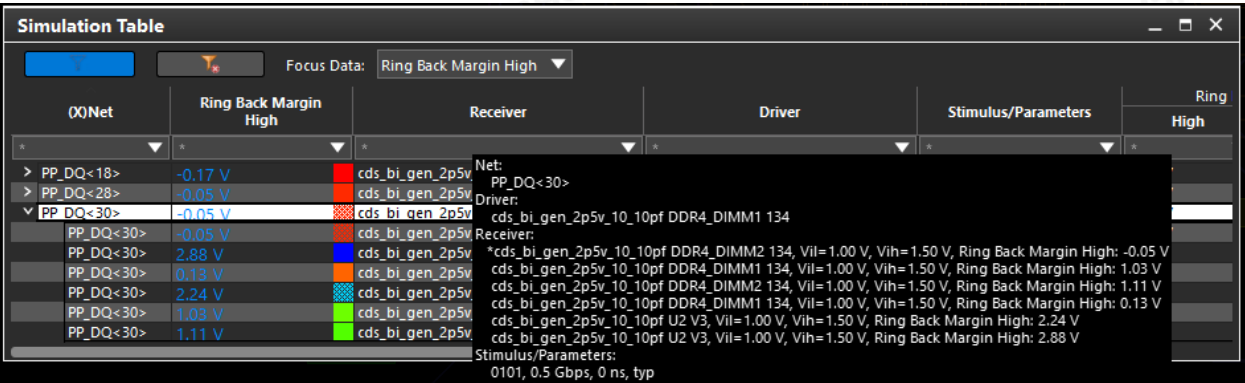


图 24-2. 显示详细信息

当我们使用鼠标点击 **Focus Data** 的数值时，可显示该信号的分析结果/波形画面（图 25）。

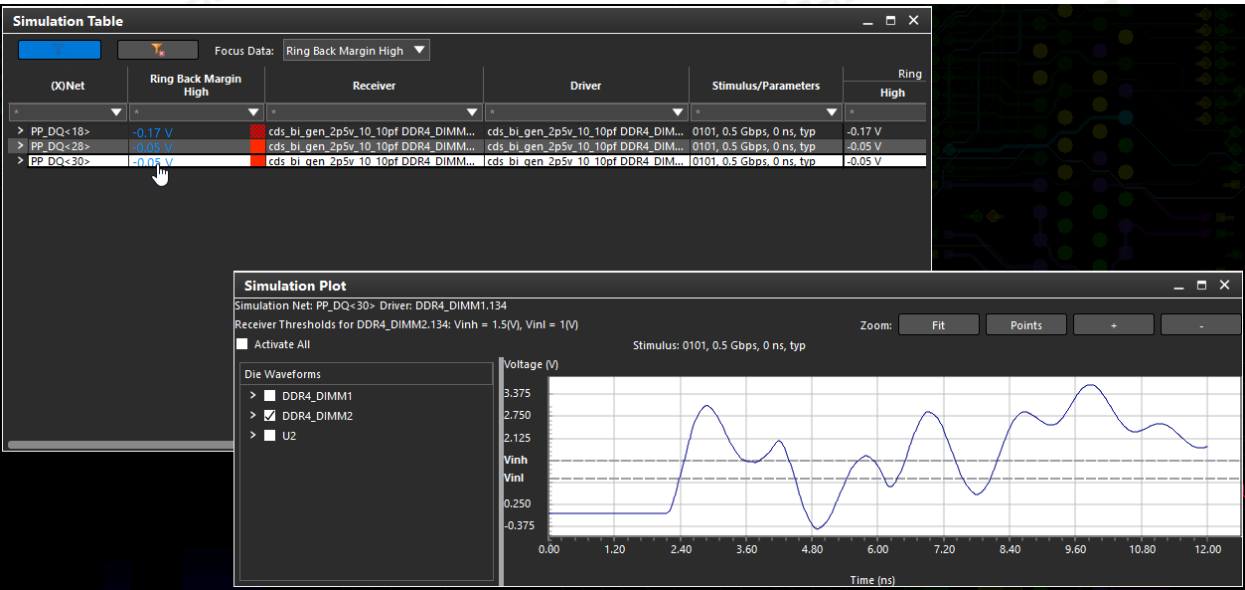
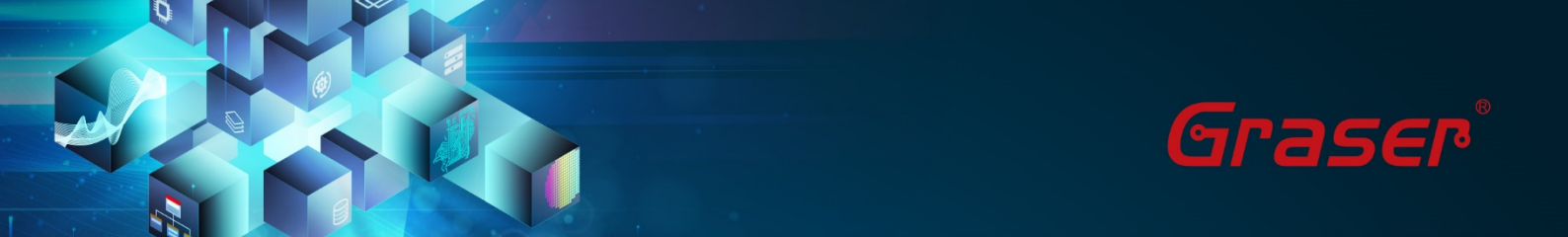


图 25-1. 显示分析波形





可选择要检视的结果波形。

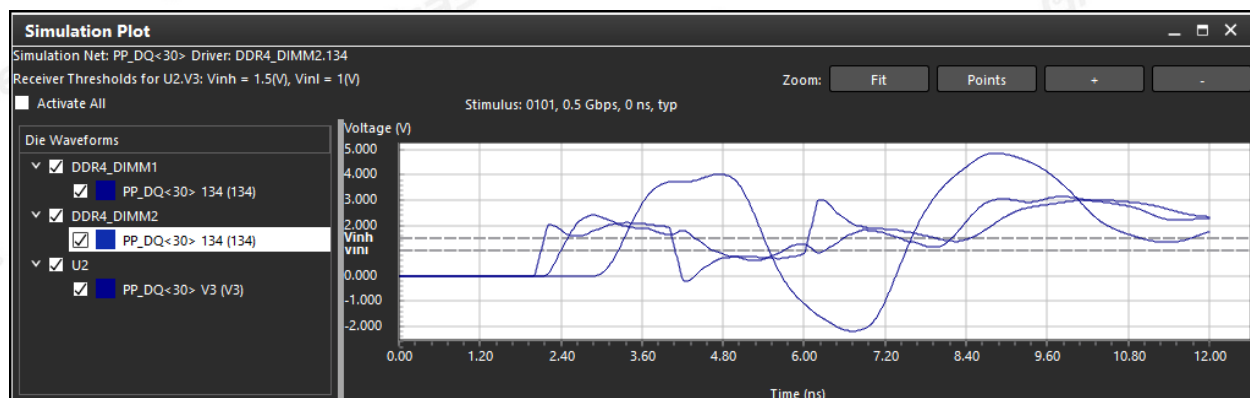


图 25-2. 显示分析波形

按住鼠标左键拖动可量测信号反射电压及时间。

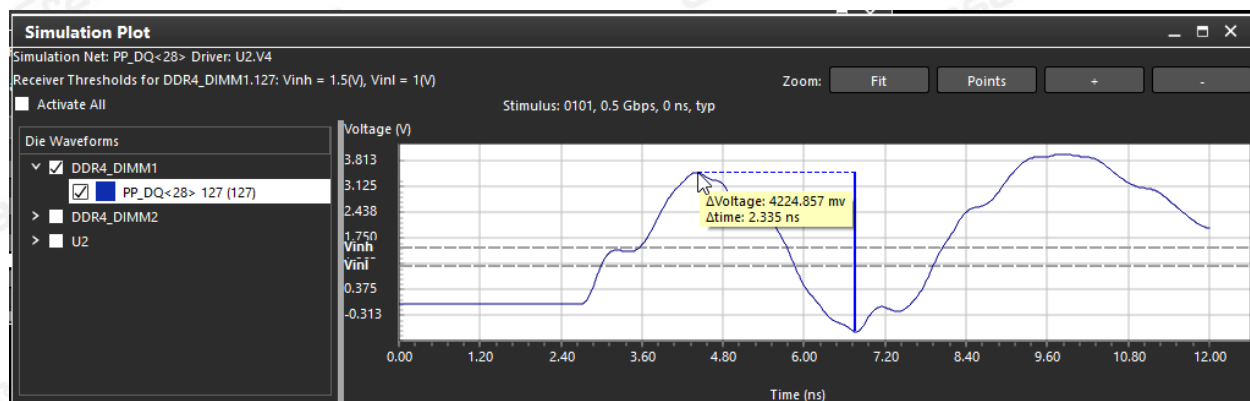


图 25-3. 波形量测

而对 Layout 人员来说最直接有感的便是以 Table 搭配 Vision 方式做检视，可直观的确认证号状态。我们可在 Visibility 面板选择要检视的层面，确认该层走线的分析结果（图 26）。

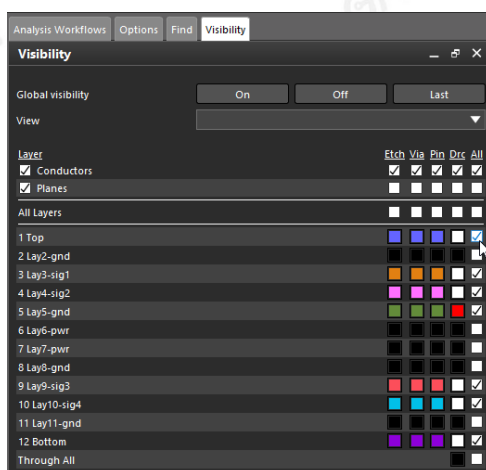
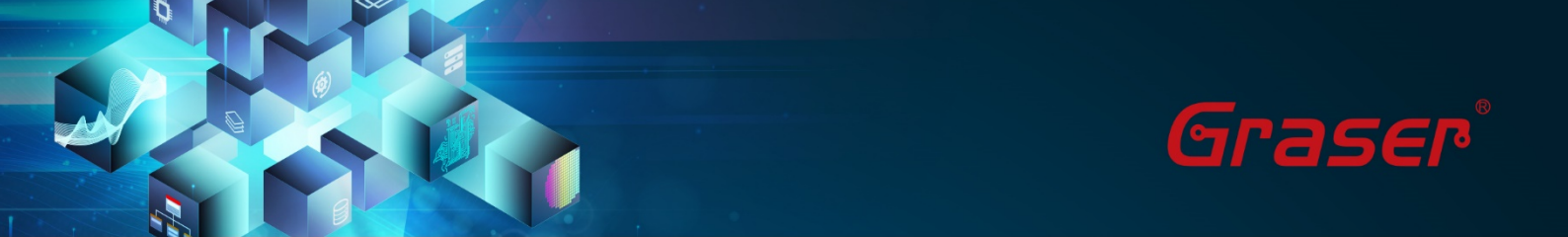


图 26. Visibility 面板：选择欲检视的层面走线



选完层面便可以直接在 Layout 中看到走线以色阶显示状态，画面的右边可以看到色阶分布显示，以颜色代表数值分布，并可自行调整要显示的范围，显示出目前 Layout 中所分析出来的状态。

如下图 27-1 为例，Focus Data 项目为 **Ring Back Margin High**，其中 **M\_DQ<15>** 信号以红色显示，其 **Ring Back Margin High** 电压值为 **-0.02V**，确认后发现邻层的 GND 铺铜并没有完整涵盖到这条信号导致阻抗不匹配(图 27-2)。

| Simulation Table                  |                       |                   |                   |                     |                  |        |                 |        |                   |         |                  |      |
|-----------------------------------|-----------------------|-------------------|-------------------|---------------------|------------------|--------|-----------------|--------|-------------------|---------|------------------|------|
| Focus Data: Ring Back Margin High |                       |                   |                   |                     |                  |        |                 |        |                   |         |                  |      |
| (X)Net                            | Ring Back Margin High | Receiver          | Driver            | Simulus/Paramete    | Ring Back Margin |        | JEDEC Overshoot |        | Propagation Delay |         | Min First Switch |      |
|                                   |                       |                   |                   |                     | High             | Low    | High            | Low    |                   |         | Rise             | Fall |
| > DP_M.DQS...                     | 0.96 V                | cds_bi_gen_2p5... | cds_bi_gen_2p5... | 0101, 0.1 Gbps, ... | 0.96 V           | 0.95 V | 2.43 V          | 2.43 V | 0.20 ns           | 0.43 ns | 0.43 ns          | 0.4  |
| > M_DQ<11>                        | 0.96 V                | cds_bi_gen_2p5... | cds_bi_gen_2p5... | 0101, 0.1 Gbps, ... | 0.95 V           | 0.95 V | 1.22 V          | 1.22 V | 0.21 ns           | 0.42 ns | 0.42 ns          | 0.4  |
| > M_DQ<14>                        | 0.19 V                | cds_bi_gen_2p5... | cds_bi_gen_2p5... | 0101, 0.1 Gbps, ... | 0.19 V           | 0.19 V | 0.41 V          | 0.41 V | N/A               | 0.10 ns | 0.10 ns          | 0.1  |
| > M_DQ<15>                        | -0.02 V               | cds_bi_gen_2p5... | cds_bi_gen_2p5... | 0101, 0.1 Gbps, ... | -0.02 V          | 0.01 V | 1.58 V          | 1.54 V | 0.23 ns           | 0.51 ns | 0.51 ns          | 0.6  |

图 27-1. 确认分析结果

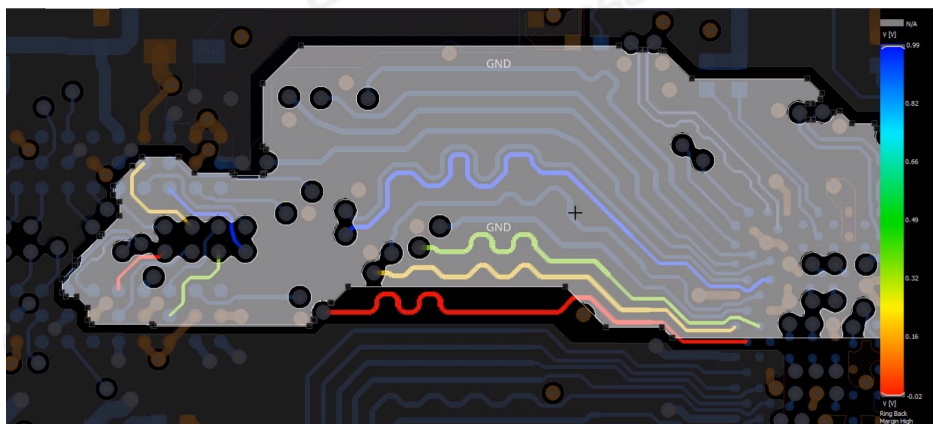


图 27-2. 确认分析结果

确认完毕可直接针对有问题处做判断及修正。修正完铺铜并重新执行分析后可看到信号线的颜色已不再是红色(图 28)。

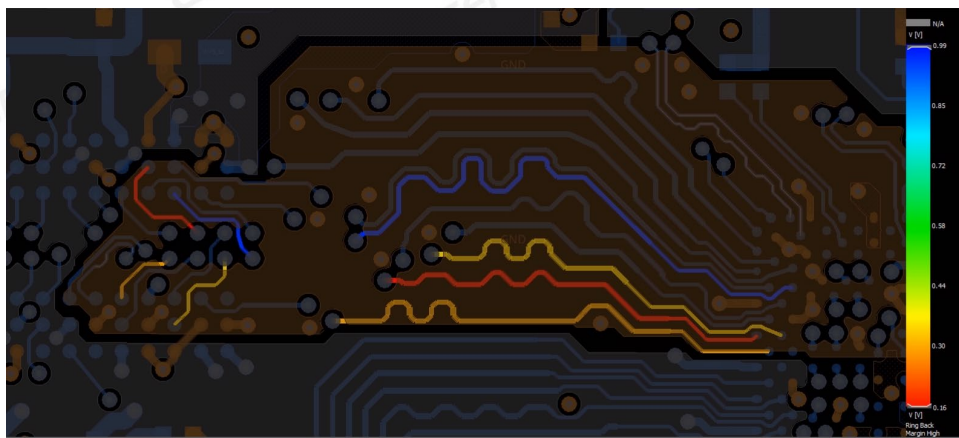


图 28. 异常修正

这些分析信息除了帮助 PCB Layout 人员检查确认外，亦可在需要时帮助 SI 人员进一步确认信号的状态。





## 总结

### 深入分析信号反射，快速优化 PCB 设计

如同前言所述，现今电子产品复杂度越趋增加，信号速度越来越快，在信号传输的过程中，如果信号不断反射便会对电子产品的运作造成影响。以往 EE / PCB 设计工程师在处理信号反射问题时，可能需要花费许多时间与心思做检查，并且需要与 SI 人员反复沟通确认问题点，不断修正设计才能够得到正确的成果。如果有一个实时又直观的帮手来帮助 EE / PCB 设计工程师做初步确认，就能够降低失败的机率，并且减少返工的时间。

现在 Allegro PCB Designer 中导入了 Sigrity 专业的模拟分析技术，将 IDA (In-Design Analysis, 设计同步分析) 带入 PCB 设计流程之中，帮助 EE / PCB 设计工程师实时的分析 Layout 设计，并修正不理想的部分。而在执行 Reflection 分析功能时，只要搭配挂载零件模型便能快速执行细部分析，分析结果涵盖零件特性，使工程师能够进一步检视信号反射，修正异常，使设计效率提升，不良机率减少，客户满意，大家开心。

#### 【温馨提醒】

若欲完整执行上述 Reflection 分析功能需要搭载 Cadence 相关软件程序和 Licenses。

#### 更多【PCB 设计同步分析隐藏技巧】系列专题文章:

技巧一：电源设计优化 IR Drop [【手机端】](#) / [【电脑端】](#)

技巧二：信号耦合干扰 Coupling [【手机端】](#) / [【电脑端】](#)

技巧三：信号特性阻抗 Impedance [【手机端】](#) / [【电脑端】](#)

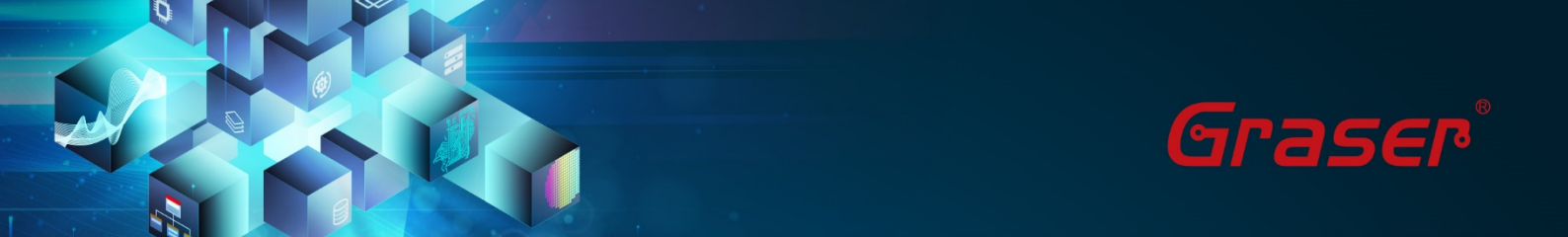
技巧四：消除信号串扰最佳解 Crosstalk [【手机端】](#) / [【电脑端】](#)

下一期预告：Return Path 反射分析技巧

【PCB 设计同步分析六大隐藏技巧】系列专题主要解锁 IR Drop 压降、Coupling 耦合、Impedance 阻抗、Crosstalk 串扰、Reflection 反射、Return Path 回流路径等 6 种分析技巧，帮助 EE、Layout 人员在设计前期阶段不需依靠 SI/PI 专家就能做初步的仿真分析，快速找出并排除常见信号/电源问题，提升设计质量和效率，欢迎共同探讨。







**cadence**

**Cadence楷登PCB及封装资源中心**  
助力您优化设计、缩短开发周期  
打造行业领先产品！

☒ 专家培训 ☒ 技术资料 ☒ 用户大会 ☒ 会员福利

**Graser**

本版 Technic Note 版权为 苏州敦众软件科技有限公司 所有，未经允许不得任意转用。

