



PCB 设计同步分析隐藏技巧(六)：完美你的高速信号回流路径

在 PCB 设计中，标准 DRC 检查一般只会检查鼠线有没接完和安全间距够不够这两种状况，因此像回流路径(Return Path)这样的分析就较不易实现。往往需有经验的老手开启相关的图层跟着看高速信号走线的相邻层来确保回流路径，亦或对 Layout 订立一些走线旁该怎么加 Stitching Via 的规范，甚至最后在万不得已需增加成本的情况下，添加缝补电容去填补那些跨不过的 Moat 来完善回流路径。而考虑高速信号的回流路径至关重要，因稍一不慎就会大大减弱电路功能。

本文将介绍如何使用 Allegro 的 Return Path 分析功能，在 PCB 设计过程中进行回流路径分析，帮助工程师快速找出那些高速信号的回流路径是否适当，以确保 Layout 的质量并且减少产品量产后因信号不稳而需要召回的重大损失，实现设计一次性成功。

. **Date:** 2020

. **Author:** Eric Chen

. **Version:** SPB 17.4

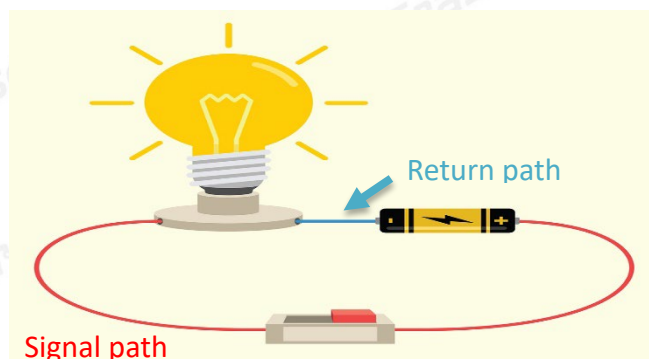
<http://www.graser.com.cn>



何谓回流路径(Return Path)？

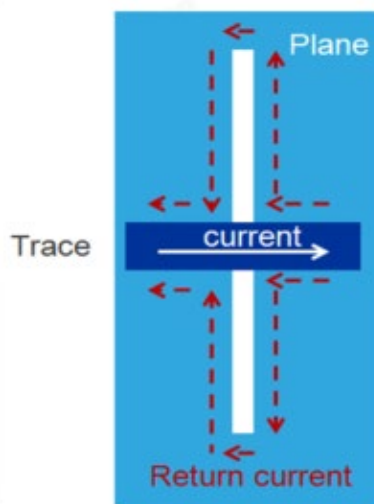
电气产品的运作需要有其信号的回路才能运行，就像下图(一)中电池的负极也要接那条蓝线过去电灯才会亮。早期，我们可以看到电报系统是把“大地”当作信号回路的地平面，可以少布另一条地线以减少昂贵成本。或若在现代生活中类似情况就是当车上要加装灯泡时，我们可以把“车壳”视作信号回路的地，将灯泡负极直接接至车壳就会亮，就可以省掉多布一条线的麻烦，且也不太需要考虑到回流路径问题。

不过若当要接上的是行车系统、CAN（车载网络系统）甚至是 ADAS（先进驾驶辅助系统）上的各种感应或处理器，就不是直接接上、省掉导线这么单纯了，因较易涉及高频/高速传输，会必须要注意其回流路径的完整性。



图一

同样的！对 PCB 设计上来说，如果是低频信号其回流路径会随最低阻抗而返回，但随着频率拉高，电流需要以封闭回路回到源头，因而会更考虑最低电感的回流路径，并且通常会对应在其布线的上下层返回路径如下左图(二)示意，以避免如下右图(二)因内层切割而造成回流路径迂回的问题，所以高速信号的回流路径考虑就更显重要了。

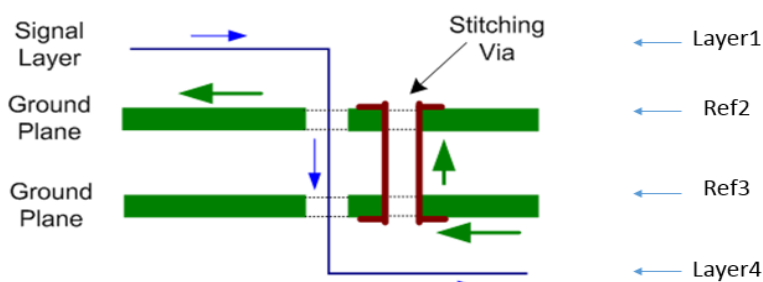


图二



为什么需要 Return Path 分析?

如引言所述，因为标准 PCB 的 DRC 检查只会检查鼠线有没接完及安全间距够不够这两种状况，所以像 Return Path 这样的分析就较不易实现。往往需有经验人员开相关的图层跟着看高速信号走线的相邻层来确保回流路径，管控 Layout 质量。又或者会对 Layout 设定一些走线旁该怎么加 Stitching Via(缝合过孔)的规范，Stitching Via 的示意如下图(三)，至于差分信号打 Via 后旁边要拱几个 Stitching Via，那又是另外的故事了！

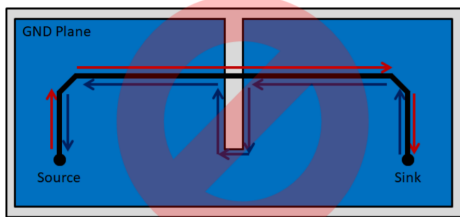


图三

甚或是最后不得已需添加缝补电容以填补那些跨不过壕沟(Moat)，而导致成本增加以完善回流路径，如下图(四) TI 规范中的例子。

3.5 High-Speed Signal Reference Planes

High-speed signals should be routed over a solid GND reference plane and not across a plane split or a void in the reference plane unless absolutely necessary. TI does not recommend high-speed signal references to power planes unless it is completely unavoidable.



The red arrows are the signal path and the blue arrows are the return path.

Figure 5. Routing Across a Split Plane

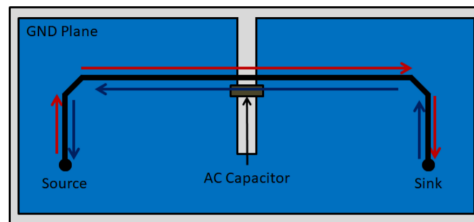


www.ti.com

General High-Speed Signal Routing

- Interference with adjacent signals
- Degraded signal integrity (that is, more jitter and reduced signal amplitude)

If routing over a plane-split is completely unavoidable, place stitching capacitors across the split to provide a return path for the high-frequency current. These stitching capacitors minimize the current loop area and any impedance discontinuity created by crossing the split. These capacitors should be 1 μ F or lower and placed as close as possible to the plane crossing.

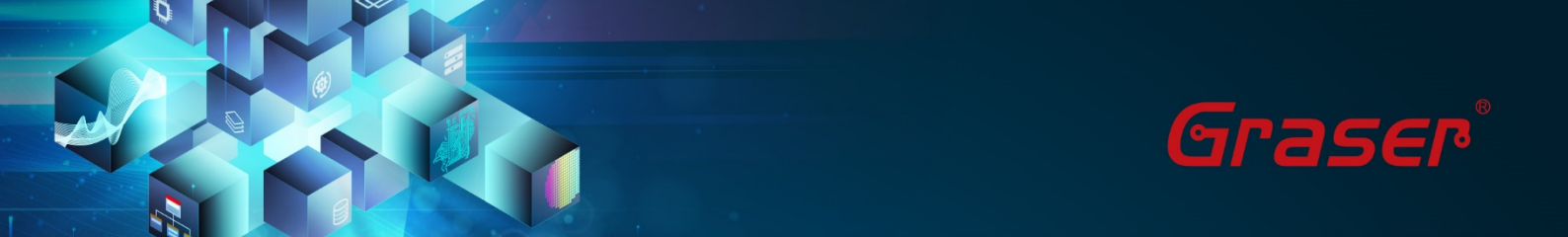


The red arrows are the signal path and the blue arrows are the return path.

Figure 6. AC Capacitor Across a Split Plane

图四

图片来源：[TI](http://www.ti.com)



所以如果我们有个直观的辅助分析工具会依照信号的几何结构分析回流路径，并在不需 Models 的状况下，计算出其电感的比值 RPQF (Return Path Quality Factor, 回流路径质量系数) 如下图五所示。

当 RPQF 值越趋近于 1，则表示信号布线与回流路径是越贴近的，越高则代表回流路径越曲折绕越远的路径。

$$RPQF = \frac{L_{loop}}{L_{loop\ ref}}$$

图五

而且在执行分析完毕后可直接列出相关信号的 RPQF 值如下图六所示，让我们能快速识别各个信号的严重性，修正不理想的部分。

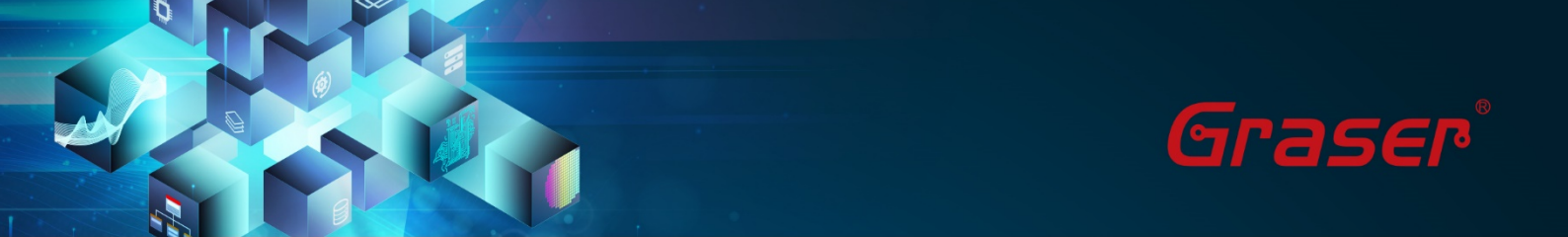
Simulation Table						
Net/Xnet Name	Return Path		Start Signal Pin	Start Return Pin	End Signal Pin	End Return Pin
	Quality Factor	Vision				
PP_CKE0	2.132	Simulating ...	U2.AA8	U2.Y11	DDR4_DIMM1.59	DDR4_DIMM1.56
PP_RESET0_N	1.965	Start Simulation	U2.AB8	U2.Y11	DDR4_DIMM1.57	DDR4_DIMM1.56
PP_DQ<15>	1.831	Start Simulation	U2.V19	U2.U20	DDR4_DIMM1.174	DDR4_DIMM1.173
PP_DQ9_D	1.755	Start Simulation	U2.W16	U2.U20	DDR4_DIMM1.169	DDR4_DIMM1.170
PP_DQ<11>	1.736	Start Simulation	U2.V16	U2.P17	DDR4_DIMM1.176	DDR4_DIMM1.177
PP_DQ<7>	1.727	Start Simulation	U2.AA19	U2.Y21	DDR4_DIMM1.152	DDR4_DIMM1.151
PP_CKE1	1.677	Start Simulation	U2.V8	U2.Y11	DDR4_DIMM1.200	DDR4_DIMM1.199
PP_DQ20_D	1.670	Start Simulation	U2.AB4	U2.AB1	DDR4_DIMM1.105	DDR4_DIMM1.106

图六

接下来我们将透过设计实例详解如何于设计中同步进行 Return Path 分析：

[小叮咛] IDA (In-Design Analysis, 设计同步分析) 中另外的 [Impedance 阻抗分析](#)和 [Coupling 耦合干扰分析](#)，也是一样可以在不需 Models 的情况下，照着检查流程执行就可以很快实现各项 Layout 质量管控的快筛分析。





如何执行 Return Path 回流路径分析

我们可以利用 Allegro PCB Designer 中 Analyze 功能底下的 Workflow Manager 来启动 Return Path 分析功能(图 7)。

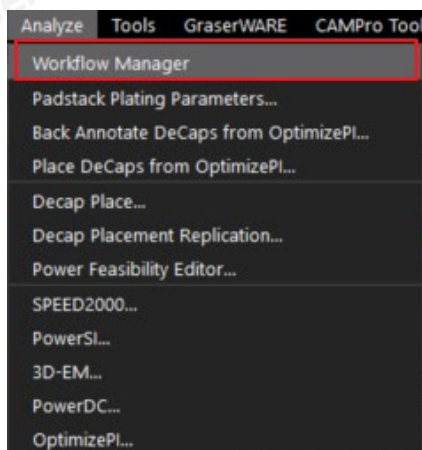


图 7. Workflow Manager

在 Workflow Manager 的下拉选单中选择 **Return Path Workflow** 分析功能。(图 8)

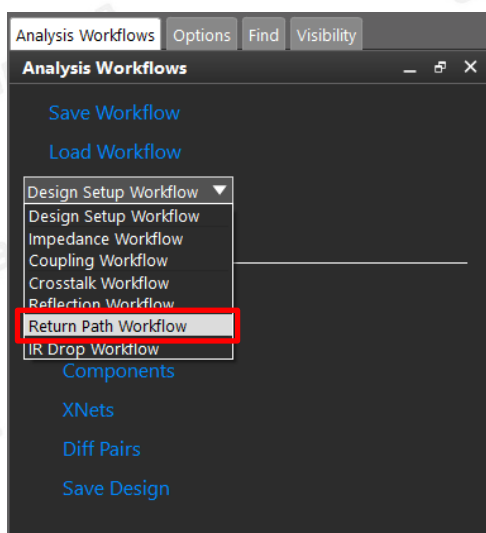


图 8. Return Path Workflow

不过在开始执行分析之前，我们一样会建议可以的话，先把叠构中的相关数据定义清楚，因为所有的分析结果都是基于叠构设定为基础做计算。



接者，在选取信号的 **Analysis Setup** 下，请先设定 **Reference Net** 参考层的信号名，如设计中有的 GND。(图 9)

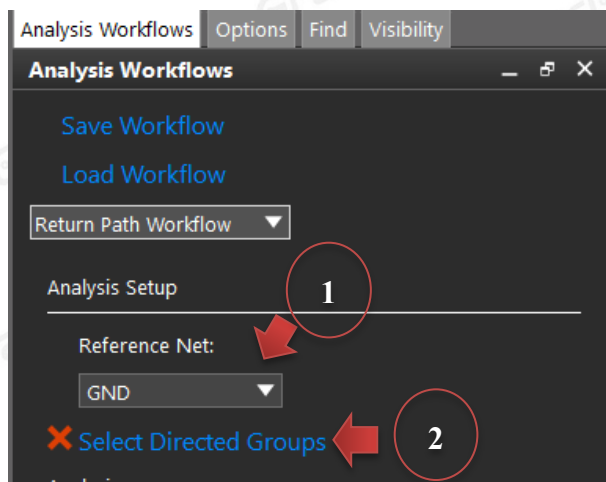


图 9. Analysis Setup

然后点选如上图 9 所示的 **Select Directed Groups** 进入 Directed Group Selection 设定画面(图 10)，请先设定两端零件，再来选择要检查的高速信号。

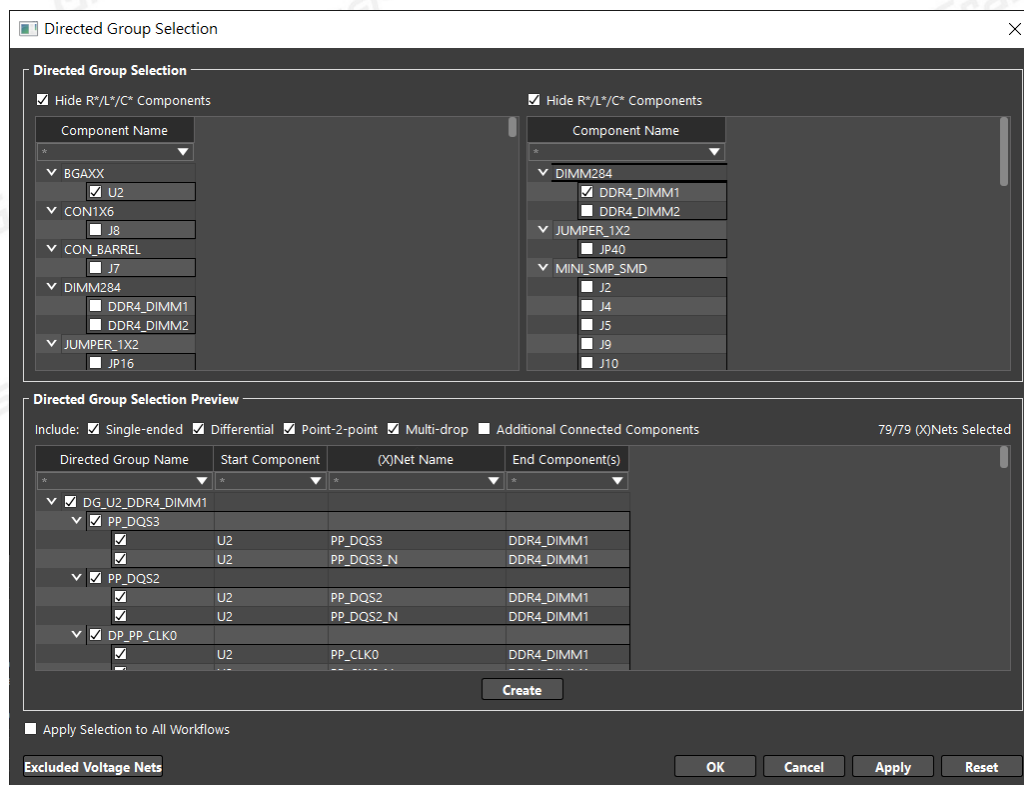
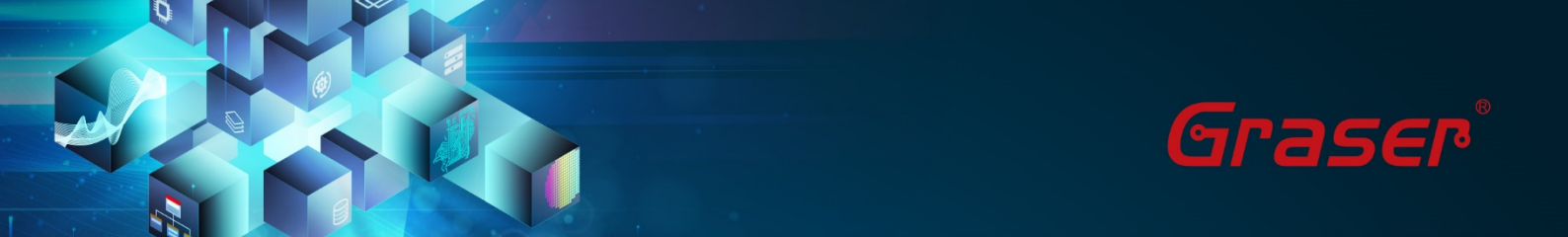


图 10. Directed Group Selection 零件选取设定



当选择信号两端的零件后底下会列出此零件间的各相关信号群组，您可再筛选要执行分析的各组信号。

如下图中 11 红框标示的 U2 到 DDR4_DIM1。

当确认后，请点击底下的 **Create** 键，会自动建出各信号间的 Directed Group 零件群组(图 11)。

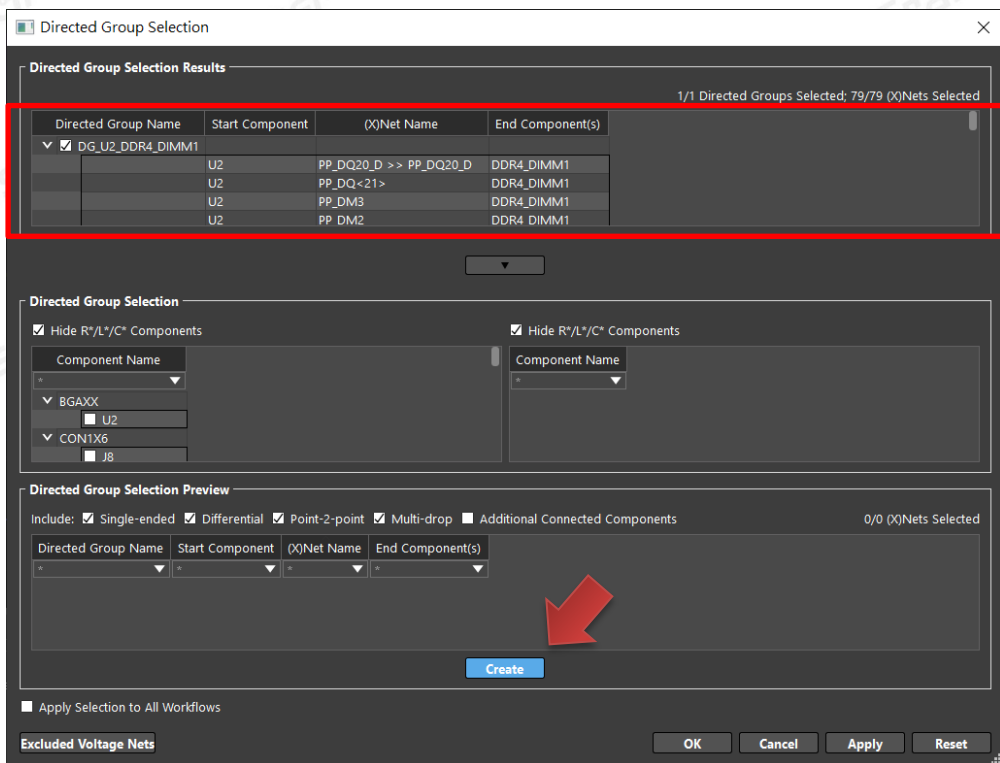


图 11. Directed Group Selection 零件选取设定

或者您也可以在点击 Select Directed Group 后，直接在图上点选两端零件后按 Create 键，建立其 Directed Group 零件群组 (图 12)。

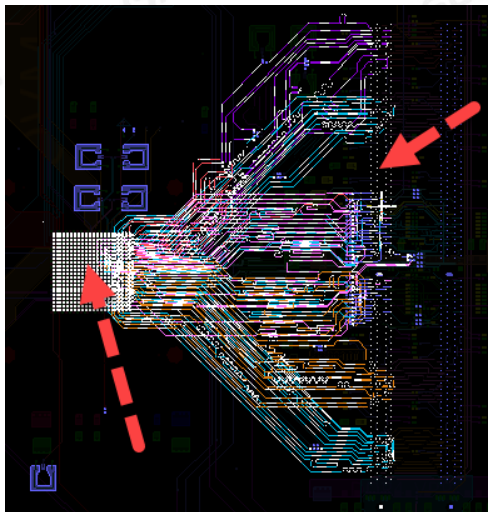
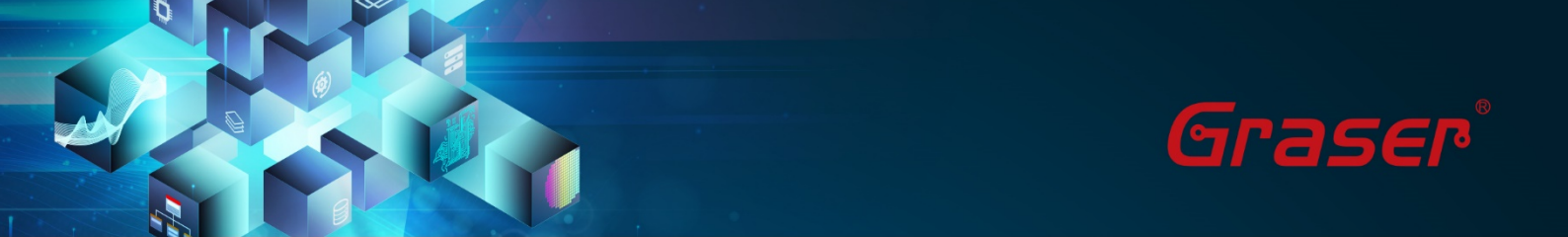


图 12. 点击图面上两端零件创建 Directed Group



设定完毕便可点选 **Start Analysis** ，开始进行分析(图 13)。

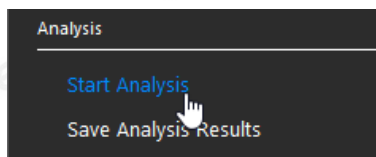


图 13-1. Start Analysis 开始进行分析

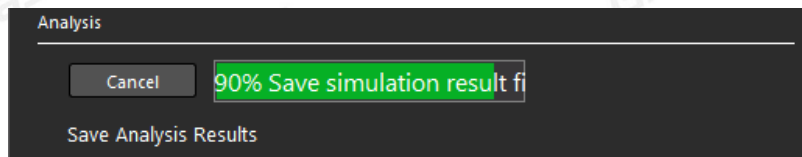


图 13-2. 分析计算中

Return Path 回流路径分析结果解析

待分析完成便可选择要检视的结果。在 Return Path 分析结果项目中的呈现方式有两种选择，分别是 **Return Path Table** 以及 **Return Path Vision**。请点 **Return Path Table** 先查看各信号的严重程度数值。

【小叮咛】Vision 选项刚开始会是灰阶显示无法点击，需要执行过 Table 中的 **Start Simulation** 开始仿真才能启用 Vision 图像显示方式。

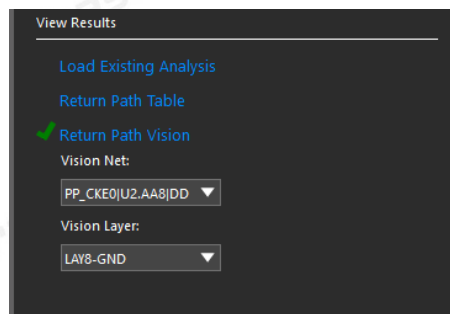
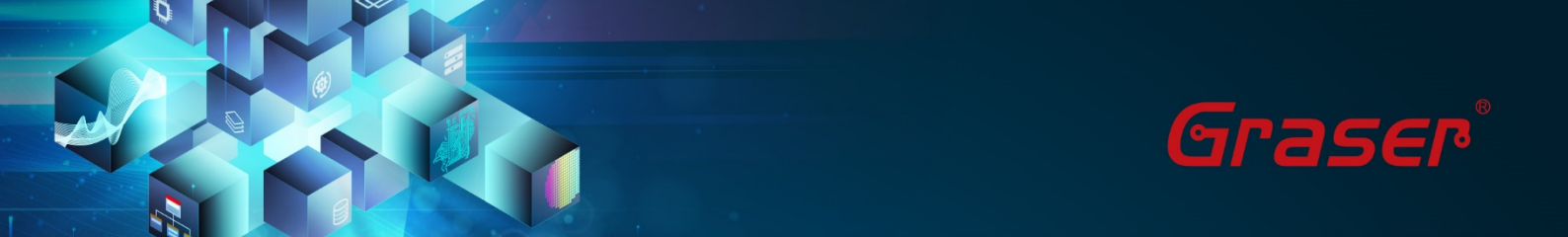


图 14 结果检视模式

选择 **Return Path Table** 会以表格方式呈现数据分析结果如下图 15，可以对各栏点击进行排序评估，如 Return Path 下方的 Quality Factor 可在排序后看到 PP_CKE0 的值差最大。若欲进一步查看图形 Vision 显示效果，请记得点击 Vision 字段中的 **Start Simulation**，如下箭头 2 所示，进行分析后才能显示。

Simulation Table						
Net/Xnet Name	Return Path		Start Signal Pin	Start Return Pin	End Signal Pin	End Return Pin
	Quality Factor	Vision				
PP_CKE0	2.132	Simulating ...	U2.AA8	U2.Y11	DDR4_DIMM1.59	DDR4_DIMM1.56
PP_RESET0_N	1.965	Start Simulation	U2.AB8	U2.Y11	DDR4_DIMM1.57	DDR4_DIMM1.56
PP_DQ<15>	1.831	Start Simulation	U2.V19	U2.U20	DDR4_DIMM1.174	DDR4_DIMM1.173
PP_DQ9_D	1.755	Start Simulation	U2.W16	U2.U20	DDR4_DIMM1.169	DDR4_DIMM1.170
PP_DQ<11>	1.736	Start Simulation	U2.V16	U2.P17	DDR4_DIMM1.176	DDR4_DIMM1.177
PP_DQ<7>	1.727	Start Simulation	U2.AA19	U2.Y21	DDR4_DIMM1.152	DDR4_DIMM1.151
PP_CKE1	1.677	Start Simulation	U2.V8	U2.Y11	DDR4_DIMM1.200	DDR4_DIMM1.199
PP_DQ20_D	1.670	Start Simulation	U2.AB4	U2.AB1	DDR4_DIMM1.105	DDR4_DIMM1.106
PP_A<13>	1.668	Start Simulation	U2.T8	U2.P9	DDR4_DIMM1.229	DDR4_DIMM1.231
PP_A<11>	1.658	Start Simulation	U2.T14	U2.P15	DDR4_DIMM1.207	DDR4_DIMM1.199

图 15. Return Path Table 示意



在执行过 Simulation 后，建议可选择 **Return Path Vision** 其呈现方式则会更为直观，在图面上会直接显示 Return Path 的路径，并以色阶图表示电流密度 (A/mm²) 情况，如下图 16 所示。

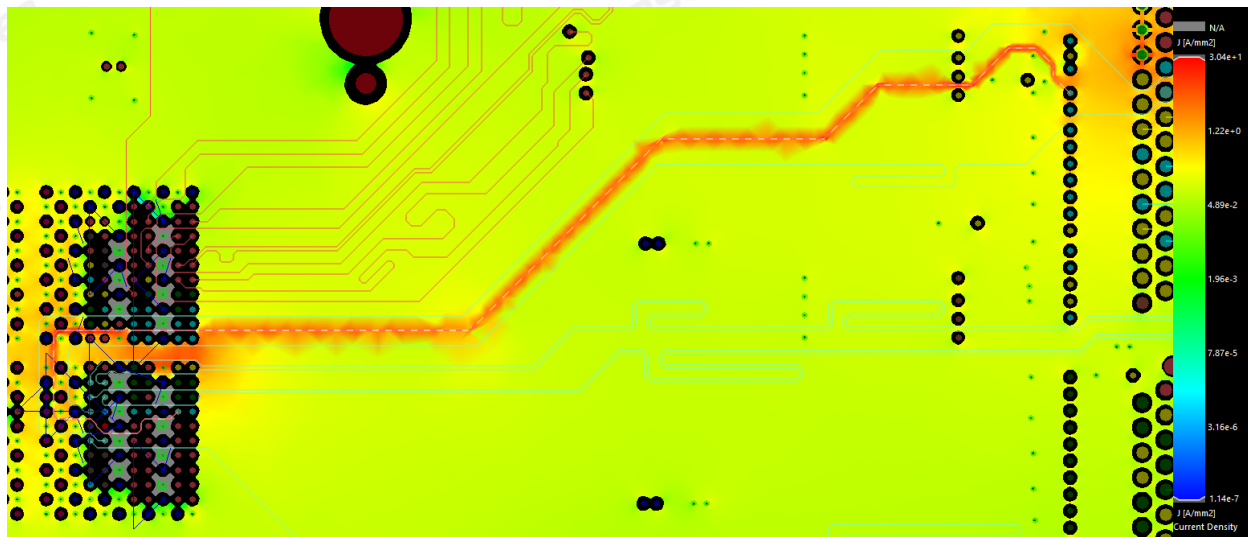


图 16. Vision 模式-于图面显示回流路径并以色阶显示电流密度

如我们仔细查看传输线，在 BGA 底下由于相邻层的 GND 十分破碎导致回流路径不完整，所以仅有靠近发送端 Pin 点的一小部分显示出如右侧色阶条中较高较红的部分（图 17 黄框所示）。

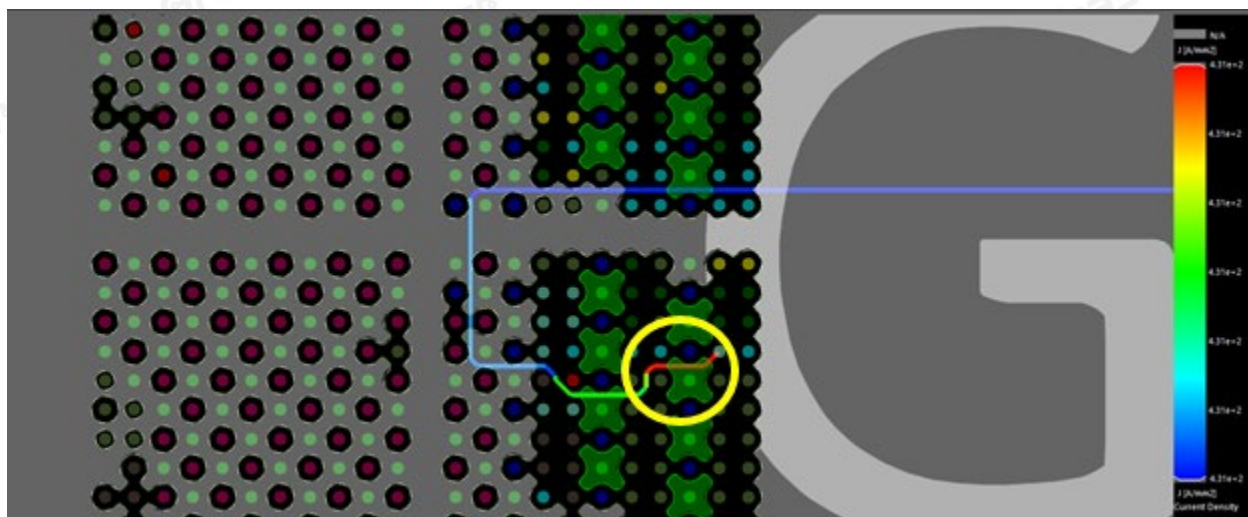
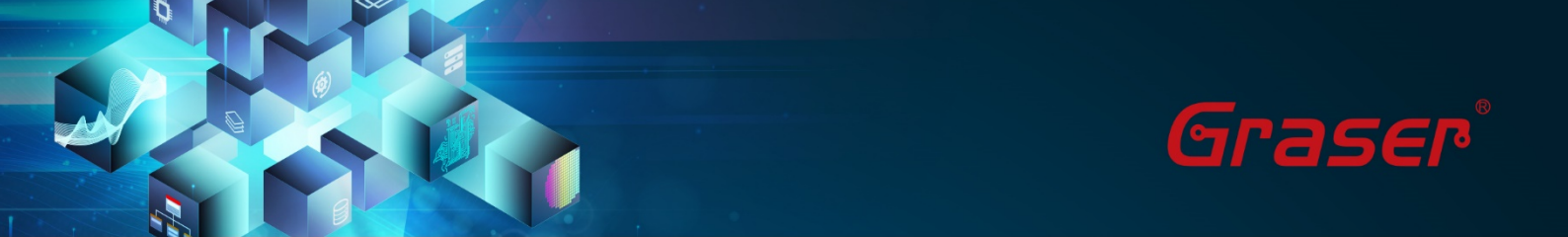


图 17. 发送端 Pin 点回流路径问题示意





我们以下图 18 中的 DDR Strobe 信号为例作更细部的说明，对其中一条 Net 执行分析（图 18-1 & 18.2）

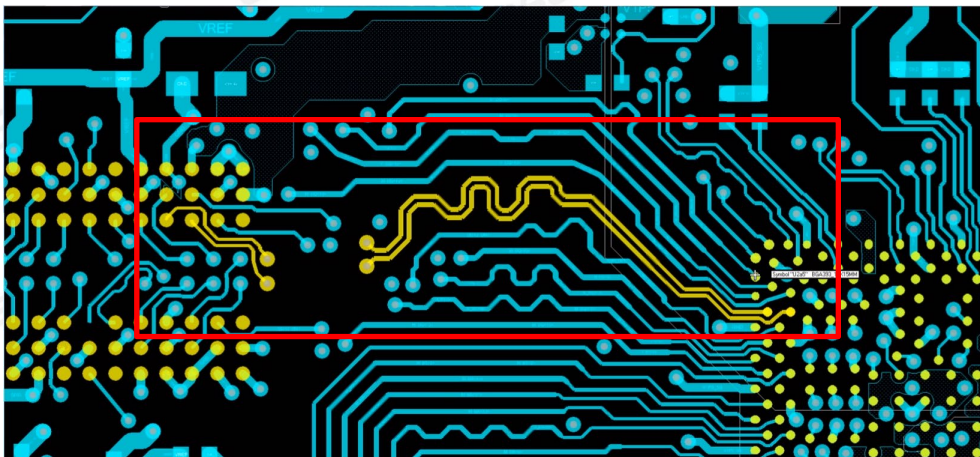


图 18-1. Return Path 分析

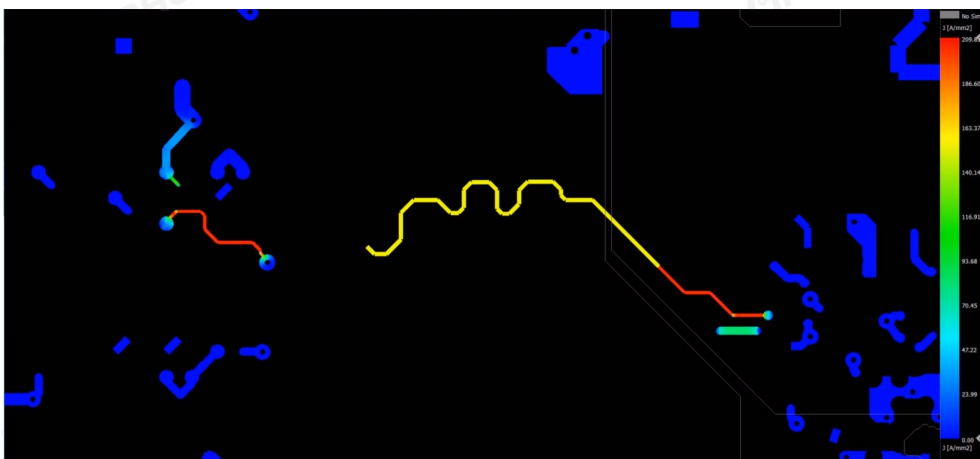


图 18-2. Return Path 分析

分析完毕后切换到跨三层的信号参考 GND 层，可见到其回流路径似乎并不平滑连续（图 19）

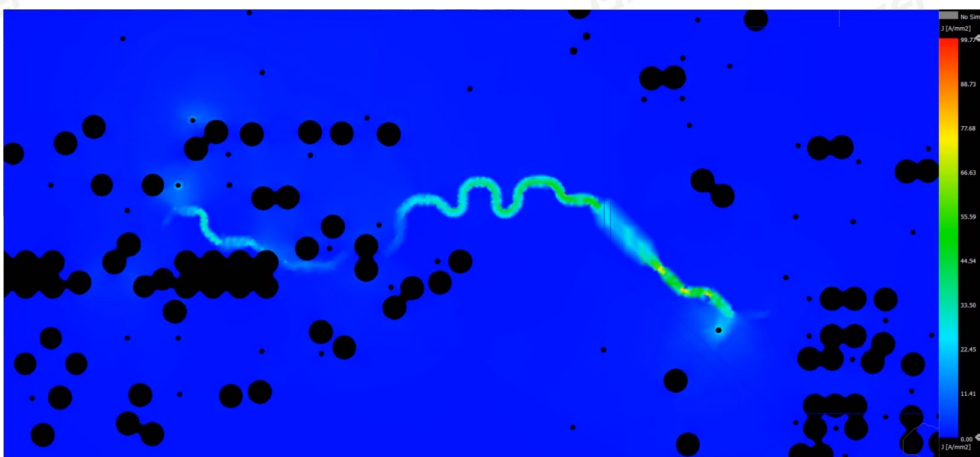


图 19. 回流路径显示不平滑连续



再切换到信号走线邻层的铺铜平面做确认，我们可以看到走线越过了分割平面，形成了一个巨大的电感回路，导致 Quality Factor 值飙高（图 20）

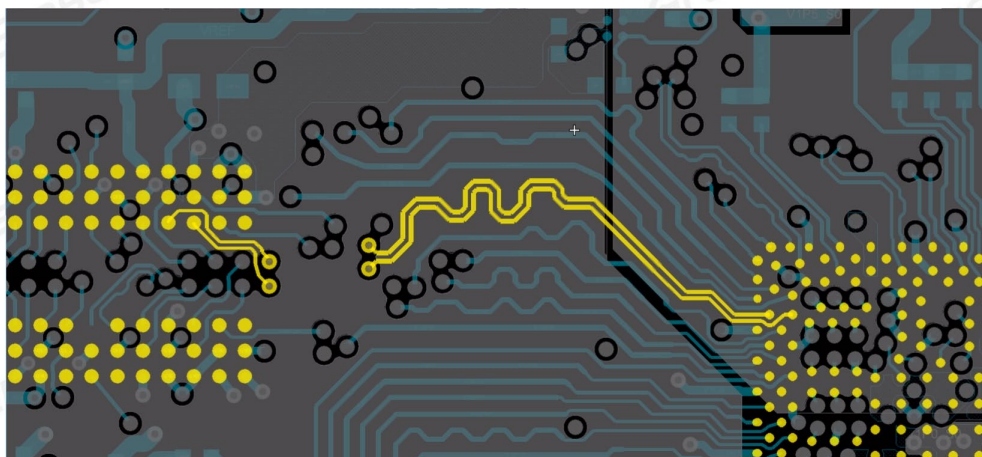


图 20. 巨大电感回路示意

我们新增一片 GND 铺铜到信号走线邻层就近回流，让铺铜完整包覆信号走线，并且没有任何破碎分割（图 21）

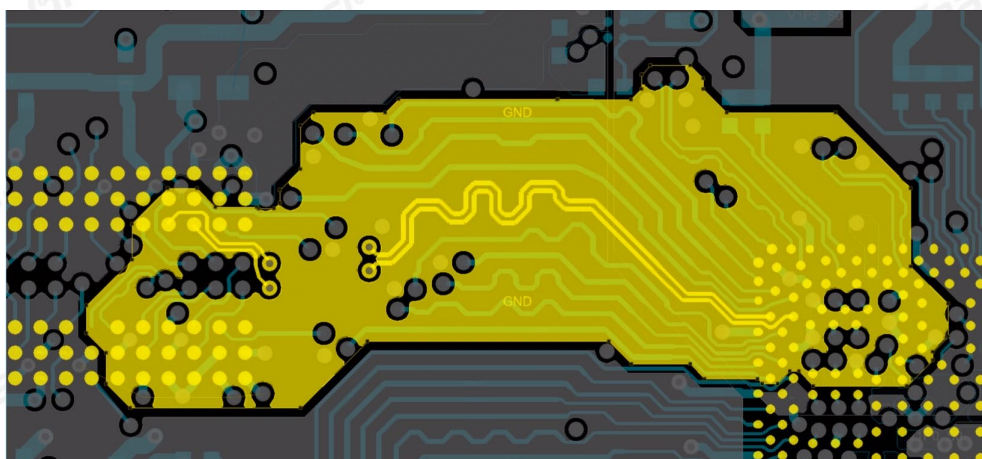
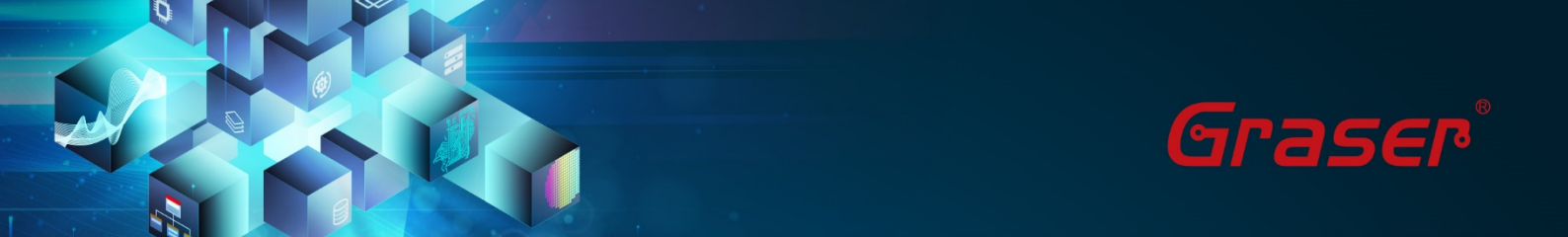


图 21. Return Path 修改

然后重新执行分析，确认修改结果以及回流状态。





我们可发现，回流路径已变换到下图 22 所示新增的 GND 铺铜就近回流。

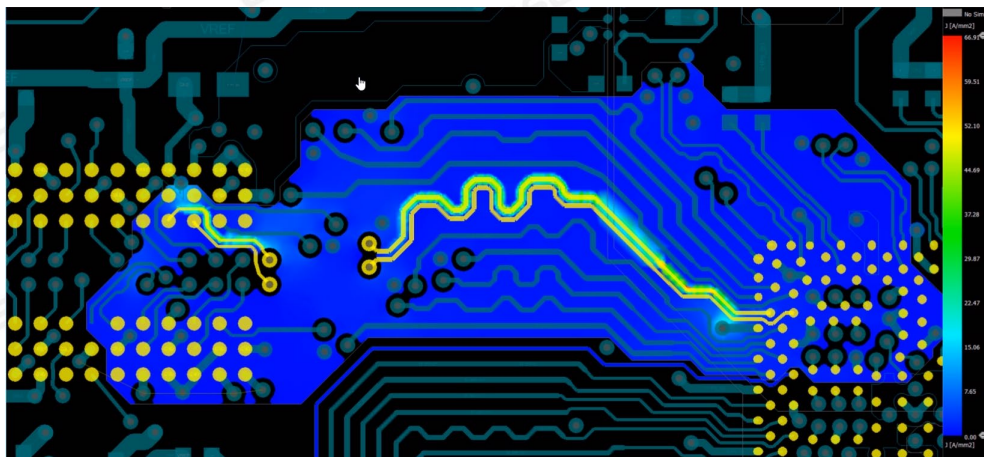


图 22. 新增 GND 铺铜变换回流路径

再切换到相隔较远的 GND 层查看，确实回流路径已改变就近回流，不从这边经过（图 23）

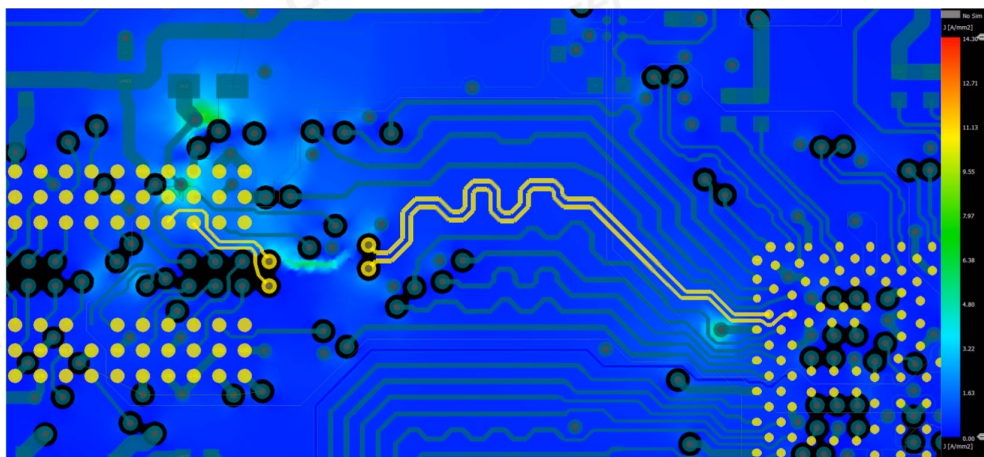


图 23. 修改结果示意

藉由上述 Return Path 分析应用实例，希望帮助工程师能更充分理解如何利用分析所得到的信息快速确认，并做修改，提升信号质量。

【温馨叮咛】Return Path 分析主要是在做快速的回流路径分析，使用前请注意下述说明：

- ◆ 不是对单一信号进行详细的全波 3D 分析
- ◆ 可分析多个信号以筛选出可能有问题的信号
- ◆ 可查看有问题的信号

■ 其图形显示仅用于视觉效果的展现和初阶检查，不建议作为实际的返回路径。





总结

预先掌握回流路径 确保高速信号传输质量

高速设计已成为愈来愈多 PCB 设计人员关切的重点。在进行高速 PCB 设计时，每位工程师都应重视其信号完整性，并且需时常考虑其信号电路的回流路径，因为不良的回流路径容易导致噪声耦合等信号完整性问题。如果电流必须经过很长的路径才能返回，信号路径的电感回路会增加。当系统中的电感回路越大，这些信号愈有可能吸收来自系统中任何其他 Net 的噪声。

一般回流路径不连续问题常是由于缺少接地过孔 Via、接地层中的间隙、缺少去耦电容，或是使用错误 Net 所引起的。而当你的 PCB 设计愈趋复杂，要快速找出这些问题难度也愈高。

现在 Allegro PCB Designer 中导入了 Sigriety 专业的模拟分析技术，将 IDA (In-Design Analysis, 设计同步分析) 带入 PCB 设计流程之中，帮助 PCB 工程师在设计中同步进行分析，预先找出常见的回流路径不连续问题，实时解决，快速确保信号回流路径的质量，使设计效率提升，不良机率减少。同样重要的是 Return Path 检查也是不需要 Models 并且只需简单的流程，就可轻易实现！

【温馨提醒】

若欲完整执行上述 Return Path 分析功能需要搭载 Cadence 相关软件程序和 License。

更多【PCB 设计同步分析隐藏技巧】系列专题文章：

技巧一：电源设计优化 IR Drop [【手机端】](#) / [【电脑端】](#)

技巧二：信号耦合干扰 Coupling [【手机端】](#) / [【电脑端】](#)

技巧三：信号特性阻抗 Impedance [【手机端】](#) / [【电脑端】](#)

技巧四：消除信号串扰最佳解 Crosstalk [【手机端】](#) / [【电脑端】](#)

技巧五：Return Path 反射分析技巧 [【手机端】](#) / [【电脑端】](#)

【PCB 设计同步分析六大隐藏技巧】系列专题主要解锁 IR Drop 压降、Coupling 耦合、Impedance 阻抗、Crosstalk 串扰、Reflection 反射、Return Path 回流路径等 6 种分析技巧，帮助 EE、Layout 人员在设计前期阶段不需依靠 SI/PI 专家就能做初步的模拟分析，快速找出并排除常见信号/电源问题，提升设计质量和效率，欢迎共同探讨。





番外篇-常见问题

什么是 PCB 设计同步分析？

PCB 设计同步分析（In-Design Analysis, IDA）是将 Allegro®设计接口与 Sigrity™分析引擎紧密结合而实现的全新功能。在 IDA 的工作流程中，Sigrity 分析引擎可提供快速的一级响应来对 PCB 设计工程师的工作进行指导。

IDA 功能与 Sigrity 工具中的仿真分析功能有什么区别？在仿真精准度与速度方面哪个更有优势？

相较于 IDA 功能，Sigrity 工具为 SI/PI 工程师提供了更多高阶设置选项，提供最精确的分析结果。因此，根据模拟分析的设置不同，为了确保模拟精度，可能需要更长的时间来呈现分析结果。设计团队可以根据具体情况进行不同工具的搭配和选择。

如何使用 IDA 设计同步分析功能？

IDA 设计同步分析功能整合在 Cadence 最新发布的 Sigrity™ Aurora 工具中，该工具为布局前、设计中、以及布局后的 PCB 设计提供设计同步信号和电源完整性分析。整合 Allegro 的 PCB 编辑和布线技术，Sigrity Aurora 用户能够在设计周期的早期，透过假设分析，设置更精确的设计约束 (constraints)、减少设计迭代。想了解更多 Sigrity Aurora 信息，欢迎造访 [Sigrity Aurora 官方网站](#)。

