



on peut regrouper
que par puissance
de deux

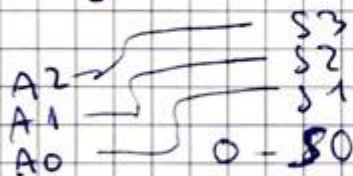
$$S = AB + BCin + CinA$$

$$S = BCin + BA + CinA$$

cascaier des unités pipelining si un registre au milieu
pipeline
 contrainte de timing gestion des barilages

Dec	A	B	C	D	Dec	Out[3]	Out[2]	Out[1]	Out[0]
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	2	0	0	1	0
2						0	1	0	0
3						0	1	1	0
4									
5									
6									
7									

égale à un décalage



arrondi inférieur



Architecture matériel

PU process unit
memory une mémoire

généralement ces deux
unités sont le plus proches
possible

GPU on prend un CPU on le rend
moins généraliste et on le
multiplie

pour le signal sont le
moins complexe possible
le moins de latence possible
parfois sur la même
puce

affronter designer tester
si tout regroupé dans un plus
complexe, mais qu'une seule chip

si proche moins d'énergie
consommée

Arduino chipset balader facilement
intégrer facilement

préservation intégrité signal intégrer le moins de

pourquoi mémoire à l'intérieur d'un fpga
et aussi à l'extérieur fpga

Avant de dessiner le circuit on prototypage sur un fpga

500 mille euros TCMC Taiwan

1 Millions cinq première commande

fpga au niveau des cameras permet de récupérer
beaucoup de signaux en même temps

GPU qui semble être rare, on se tourne vers
fpga (on a le luxe de choisir autant que l'on veut
sans réserve de ressource)

BRAM embedded Ram



microcontrôleur ou microprocesseur à architecture système

intel synthèse automatique placement routage

limité à cause de trouver le placement optimal

on peut ajouter des contraintes au placement routage

d'ailleurs on peut réaliser le placement à la main

pas plus de 100 M de BRAM sur fpga

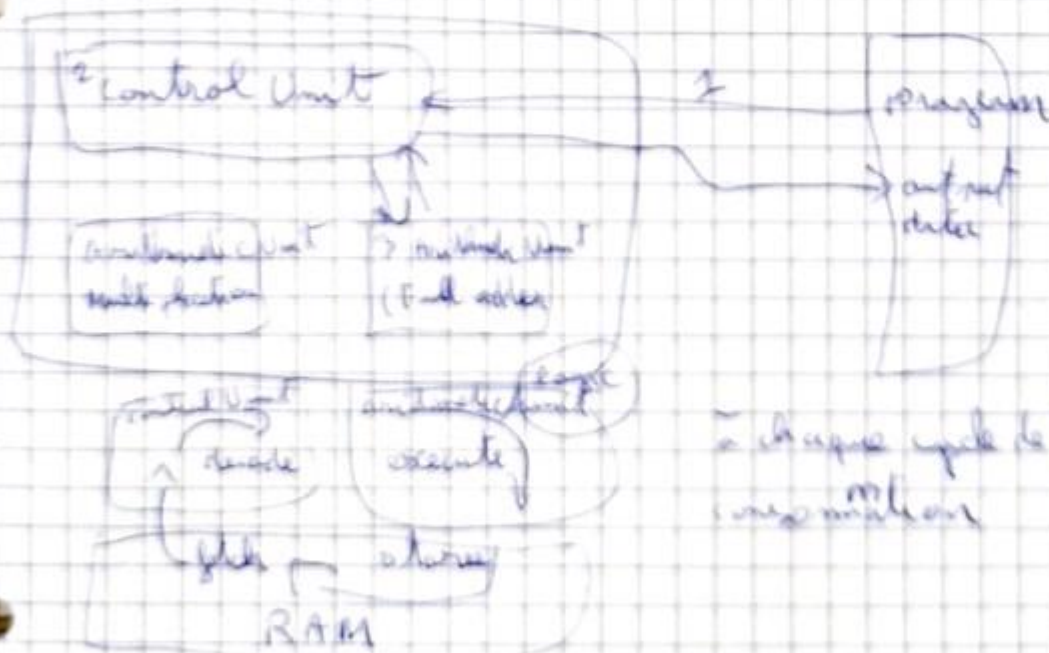
BRAM cellule logique IO Pin out

intel procésseur très haute cadence peu de cœur

and 10 13 cœurs à cadence faible 1 G 1,2 G

CPU GPU microcontrôleur

PU



à chaque cycle de lecture écriture
comparaison

causes silicium 0,95V 0,6V 0,2V intérieur
1,2V 1,5V 3,3V extérieur

Info embarquée fpga même fonction 5x plus de temps
 acquiescence une bonne qualité i.e les traiter les sortir
 5ps une porte
 chemin en range de minis critique

HDL



VHDL Verilog System Verilog

VHDL Couramment utilisé dans les systèmes complexes
 plus haut niveau plus outils (simulation)

Verilog Plus bas niveau que le VHDL pas d'outils
 de simulation

System Verilog Extension du verilog pour couvrir
 les manques

x67x010 log 400-1 (active)

hiérarchie top fichier au dessus
 contrainte

language → architecture
 architecture → sur carte
 implémentation

exitRasm

Rin synthesis

Rin implementation

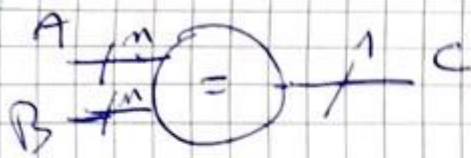
generate Bitstream

Open Hardware
 Manager

Open target
 auto connect

Programmer
 Device

les conditions = $>$ $<$



Si $A=B$ alors $C=1$
 Sinon $C=0$

les multiplexeurs



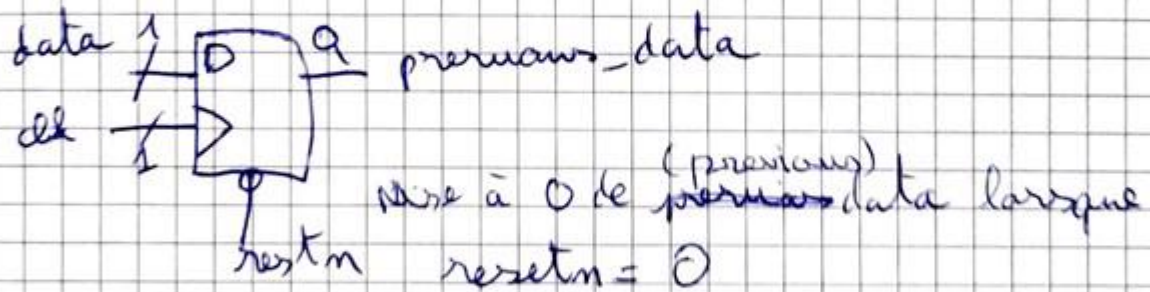
Si $cmd=0$ alors $C=A$
 Sinon $C=B$

Différents types de logique
 séquentielle front d'horloge
 combinatoire

Instructions concurrentes
 Instructions séquentielles

Liste de sensibilité (stimuli) du process
 process sera réveillé

les signaux sont mis à jour à la fin du process
 un process créer des registres



Dans les machines à état toujours au clk
 combinatoire
 process ()
 process synchrone

liste de sensibilité doit
 contenir tous les signaux
 d'entrée de cette combinatoire