

$$X = \begin{pmatrix} \text{mat}(B) \cdot \text{mat}(A) + \text{mat}(B) \cdot \text{mat}(A) + B \cdot \text{mat}(A) \\ \text{mat}(B) \cdot \text{mat}(A) + B \cdot \text{mat}(A) \end{pmatrix}$$

Les cases ne sont pas adjacentes les opérations sont dites exclusives

Diagram 4.1

$\boxed{1}$ $\boxed{1}$ diagonale adjacente relation de XOR dans tableau de Karnaugh

il faut avoir qu'un seul changement de valeur entre chaque case

A \ BCin	$\overline{B}Cin$	$\overline{B}\overline{Cin}$	$B\overline{Cin}$	$BCin$
\overline{A}	0	1	0	1
A	1	0	1	0

$$S = Cin \oplus A \oplus B$$

retravailler l'expression

$$S = A \cdot \text{mat}(B) \cdot \text{mat}(C) \text{ XOR } \text{mat}(A) \cdot \text{mat}(B) \cdot C \text{ XOR } A \cdot B \cdot \text{mat}(C)$$

	1	
1	1	1

Architecture matériel

PU process unit
memory une mémoire

généralement ces deux
unités sont le plus proches
possible

GPU on prend un CPU on le rend
moins généraliste et on le
multiplie

pour le signal soit le
moins corrompu possible
le moins de latence possible
parfois sur la même
puce

approximer dessiner tester
si tant regroupé dans un plus
complexe, mais qu'une seule chip

si proche moins d'énergie
consommée

Arduino chipset balader facilement
intégrer facilement

préserver intégrité signal intégrer le moins d'erre

pourquoi mémoire à l'intérieur d'un fpga
et aussi à l'extérieur fpga

Avant de dessiner le circuit on prototypage sur un fpga

500 millions euros TSMC Taiwan

1 millions cinq première commande

fpga au niveau des cameras permet de récupérer
beaucoup de signaux en même temps

GPU ça s'embles caméra rare, on se tance vers
fpga (on a le choix de choisir autant que l'on veut
sans réserve de ressource)

BRAM embedded Ram



micro
microcontrôleur

si mémoire externe à séparer et gérer

util synthèse util placement routage
l'util a charge de trouver le placement optimal

on peut ajuster les contraintes au placement routage

diffais on peut réaliser le placement à la main

pas plus de 100 M de BRAM sur fpga

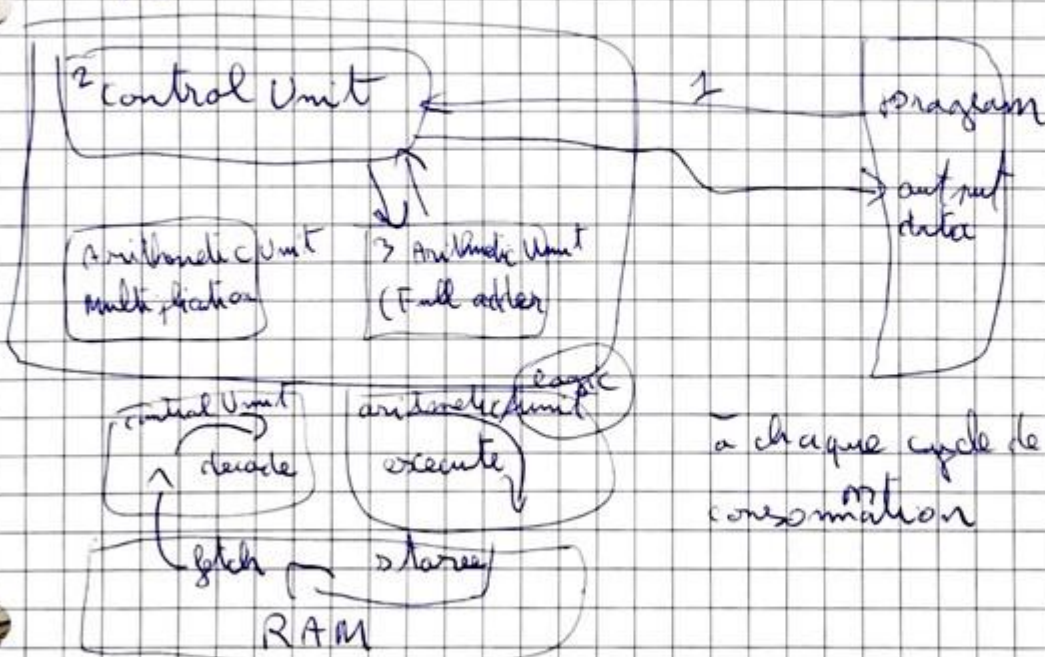
BRAM cellule logique IO Pin out

intel processors très haute cadence peu de cœurs

amd 10 12 cœurs à cadence faible 1 G 1,2 G

CPU GPU microcontrôleur

PU



cœur silicium 0,95V 0,6V 0,2V intérieur
1,8V 2,5V 3,3V extérieur