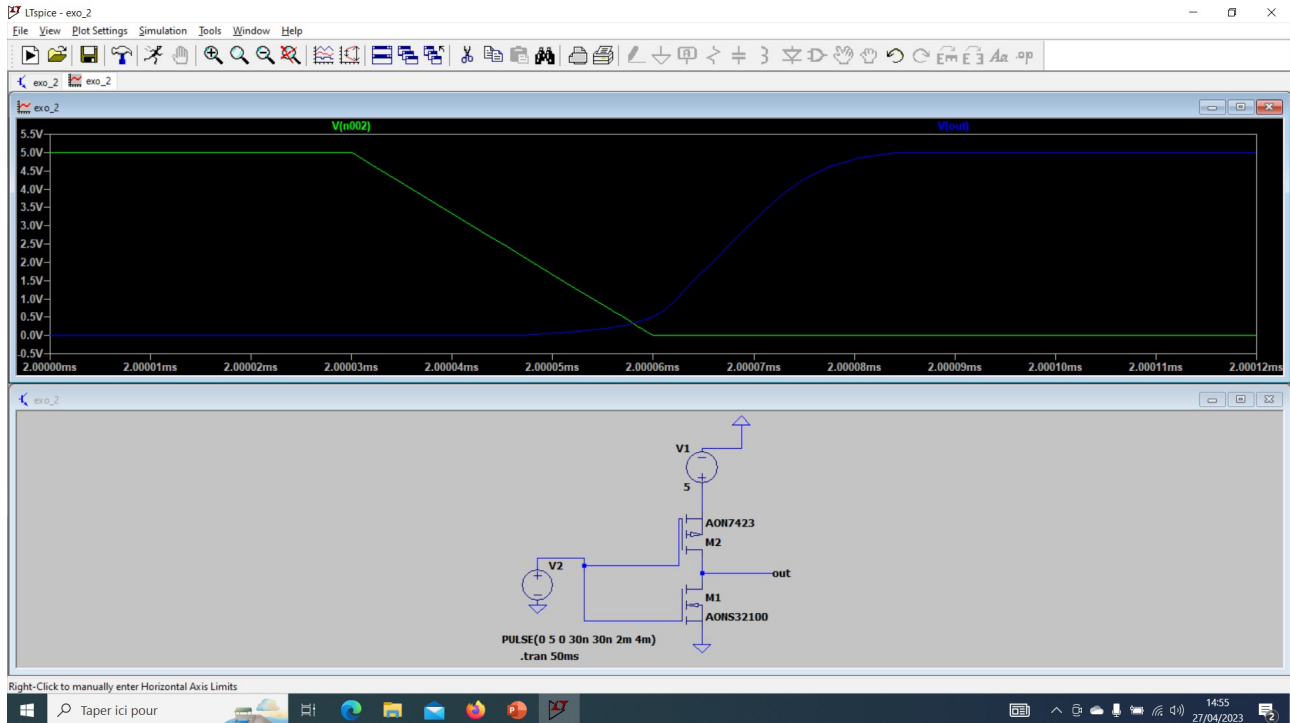


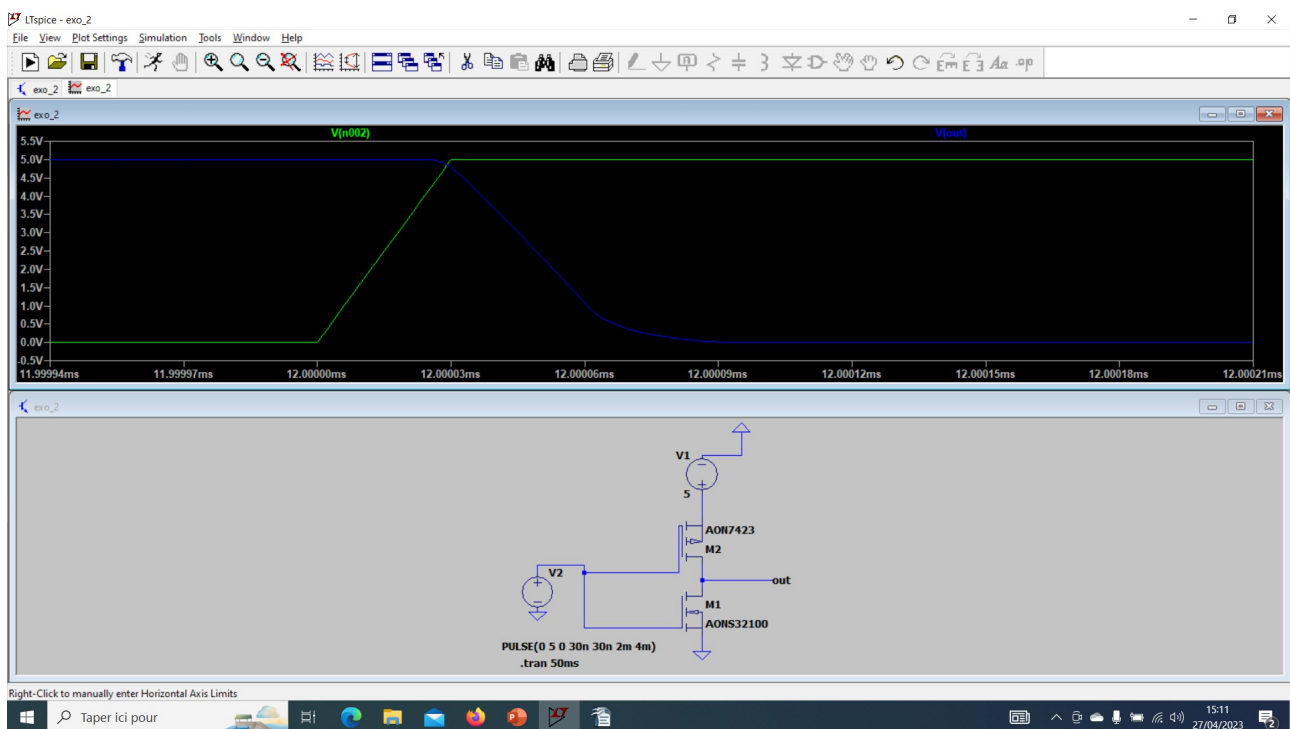
# Rendu Ltspice

## Jean Baptiste NARI

### Exercice 2



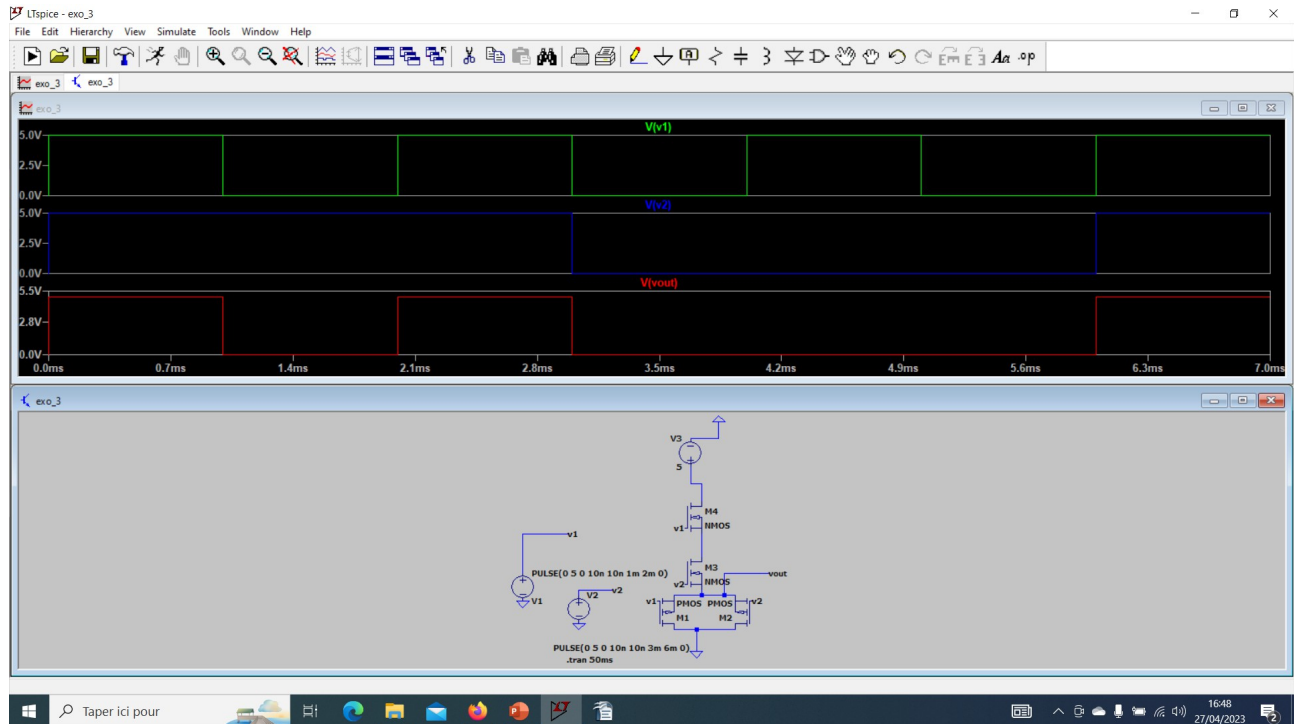
Ce circuit a le comportement d'un inverseur, lorsque l'entrée est à l'état haut la sortie est à l'état bas. Il y a un temps de latence, il y a 25 ns avant que le signal  $V_{out}$  atteigne l'état haut.



Il y a 60 ns avant que le signal Vout atteigne l'état bas. Le temps de latence à l'état bas et haut sont différents.

L'avantage de ce montage sur la première approche réalisée lors de la prise en main est qu'il ne consomme que lors des commutations.

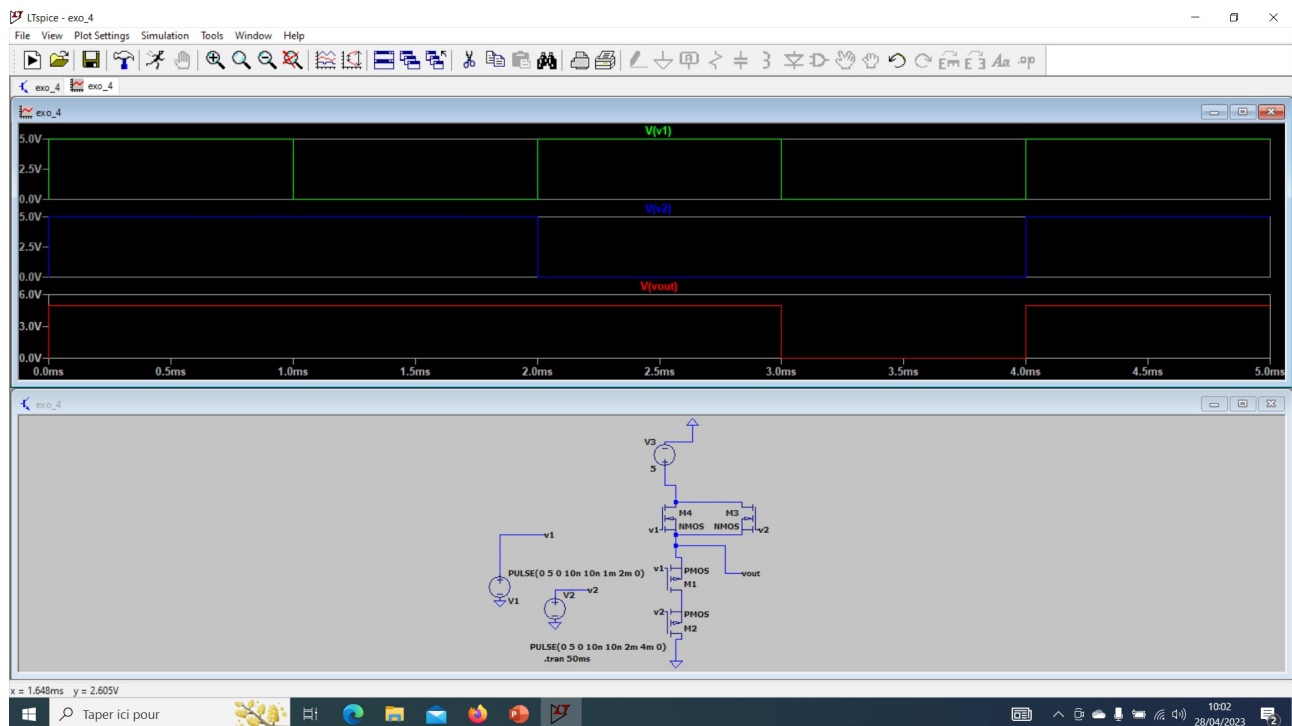
### Exercice 3



Quand v1 et v2 égalent 0 la sortie est a 0  
Quand v1 egale 1 et v2 egale 0 la sortie est a 0  
Quand v1 egale 0 et v2 egale 1 la sortie est a 0  
Quand v1 et v2 égalent 1 la sortie est a 1  
C'est la table de vérité d'une porte and .

Dans ce schema il faut que v1 et v2 sur les NMOS M3 M4 soient à l'etat 1 pour que la sortie soit à l'état 1, ce qui correspond à la fonction and.

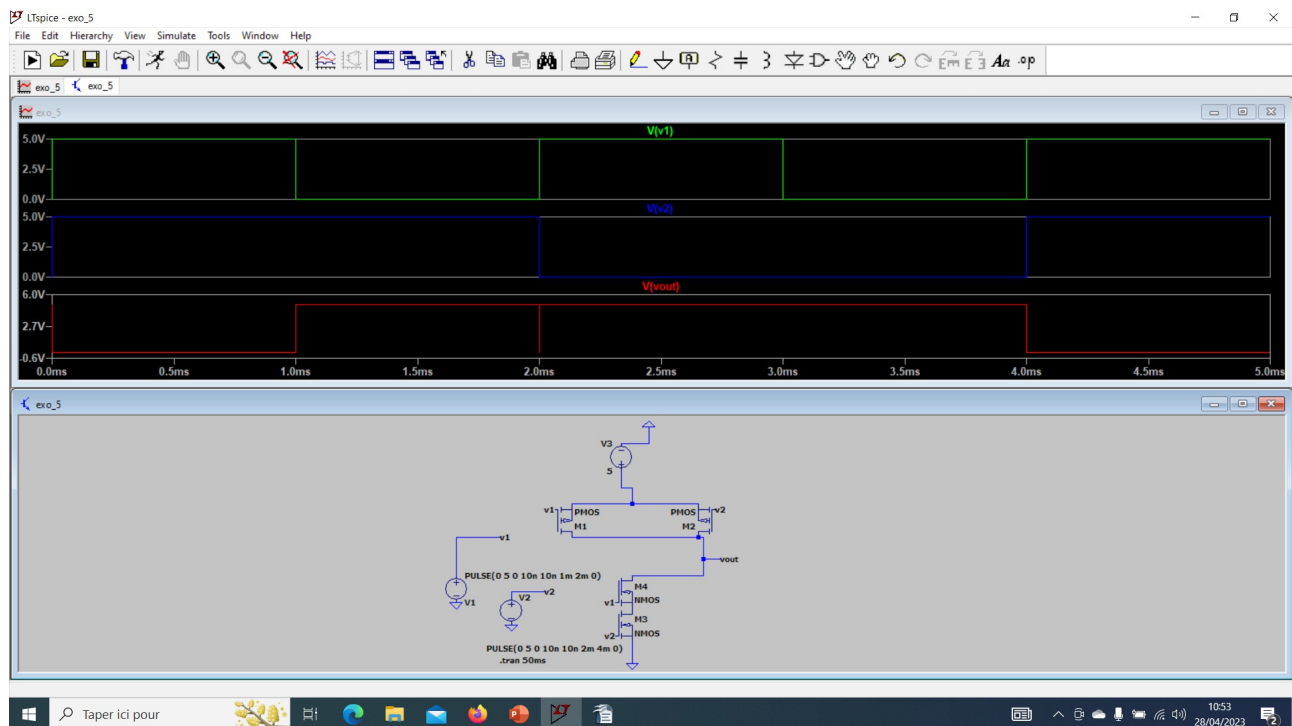
## Exercice 4



Quand v1 et v2 égalent 0 la sortie est à 0  
Quand v1 égale 1 et v2 égale 0 la sortie est à 1  
Quand v1 égale 0 et v2 égale 1 la sortie est à 1  
Quand v1 et v2 égalent 1 la sortie est à 1

C'est la table de vérité d'une porte or .

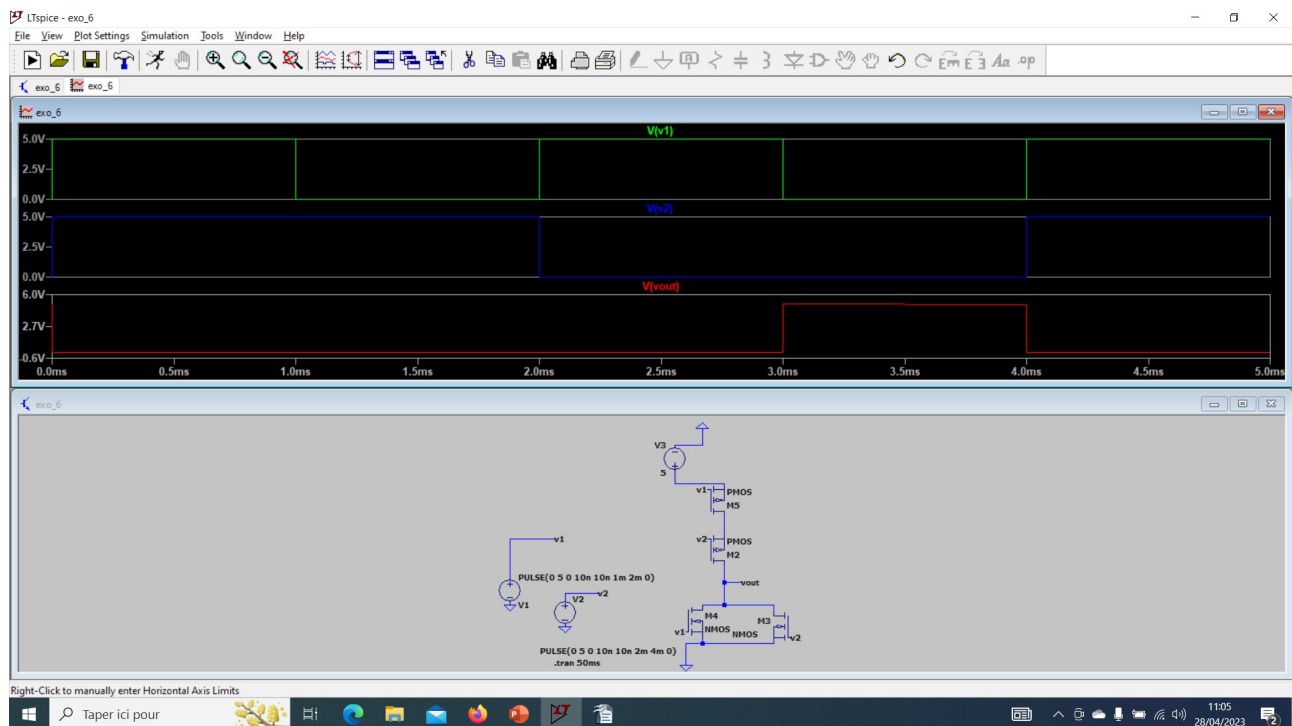
## Exercice 5



Quand  $v1$  et  $v2$  égalent 0 la sortie est à 1  
Quand  $v1$  égale 0 et  $v2$  égale 1 la sortie est à 1  
Quand  $v1$  égale 1 et  $v2$  égale 0 la sortie est à 1  
Quand  $v1$  et  $v2$  égalent 1 la sortie est à 0

C'est la table de vérité d'une porte nand .

## Exercice 6

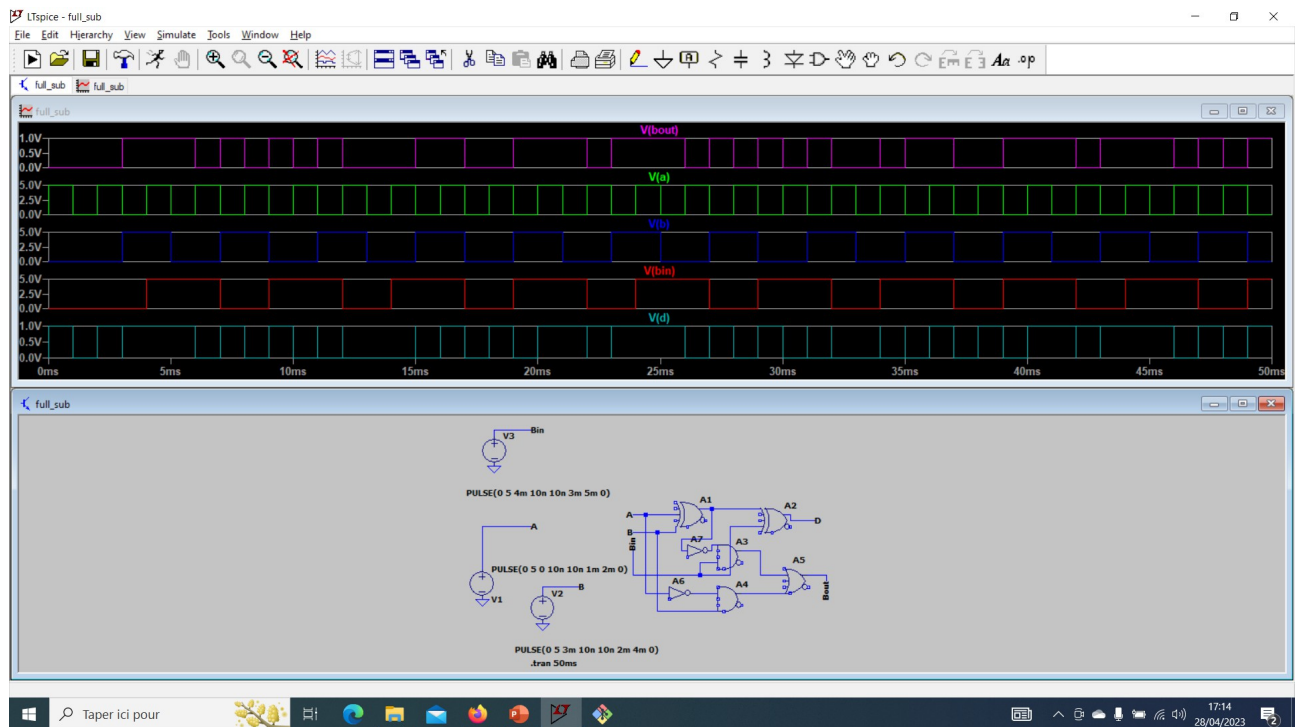


Quand v1 et v2 égalent 0 la sortie est à 1  
Quand v1 égale 0 et v2 égale 1 la sortie est à 0  
Quand v1 égale 1 et v2 égale 0 la sortie est à 0  
Quand v1 et v2 égalent 1 la sortie est à 0

C'est la table de vérité d'une porte nor .

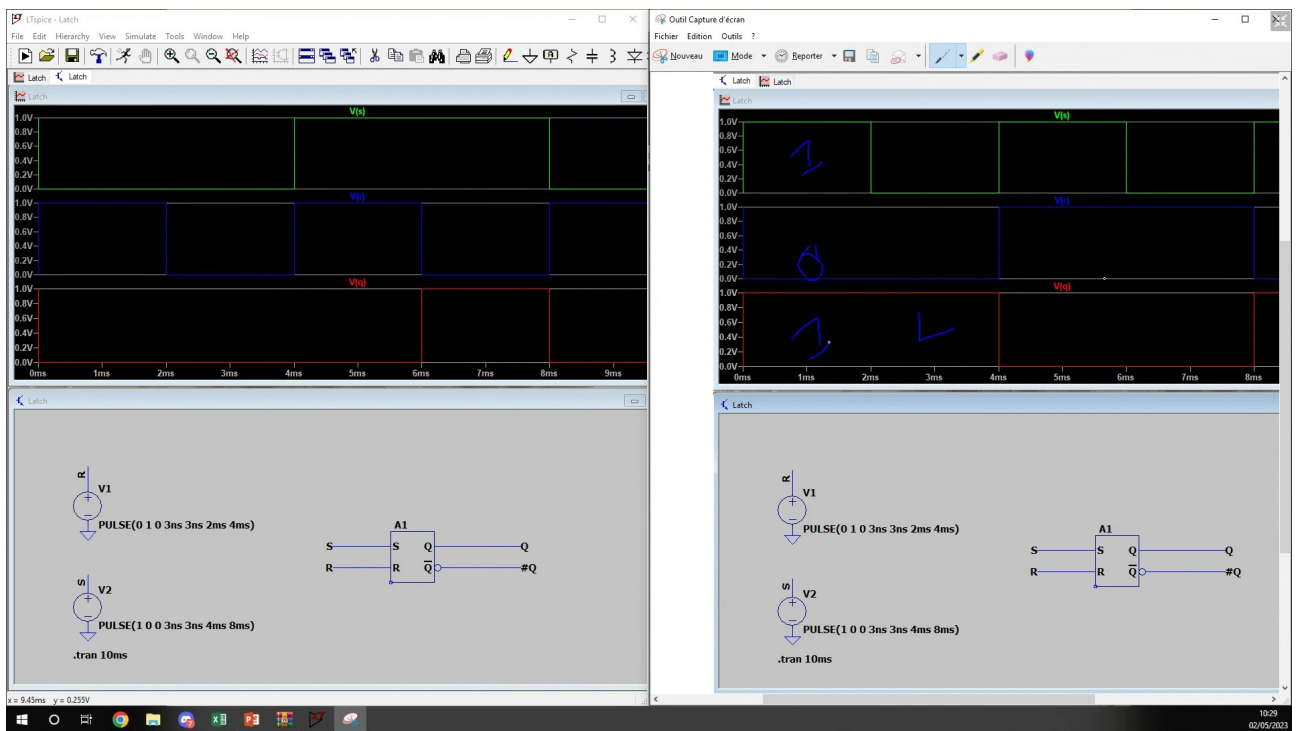
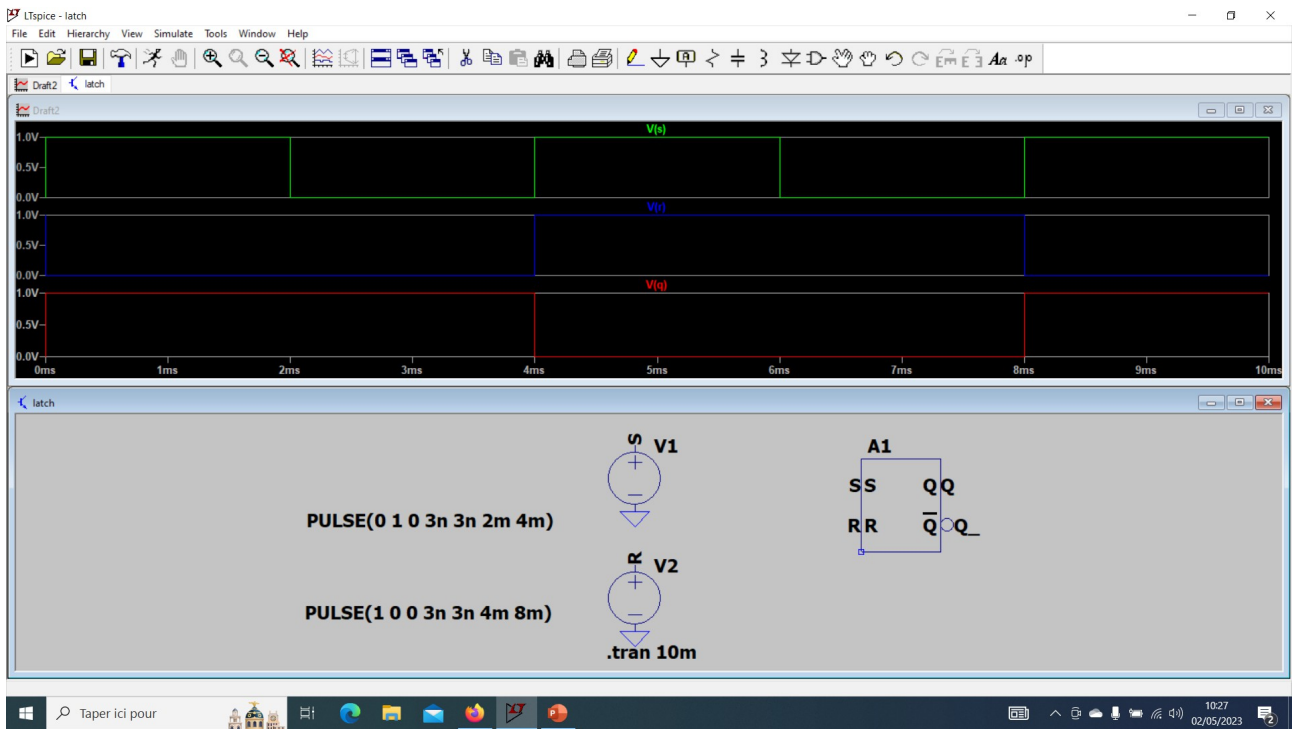
## Exercice full subtractor

Réalisation du soustracteur sous Ltspice.



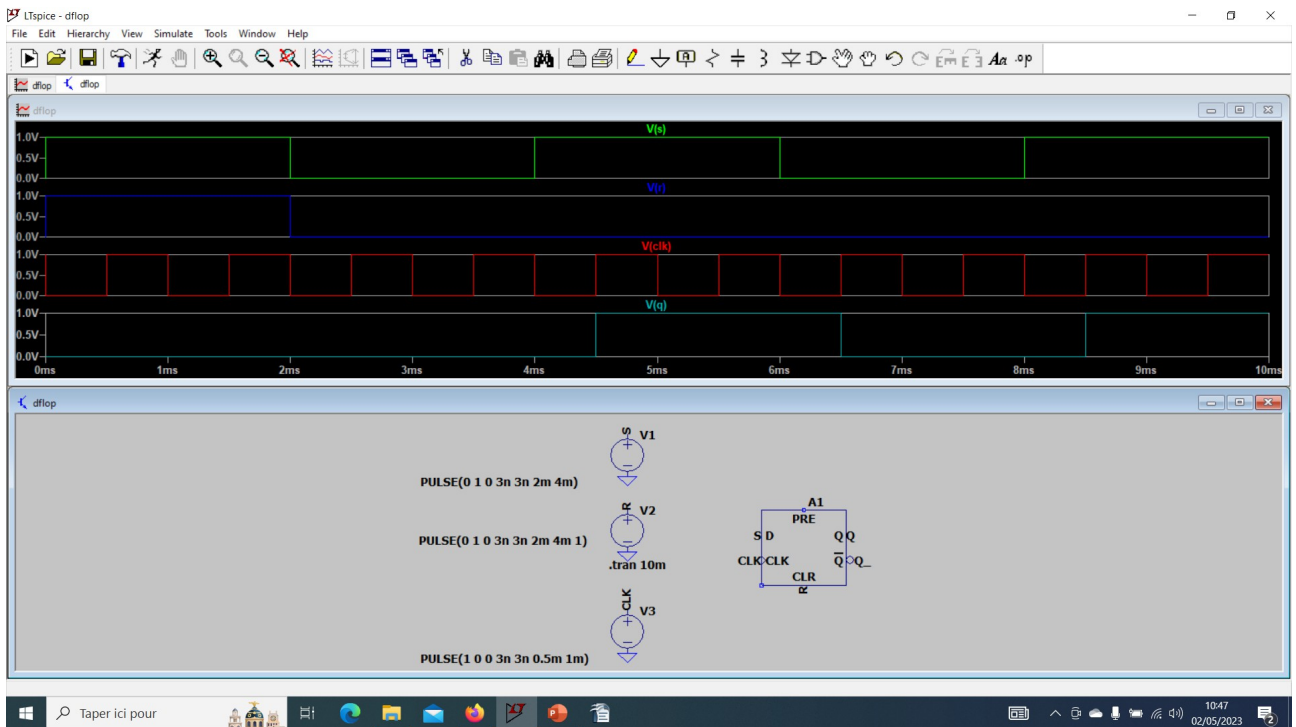
Les chronogrammes correspondent bien au fonctionnement d'un full subtractor.

# La bascule

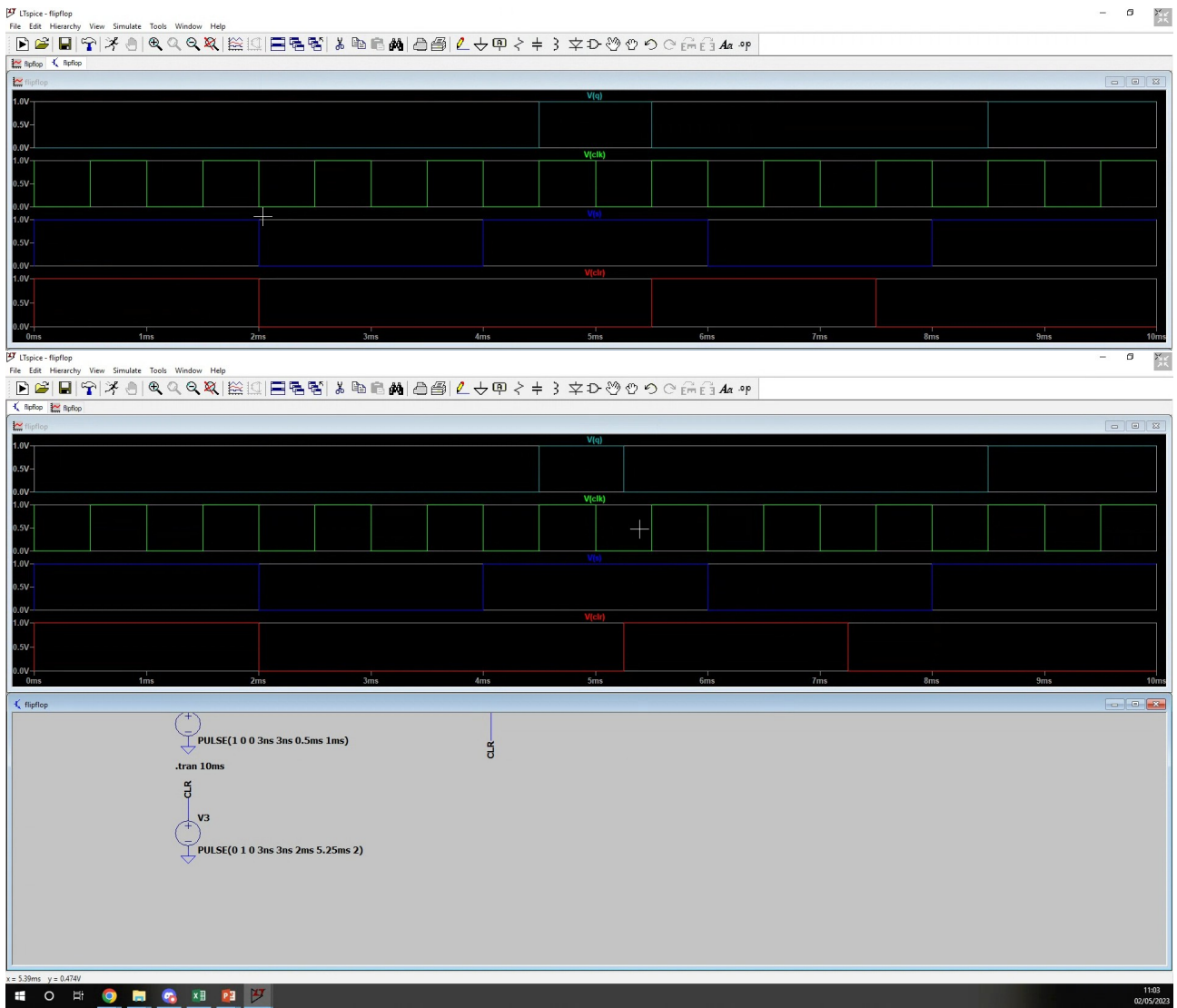


Latch mémorisation de l'état précédent lorsque s=0 r=0.

# Registre



Lorsque set vaut 1 et que clk passe à 1 la sortie vaut 1.  
Lorsque set vaut 0 et clk passe à 1 la sortie vaut 0.





La broche de reset est asynchrone.

Le set est synchrone mais le reset est asynchrone.

Ces exercices nous ont permis de prendre en mains Ltspice et de simuler le fonctionnement de composants electroniques nouveaux.