

보도시점 2025. 3. 20.(목) 12:00 / 배포 2025. 3. 20.(목) 08:30
< 3. 21.(금) 조간 >

시놉시스 - 앤시스 기업결합 조건부 승인

- 반도체 칩, 광학, 포토닉스 설계 소프트웨어 시장에서 가격인상 등 우려 -
- 시놉시스와 앤시스의 자산 일부 매각 조치 -
- 기업이 직접 제출한 시정방안을 고려하여 조치한 첫 사례 -

공정거래위원회(위원장 한기정, 이하 ‘공정위’)는 시놉시스 인코포레이티드(이하 ‘시놉시스’)가 앤시스 인코포레이티드(이하 ‘앤시스’)의 주식 전부(약 350억 달러, 약 50조 원)를 취득하는 기업결합에 대해 시놉시스와 앤시스의 자산 일부를 매각하는 것을 조건으로 승인하였다.

이번 기업결합은 미국에 본사를 둔 소프트웨어 업체인 시놉시스와 앤시스 간 결합으로, 양 사 모두 삼성전자, SK하이닉스 등 국내 사업자들이 반도체 칩 혹은 빛을 이용하는 다양한 제품을 설계하는 소프트웨어를 공급하고 있는 만큼 국내 시장에 미치는 영향이 크다. 특히, 시놉시스는 삼성전자, SK하이닉스 등을 대상으로 반도체 칩을 이루는 표준화된 구성요소인 설계 IP (Intellectual Property)도 공급하고 있다.

공정위는 심사 과정에서 국내외 다양한 이해관계자*들로부터 의견을 청취하고, 관련 전문가들의 기술적 자문을 받는 한편, 이번 기업결합이 국제기업결합임을 감안하여 유럽연합, 영국, 미국 등 해외 경쟁당국과도 긴밀하게 협력하여 면밀한 심사를 진행하였다.

* (국내) 삼성전자, SK하이닉스, LG전자, LX세미콘 등 12개 사업자
(해외) Apple, Google, Qualcomm, Intel, AMD, SONY 등 15개 사업자

공정위는 반도체 칩 설계 과정 중 하나인 ①레지스터 전송 수준 전력 소비 분석*을 위한 소프트웨어(이하 ‘레지스터 전송 수준 전력 소비 분석 소프트웨어’), ②광학 제품** 설계를 위한 소프트웨어(이하 ‘광학 소프트웨어’), ③포토닉스

제품*** 설계를 위한 소프트웨어(이하 ‘포토닉스 소프트웨어’) 시장에서 경쟁이 제한될 가능성을 중점적으로 심사하였다. 세 시장은 공통적으로 시놉시스와 앤시스의 사업 영역이 중첩되어, 이른바 수평결합이 발생한다.

* 반도체 칩 설계의 초기 단계에서 반도체 칩의 정상적 작동을 위한 전력 소비량을 개략적으로 분석하는 단계

** 빛의 직선적인 움직임을 활용하는 제품(카메라 렌즈, 자동차 헤드라이트 등)

*** 빛의 미세한 파동을 활용하는 제품(광섬유, 태양광 패널 등)

공정위는 이번 기업결합 이후 시놉시스와 앤시스가 레지스터 전송 수준 전력 소비 분석 소프트웨어, 광학 소프트웨어, 포토닉스 소프트웨어 시장에서 자신의 우월적 지위를 이용해 일방적인 가격 인상, 거래조건의 불리한 변경 등 경쟁을 제한할 우려가 높다고 판단하였다.

먼저 공정위는 이번 기업결합 이후 세 시장에서 시놉시스와 앤시스가 아래와 같이 합산 점유율이 과반을 훌쩍 넘어 시장지배적 지위를 가지게 된다는 점을 고려하였다.

< 각 시장별 시놉시스 및 앤시스 점유율(%) >

구분	시놉시스	앤시스	합산
레지스터 전송 수준 전력 소비 분석 소프트웨어	25~35	35~45	60~80
광학 소프트웨어	35~45	55~65	90~100
포토닉스 소프트웨어	15~25	40~50	55~75

또한, 종전에 시놉시스와 앤시스 사이에 존재하던 직접적인 경쟁이 사라지는 점, 시놉시스와 앤시스로부터 제품을 구매하는 국내외 고객사들도 이번 기업결합으로 인해 선택지가 축소되고 시놉시스와 앤시스에 종속될 가능성이 높은 점, 세 시장 모두 고도의 기술력을 요하여 신규 경쟁자가 진입하기 용이하지 않은 점 등도 종합적으로 고려하였다.

공정위는 이 외에도 이번 기업결합으로 혼합결합*이 발생하는 시장에서 시놉시스와 앤시스가 경쟁사업자를 배제하기 위해 활용할 수 있는 다양한 전략**의 실현 가능성 역시 검토하였으나, 시놉시스와 앤시스는 그러한 전략을 사용할 능력 혹은 유인이 없고 설령 그러한 전략을 실행하더라도

실제 경쟁사업자 배제 효과 발생 가능성은 없다는 점을 종합적으로 감안하여 경쟁제한 우려는 없다고 판단하였다.

* 서로 다른 기능을 수행하는 반도체 칩 설계 소프트웨어 시장 간의 혼합결합 등 다양한 유형의 혼합결합이 발생

- ** ① 시놉시스의 설계 IP와 앤시스의 반도체 칩 설계 소프트웨어를 결합판매
② 시놉시스와 앤시스의 반도체 칩 설계 소프트웨어를 결합판매
③ 자사 반도체 칩 설계 소프트웨어와 경쟁사 제품 간 상호운용성을 저해

따라서 공정위는 이번 기업결합으로 인한 레지스터 전송 수준 전력 소비 분석 소프트웨어, 광학 소프트웨어, 포토닉스 소프트웨어 시장의 경쟁제한 우려를 해소하기 위해 각 시장별로 시놉시스 혹은 앤시스의 관련 자산 일체를 매각하도록 하였다.

구체적으로 레지스터 전송 수준 전력 소비 분석 소프트웨어 시장에서는 앤시스와 그 계열회사가 보유하고 있는 관련 자산 일체를, 광학 소프트웨어와 포토닉스 소프트웨어 시장에서는 시놉시스와 그 계열회사가 보유하고 있는 관련 자산 일체를 매각하도록 하였다.

이번 시정조치는 시놉시스와 앤시스의 자산 매각을 통해 반도체 칩과 광학 및 포토닉스 제품 설계를 위해 필수적으로 사용되는 소프트웨어 시장에서의 경쟁을 보호함으로써, 인공지능(AI) 반도체의 부상, 공급망 재편 등의 상황 속에서 국제적으로 치열하게 경쟁 중인 삼성전자, SK하이닉스 등 국내 반도체 칩 사업자 등의 피해를 미연에 방지했다는 점에서 의의가 크다.

한편, 공정위는 이번 자산 매각 조치의 내용을 설계하는 과정에서 지난해 8월 공정거래법에 도입된 이른바 ‘기업결합 시정방안 제출제도’^{*}를 최초로 활용하였다.

* 공정위가 시정조치를 부과함에 있어 기업결합의 당사자인 기업에게 경쟁제한 우려를 해소할 수 있는 시정방안을 제출할 수 있는 기회를 부여하고, 공정위는 이를 참고하여 시정조치를 부과할 수 있도록 하는 제도(공정거래법 제13조의2)

공정위는 경쟁제한 우려를 해소하기 위해 시놉시스와 앤시스가 자산 매각 내용을 담아 직접 제출한 시정방안을 참고하고, 경쟁사 및 고객사

의견청취 등을 거쳐 **보완이 필요**하다고 판단되는 부분을 수정*하여 최종적으로 자산 매각 조치의 구체적 내용을 확정하였다.

- * ① 매각 대상 자산에 시놉시스와 앤시스의 '계열회사'가 보유한 자산을 추가
 ② 매각 대상 자산에 시놉시스, 앤시스가 경쟁사와 체결한 상호운용성 관련 계약을 추가

이를 통해 공정위는 시놉시스, 앤시스, 경쟁사 및 고객사가 보유한 풍부한 시장 정보를 바탕으로, 효과적으로 경쟁제한 우려를 해소하면서도 시장에서 충분히 수용가능한 시정조치를 설계하였다는 점에서 의의가 있다.

향후에도 공정위는 반도체 칩 시장 등에서 국내 사업자에 영향을 미치는 경쟁제한적 국제기업결합을 지속적으로 감시하는 한편, 첫 발을 내딛은 기업결합 시정방안 제출제도가 보다 활발하게 적용될 수 있도록 노력할 계획이다.

- <붙임> 1. 기업결합심사 세부내용
 2. 기업결합 시정방안 제출제도

담당 부서	기업거래결합심사국 국제기업결합과	책임자	과 장	황태호 (044-200-4633)
		담당자	사무관	강대준 (044-200-4636)
			조사관	김보민 (044-200-4637)



더 아픈 환자에게 양보해 주셔서 감사합니다
가벼운 증상은 동네 병·의원으로



1. 기업결합 개요

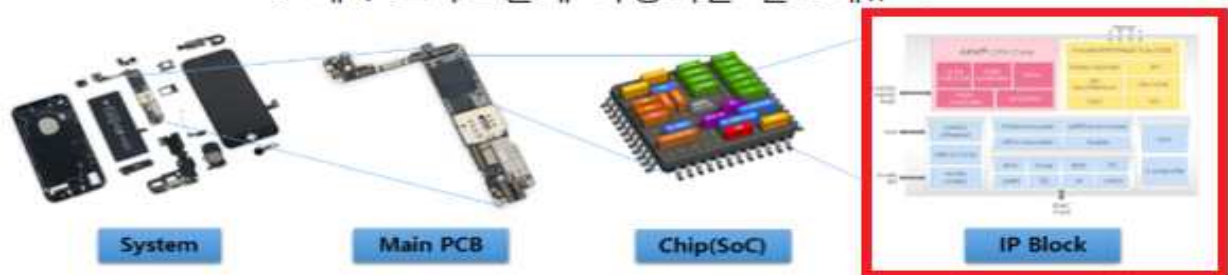
□ 시놉시스는 엔시스의 주식 전부를 약 350억 달러(약 50조 원)에 인수하는 내용의 기업결합을 공정위에 신고('24.5.31.)

- 시놉시스는 반도체 칩 설계 IP 시장에서 사업을 영위
- 시놉시스와 엔시스는 모두 반도체 칩 설계 소프트웨어, 광학 및 포토닉스 설계 소프트웨어 시장에서 사업을 영위

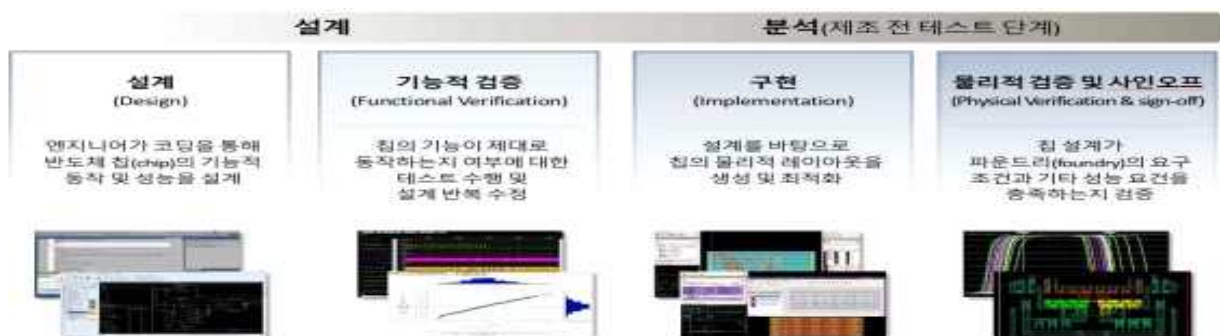
< 관련 개념 >

- **(반도체 칩 설계 IP)** 반도체 칩 내에서 특정한 기능을 구현할 수 있도록 기능적으로 미리 정의된 반도체 칩 구성요소로서의 빌딩 블록(building block)

< 예 : 스마트폰에 사용되는 반도체 IP >



- **(반도체 칩 설계 소프트웨어)** 반도체 칩 설계시 거쳐야 하는 다양한 세부 단계를 수동이 아닌 전자화하여 수행하는 소프트웨어



- **(광학 설계 소프트웨어)** 반도체 칩과 별개로, "거시적(macro)" 차원에서 빛의 단순한 선형 이동 경로를 분석하고, 설계하는 소프트웨어(응용분야: 자동차 헤드라이트, 카메라 렌즈 등)
- **(포토닉스 설계 소프트웨어)** 반도체 칩과 별개로, "나노(nano)" 차원에서 빛의 복잡하고 미세한 떨림(파동)을 분석하고, 설계하는 소프트웨어(응용분야: 광섬유케이블, 태양광 패널 등)

2. 관련시장 확정 및 결합유형

□ (상품시장) 기능상 차이 등을 감안해 총 37개 상품시장을 확정

○ (설계 IP) 2개 시장 확정

○ (반도체 칩 설계 소프트웨어) 반도체 칩 설계를 위해 거쳐야 하는 세부 단계를 각각 구분하여 33개 시장 확정

○ (광학 및 포토닉스 설계 소프트웨어) 2개 시장 확정

연번	대분류	관련 시장	신고회사	상대회사
1	반도체 칩 설계 IP	인터페이스 IP	O	X
2		파운데이션 IP	O	X
3	반도체 칩 설계 소프트웨어	레지스터 전송 수준 분석	O	X
4		레지스터 전송 수준 전력 소비 분석	O	O
5		레지스터 전송 수준 합성	O	X
6		FPGA 합성	O	X
7		정적 검증	O	X
8		게이트 수준 전력 소비 분석	O	X
9		타이밍 제약 사항	O	X
10		실리콘 수명주기 관리 IP	O	X
11		테스트 IP	O	X
12		시뮬레이션 검증	O	X
13		디버그 검증	O	X
14		하드웨어 보조 검증	O	X
15		배치 및 연결	O	X
16		동등성 확인	O	X
17		정전기 방전 분석	O	O
18		타이밍 분석	O	X
19		설계 변경 지시(ECO)	O	X
20		클럭 지터 분석	X	O
21		기생 추출	O	X
22		기생 분석	O	O

연번	대분류	관련 시장	신고회사	상대회사
23		설계 강건성	○	X
24		게이트 수준 전력 무결성 분석	X	○
25		게이트 수준 보안 분석	X	○
26		회로 시뮬레이션	○	X
27		트랜지스터 수준 전력 무결성 분석	○	○
28		전력 장치 분석	○	○
29		전자기 시뮬레이션	X	○
30		신뢰성 분석	○	X
31		포토닉 칩 레이아웃 설계 구현	○	X
32		포토닉 칩 시뮬레이션	○	○
33		멀티다이 칩 아키텍처 설계 및 구현	○	X
34		멀티다이 칩 구조적 및 열 분석	X	○
35		멀티다이 칩 신호 및 전력 무결성 분석	X	○
36	광학 및 포토닉스 설계 소프트웨어	광학 설계	○	○
37		포토닉스 설계	○	○

☐ (지역시장) 전세계 시장

- 관련 상품이 전 세계에 걸쳐 동질적으로 제공되는 점 등을 감안

☐ (결합유형) 수평결합 및 혼합결합

- (수평결합) ①~⑥개* 반도체 칩 설계 소프트웨어 시장, ⑦광학 설계 소프트웨어 시장, ⑧포토닉스 설계 소프트웨어 시장 등 총 8건의 수평결합 발생

* ① 레지스터 전송 수준 전력 소비 분석, ② 정전기 방전 분석, ③ 기생 분석, ④ 트랜지스터 수준 전력 무결성 분석, ⑤ 전력 장치 분석, ⑥ 포토닉 칩 시뮬레이션

- (혼합결합) ①인터페이스 IP 시장과 반도체 칩 설계 소프트웨어 시장 간, ②파운데이션 IP 시장과 반도체 칩 설계 소프트웨어 시장 간, ③반도체 칩 설계 소프트웨어 시장 간 총 3가지 유형의 혼합결합 발생

3. 경쟁제한성 판단

- ◇ (수평결합) 총 3개의 시장에서 경쟁이 실질적으로 제한될 것으로 판단
- ◇ (혼합결합) 결합판매 또는 상호운용성 저해 등을 통한 경쟁사업자 배제 가능성이 낮고, 잠재적 경쟁 저해 가능성도 낮아 경쟁제한성은 없을 것으로 판단

□ (수평결합) 총 3개의 시장에서 경쟁제한 우려(나머지 5개 시장은 우려 없음)

- ①레지스터 전송 수준 전력 소비 분석 소프트웨어 시장, ②광학 설계 소프트웨어 시장, ③포토닉스 설계 소프트웨어 시장에서 경쟁이 실질적으로 제한
 - ▲공정거래법 제9조 제3항에 따라 점유율 등 감안시 경쟁제한이 추정되는 점, ▲시놉시스와 앤시스 간 직접적 경쟁이 사라지는 점, ▲대체재의 부재 등으로 인해 고객사들의 자유로운 구매 전환이 어려운 점, ▲고도의 기술력을 요해 진입장벽이 높은 시장인 점 등을 감안할 때, 가격인상 등 우려

< 각 시장별 시놉시스 및 앤시스 점유율(%) >

구분	시놉시스	앤시스	합산
레지스터 전송 수준 전력 소비 분석 소프트웨어	25~35	35~45	60~80
광학 소프트웨어	35~45	55~65	90~100
포토닉스 소프트웨어	15~25	40~50	55~75

- 나머지 5개 시장은 ▲유력한 경쟁사업자가 존재하는 점, ▲기업결합으로 인한 시장점유율 변화가 미미한 점, ▲국내 시장에 미치는 영향도 미미한 점 등을 감안할 때, 경쟁제한 우려 없음

□ (혼합결합) 모든 시장에서 경쟁제한 우려는 없을 것으로 판단

- (결합판매) ①~②반도체 칩 설계 IP와 반도체 칩 설계 소프트웨어 간 결합판매, ③반도체 칩 설계 소프트웨어 간 결합판매를 통해 경쟁자 배제 우려 → 가능성 낮음
 - 반도체 칩 설계 IP와 반도체 칩 설계 소프트웨어는 거래 방식, 주기 등이 상이하여, 당사회사가 결합판매를 실시할 능력이 없는 점
 - 반도체 칩 설계 소프트웨어를 구매하는 대형 고객사(삼성전자, SK하이닉스, Apple 등)들이 여러 업체 제품을 믹스 앤 매치(mix&match)하는 것이 일반적이어서, 결합판매를 통해 경쟁사업자를 배제하기 어려운 점

- (상호운용성 저해) 시놉시스, 앤시스 자사의 반도체 칩 설계 소프트웨어와 경쟁사 소프트웨어 간 상호운용성*을 저해하여 경쟁자 배제 우려 → 가능성 낮음

* 반도체 칩 설계 소프트웨어 간 상호운용성은 원활한 반도체 칩 설계를 위한 필수요소

- 이미 상호운용성이 국제 표준으로 자리잡은 점, 대형 고객사들의 믹스 앤 매치(mix&match) 전략을 감안시 상호운용성 저해로 인한 시놉시스, 앤시스의 손해 역시 막대할 것으로 예상되는 점 등을 감안

- (잠재적 경쟁저해) 시놉시스가 앤시스의 사업 영위 시장 진출을 위해 R&D를 진행한 바, 결합 후 R&D 중단 시 잠재적 경쟁이 저해될 우려 → 가능성 낮음

- 시놉시스 R&D에 상당한 시간이 소요될 것으로 예측되고, 앤시스가 시놉시스의 R&D 프로젝트를 경쟁제품으로 인식하고 있지 않아 근시일 내에 발생할 잠재적 경쟁이 있었다고 보기 어려움

4. 시정조치 : 자산 매각

- 레지스터 전송 수준 전력 소비 분석 소프트웨어 시장에서 앤시스 및 그 계열회사가 보유하고 있는 관련 자산 일체*를 특수관계인이 아닌 제3자에게 이번 기업결합이 완료된 날로부터 6개월 이내에 매각

* PowerArtist(앤시스의 제품명), 지식재산권(특허 포함), 경영기술 관련 정보 및 노하우(기술 로드맵과 연구개발 프로젝트 포함), 인력, 관련 상업계약(상호운용성 계약 포함)

- 광학 설계 소프트웨어, 포토닉스 설계 소프트웨어 시장에서 시놉시스 및 그 계열회사가 보유하고 있는 관련 자산 일체*를 특수관계인이 아닌 제3자에게 이번 기업결합이 완료된 날로부터 6개월 이내에 매각

* CODE V, LightTools, LucidShape, Rsoft Photonics Device Tools, ImSym(시놉시스의 제품명), 지식재산권(특허 포함), 경영기술 관련 정보 및 노하우(기술 로드맵과 연구개발 프로젝트 포함), 인력, 시설, 장비, 관련 상업계약(상호운용성 계약 포함)

참고 1 상품시장별 세부 설명

연번	대분류	관련 시장	설명
1	반도체 칩 설계 IP	인터페이스 IP	반도체 칩 내부 간 또는 반도체 칩 상호 간 서로 다른 구성요소의 통신을 지원하는 구성요소
2		파운데이션 IP	반도체 칩의 표준화된 수준의 신뢰성, 데이터 전송 수준 등을 보장하는 구성요소
3	반도체 칩 설계 소프트웨어	레지스터 전송 수준 분석	반도체 칩 설계 극초기 단계 (레지스터 전송단계라 함)에서 목표로 하는 반도체 칩의 기술적 구현 가능성을 분석
4		레지스터 전송 수준 전력 소비 분석	레지스터 전송단계에서 목표로 하는 반도체 칩의 전력 소비량을 분석
5		레지스터 전송 수준 합성	반도체 칩의 사양을 표현한 HDL를 Physical Library IP(AND, OR, INVERT 등의 함수기능을 구현한 회로도)와 합성하여 반도체 칩의 사양을 논리회로도로 변환(이처럼 변환된 회로도를 게이트 수준 설계라 함)
6		FPGA 합성	이미 생산 완료된 반도체 칩에 추가적으로 회로를 새겨넣는 것을 의미
7		정적 검증	반도체 칩 설계의 논리적 오류를 개략적으로 분석
8		게이트 수준 전력 소비 분석	게이트 수준에서 전력 소비량을 분석
9		타이밍 제약 사항	반도체 칩이 특정 시간 내에 신호를 전달할 수 있는지를 분석
10		실리콘 수명주기 관리 IP	반도체 칩이 직면하는 물리적 여건(전압, 온도, 생산환경) 등을 고려할 때 설계의 적정성을 확인
11		테스트 IP	설계된 반도체 칩의 실제 동작을 시험
12		시뮬레이션 검증	반도체 칩 설계에 여러 변수를 투입하고 시뮬레이션 함으로써 설계의 적정성을 분석
13		디버그 검증	반도체 칩 설계의 오류(bug)를 식별하고 수정
14		하드웨어 보조 검증	반도체 칩이 실제 사용될 하드웨어 환경에서 반도체 칩 설계가 정상적으로 작동할지 점검
15		배치 및 연결	반도체 칩 구성요소를 어디에 배치하고, 구성요소 간 연결은 어떤 방식으로 할지를 설계(물리적 설계도면 작성)
16		동등성 확인	레지스터 전송수준 설계(HDL로 표현) / 게이트 수준 설계(논리회로도로 구성)/ 실제 작성된 도면 간의 동등성(equivalence)을 확인
17		정전기 방전 분석	반도체 칩 내 정전기 발생으로 인한 반도체 칩 오류 여부를 분석

연번	대분류	관련 시장	설명
18		타이밍 분석	반도체 칩이 목표 시간 내에 신호를 전달할 수 있는지를 최종 검증
19		설계 변경 지시(ECO)	작성된 설계도를 추가적 패치 또는 수정
20		클럭 지터 분석	반도체 칩의 주(主)신호(클럭)가 부(副)신호로부터의 노이즈에 어떠한 영향을 받는지 분석
21		기생 추출	반도체 칩의 기생(구성요소 간 연결 과정에서 의도치 않게 발생하는 방해요소)을 발견
22		기생 분석	반도체 칩의 기생 관련 문제를 해결
23		설계 강건성	반도체 칩이 다양한 환경(전압, 온도 등)에서 제대로 성능을 발휘하는지 검증
24		게이트 수준 전력 무결성 분석	반도체 칩에 전력이 흐를 때 반도체 칩의 신뢰성(정확성, 일관성 등)을 확인
25		게이트 수준 보안 분석	반도체 칩이 부채널 공격(일종의 해킹 공격)에 취약한지 여부를 분석
26		회로 시뮬레이션	반도체 칩의 동작을 미리 모델링하고 예측
27		트랜지스터 수준 전력 무결성 분석	설계도 작성이 완료된 후, 전력 흐름에 따른 성능변화를 재확인
28		전력 장치 분석	반도체 칩이 사용된 제품의 전력 장치(예 : 노트북 내의 전원공급장치)의 효율성과 신뢰성을 분석
29		전자기 시뮬레이션	반도체 칩에서 발생가능한 전자기장의 움직임을 3D 형태로 분석
30		신뢰성 분석	반도체 칩의 동작이 실제 작동 환경에서도 일관성을 유지하는지 분석
31		포토닉 칩 레이아웃 설계 구현	광자를 매개체로 신호를 전달하는 포토닉 칩의 특성을 고려하여 설계 도면을 작성
32		포토닉 칩 시뮬레이션	포토닉 칩의 동작을 시뮬레이션하고 분석
33		멀티다이 칩 아키텍처 설계 및 구현	멀티다이 칩을 3D 환경에서 설계할 수 있는 환경을 제공
34		멀티다이 칩 구조적 및 열 분석	멀티다이 칩의 물리적 구조로 인해 발생하는 열이 미치는 영향을 다각도로 분석
35		멀티다이 칩 신호 및 전력 무결성 분석	멀티다이 칩의 여러 다이들 간의 신호 전달 및 신호 전달을 위한 충분한 전력이 있는지 여부를 확인
36	광학 및 포토닉스 설계 소프트웨어	광학 설계	빛의 직선적 움직임을 활용하는 제품(카메라 렌즈, 자동차 헤드라이트 등)을 설계
37		포토닉스 설계	빛의 미세한 파동을 활용하는 제품(광섬유, 태양광 패널 등)을 설계

참고 2 시놉시스/앤시스 일반 현황

(단위: 백만 원)

구분	시놉시스	앤시스			
대표자	Sassine Ghazi	Ajei S. Gopal			
사업내용	반도체 칩 및 광학/ 포토닉스 제품 설계용 소프트웨어 판매, 반도체 칩 설계 IP 판매 등	반도체 칩 및 광학/ 포토닉스 제품 설계용 소프트웨어 판매 등			
주소	675 Almanor Ave, Sunnyvale, CA, United States	2600 Ansys Drive, Canonsburg, PA, United States			
재무상황					
기준일	2023. 10. 31.	2023. 12. 31.			
자산총액 (기업집단)	10,423,259 (13,978,660)	8,507,633 (9,442,115)			
매출액 (기업집단)	4,478,962 (7,650,793)	1,351,223 (2,963,281)			
국내매출액 (기업집단)	3,629 (831,261)	657 (138,714)			
주주구성 (%)	주주	비율	주주	전	후
	Vanguard Group, Inc.	8.88	시놉시스	-	100
	Blackrock, Inc.	7.73	Blackrock, Inc.	12.21	-
	State Street Global Advisors Inc.	4.44	Vanguard Group, Inc.	11.7	-
	Capital Research & Management Co.	4.36	Aristotle Capital Management, LLC	4.37	-
	5% 미만 소액주주	74.59	State Street Corporation	4.07	-
			5% 미만 소액주주	67.65	-
	합 계	100	합 계	100	100

참고 3 해외심사 현황 (2025. 3. 19. 기준)

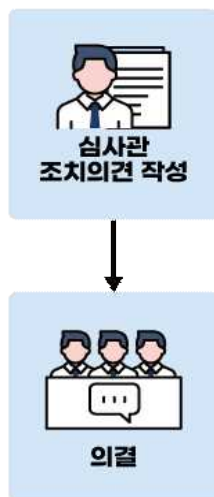
구분	국가 및 결정 내용
조건부 승인	유럽연합('25.1.10.), 영국('25.3.5.), 일본('25.3.13.) ✓ 자산 매각 조건부 승인
무조건부 승인	이스라엘('24.10.9.)
심사 중	미국, 중국, 대만, 터키

붙임2

기업결합 시정방안 제출제도

구 분	내 용
개 요	기업결합에 따른 경쟁제한 우려 해소방안을 결합회사가 제출하면 공정위가 이를 고려하여 최종적인 시정조치를 부과하는 제도
운영방식	① 공정위 심사관은 기업결합이 경쟁제한 우려가 있고 결합회사에게 시정방안 제출 기회를 부여할 필요가 있다고 판단하는 경우, 이에 대한 심사관의 잠정적 판단결과를 결합회사에게 통보 ② 결합회사는 해당 우려를 해소할 수 있는 시정방안을 직접 작성하여 심사관에게 제출 ③ 심사관은 시정방안이 경쟁제한 우려 해소에 부적절하다고 평가할 경우 수정을 요청할 수 있으며, 평가 과정에서 이해관계자, 전문가 등의 의견도 청취할 수 있음 ④ 심사관은 제출된 시정방안을 고려하여 심사보고서 상 심사관 조치의견을 작성할 수 있음
신속한 의결절차 (fast-track)	결합회사가 경쟁제한 우려를 해소하기에 적절한 시정방안을 제출하고 심사보고서에 대해 동의하는 경우, 의결절차 기간 단축 ① 결합회사의 심사보고서에 대한 의견서 제출 후 30일 내에 심의가 개최되어야 하나, 해당 제도를 통할 경우 15일 내로 단축 ② 의결서는 심의 완료 후 35일 내 작성이 원칙이나, 해당 제도를 통할 경우 20일 내 작성으로 단축

<기존 시정조치 부과방식>



<새롭게 추가된 시정조치 부과 방식(시정방안 제출제도)>

