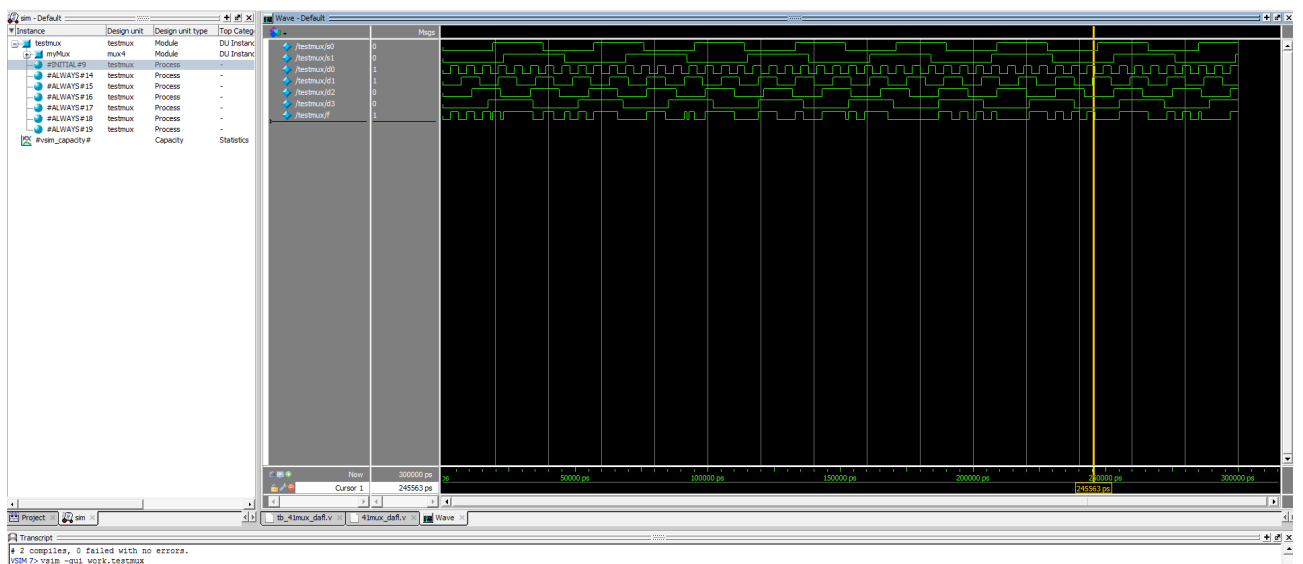


beh



Daf1

1bit 4:1 Multiplexer 의 논리회로를 설계하고 Modelsim 을 이용하여 베릴로그를 통한 로직을 구현하였다. 41mux_beh 의 경우 case 문을 이용하여 d0, d1, d2, d3에서 output 값을 정하도록 구현하였다. 41mux_dafl 의 경우 삼항 연산자의 중복을 이용하여 combinatioanl logic 으로 assign 키워드를 통해 output 값을 정하도록 구현하였다.

Testbench 의 경우 모든 조합을 고려할 때 약 64가지 경우의 수가 존재하는데 이는 너무 코드 길이가 늘어나고 이해하기 어려운바 always #n 구문을 이용하여 각 6개 input 의 변화에 따른 output 값의 변화를 관찰하였다. 이때 같은 시간대에 변경되는 input 의 개수를 최소화하기 위해 n 의 값은 prime 값으로 할당하였다.

Simulation 결과 waveform을 보면 의도했던 대로 output 값이 나오는 것을 볼 수 있었다. 입력 및 결과 값을 콘솔창에 띄우기 위해 monitor 구문을 추가했을 경우 'error loading design'이라는 에러가 뜨는 것을 발견할 수 있었다. 구글링 해본 결과 해당 오류는 파일명이나 파일 경로와 관련된 문제라고 하는데 monitor 구문을 삭제하는 경우 정상작동되는 것으로 보아 테스트 모듈에서의 문법오류라고 판단된다. 이번 과제를 통해 베릴로그의 문법에 대해서 조금더 익숙해질수 있었고 테스트 모듈에서 내가 직접 만든 모듈의 인스턴스화, input, output 변화 등을 통해 전체적인 원리 이해에 많은 도움이 되었다.