

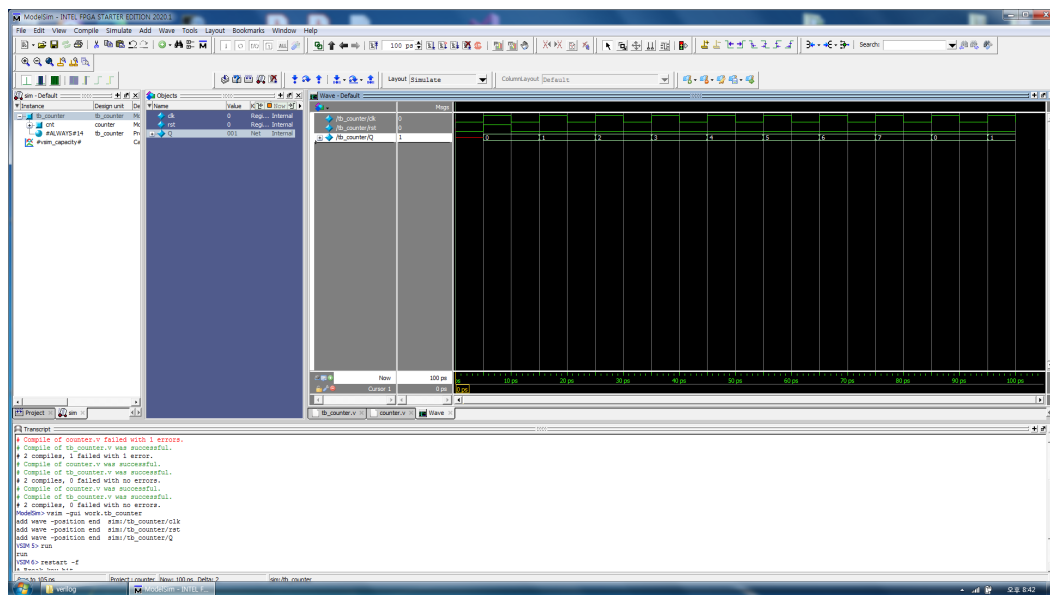
1. Counters

clk posedge 순간마다 1을 증가시키는 Sequential Building block을 말한다. 디지털시계, Program counter 등에 사용된다.

2. 구현 내용

초깃값을 0으로 설정한 후 5초 간격으로 clk bit를 바꾼다. clk posedge 전에 미리 current state에 next state를 더한 다음 edge 순간에 current state 값을 next state로 바꿔주고 current state에 1을 더한 값을 다시 next state로 변경해 줘야 한다. 이번 과제에서는 단순히 register를 이용하여 edge 순간 output에 1을 더하는 방법으로 counter를 구현하였다.

3. Waveform 분석



5ps에 rst 값이 1로 변하므로 그전까지는 q 값이 0이다. 5ps edge 순간에 rst가 1이므로 q는 0으로 초기화된다. 이후 15, 25, 35... 주기로 기존 output 값에 1을 더한 값이 output으로 나오는 것을 관찰할 수 있다. 15ps부터 초기화를 방지하기 위해 10ps에 rst 값을 다시 0으로 초기화한다. 이는 우리가 기대했던 counter의 동작과 일치한다.

4. 고찰

베릴로그의 always 구문을 이용하여 counter을 구현해 보았다. 크게 어려운 과제는 아니었지만 주기적으로 edge를 갖는 clk를 이용하여 직접 counter를 구현해 봄으로써 깊이 있는 이해를 할 수 있었다.