



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ    ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ  
КАФЕДРА    КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)  
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.03 Прикладная информатика

## О Т Ч Е Т

по лабораторной работе № 1

Название:    Дешифраторы

Дисциплина:    Схемотехника

Студент

ИУ6-55Б  
(Группа)

\_\_\_\_\_  
(Подпись, дата)

Ф.С. Тихомиров  
(И.О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

Б.К. Аристов  
(И.О. Фамилия)

Москва, 2021

## Содержание

1. Введение
  - 1.1 Цель работы
2. Теоретические сведения
3. Практическая часть
  - 3.1 Задание 1
  - 3.2 Задание 2
  - 3.3 Задание 3
  - 3.4 Задание 4
4. Приложение
5. Контрольные вопросы
6. Вывод
7. Список литературы



## 1. Введение

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Продолжительность работы — 4 часа.

## 2. Теоретические сведения.

Дешифратором называется комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

Количество выходов дешифратора равно числу разрешенных наборов входных сигналов. В дешифраторе с  $n$  входами и  $N$  выходами  $N \leq 2^n$ . Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов — неполным. Наборам двоичных входных сигналов дешифратора можно поставить в соответствие  $n$ -разрядные двоичные числа. Если выходы дешифратора обозначить  $F_j$  ( $j = 0, 2^n - 1$ ), то активный сигнал появится на том выходе, у которого значение индекса  $j$ , т.е. номер выхода, равно двоичному числу, образованному набором входных сигналов. Таким образом, дешифратор реализует переходы на его входы двоичный код числа и формирует активный сигнал только на соответствующем выходе, на всех остальных выходах дешифратора сигналы неактивны. Поэтому дешифратор является преобразователем двоичного кода в код "1 из  $N$ ". Дешифратор с  $n$  входами и  $N$  выходами обозначается DC  $n-N$ , где DC — decoder.

В ЭВМ дешифраторы применяются для преобразования кодов операций в управляющие сигналы в соответствующие цепи, для преобразования адресов элементов памяти в сигналы выбора элементов при записи и считывании информации из них, для преобразования номеров (адресов) каналов в многоканальных компьютерах электрическим сигналам в сигналы выбора каналов, для управления световыми индикаторами.

Функционирование дешифратора DC  $n-N$  определяется таблицей истинности.



Таблица истинности генератора DC n-N

Таблица 1.

Входы							Выходы					
EN	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{n-2}$	$F_{n-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	1	1	0	0	0	...	0	1

Как следует из таблицы 1, аналитическое описание дениндритора можно представить совокупностью логических функций в СДНФ.

$$F_0 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot A_0,$$

$$F_1 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot \overline{A_1} \cdot \overline{A_0}$$

$$F_2 = E N_0 \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_1 \cdot A_1 \cdot \bar{A}_0$$

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot \overline{A_0},$$

$$F_{N-1} = E_N \cdot A_{N-1} \cdot A_{N-2} \cdot \dots \cdot A_i \cdot A_1 \cdot \bar{A}_0,$$

где  $A_i, (i=0, n-1)$  - входные сигналы (переменные) генератора,

$$F_3(U=0, N-1)$$
 - Выходная переменная (функция) генератора,

EN - сигнал разрешения (страхования) работы генератора.

При  $EN=1$  генератор работает, как преобразователь кода "из  $N$ ".

при  $EN=0$  на всех выходах дешифратора устанавливаются неактивные

сигналы независимо от текстуральных наборов входных агрегатных сигналов.

Вход EN может быть универсальным. В этом случае обобщая работу дешифратора, можно считать, что EN=0. Дешифратор может иметь несколько

тока имеет место при  $EN=0$ . Дендритатор может иметь несколько  
эпифизисов, которые обмениваются между собой лопатками

входов разрешения, которые обеспечивают работу системы функцией компьютеризации.



Бинарная функция  $F_j$  в (1) представляет собой конституенту единицы или универсальную конституенту нуля с соответствующим номером. Поэтому логические функции (1) можно записать в виде:

$$F_j = \overline{EN} \cdot m_j = \overline{EN} \vee M_j,$$

$$j = (0, N-1),$$

где  $m_j$  - конституента единицы,  $M_j$  - конституента нуля,  $j$  - номер набора, на котором  $m_j$  равна единице, а  $M_j$  - нулю.

Демширатор может применяться:

- в качестве собственно демширатора,
- как дешифльтиплексор при наличии входа разрешения,
- для формирования функций алгебры логики.

Входы разрешения служат:

- для временного выделения (спробирования) той или иной выходной сигнала, которая не имеет искажений, вызванных помехами входных сигналов;
- для выполнения функции дешифльтиплексирования;
- для параметризации разрядности демширатора, т.е. увеличения числа адресных входов и соответственно выходов.

### Параметры демширатора

К основным параметрам демширатора относят:

- количество входов, определяемое разрядностью преобразуемого двоичного кода;
- количество выходов;
- статические параметры, такие, как входные и выходные токи и напряжения логических "0" и "1", напряжения дефицитных статических токов  $V_{ном}^0$ ,  $V_{ном}^1$ , коэффициенты разветвления по выходу  $K_{раз}$  и др., которые определяются аналогичными параметрами логических элементов, на которых он строится;
- потребляемая мощность  $P_{ном}$  (или ток  $I_{ном}$ );
- динамические параметры: времена задержки распространения сигнала при включении и выключении, характеризующие действие демширатора



# Схемы построения дешифратора.

По способу построения, дешифраторы разделяют на:

- линейные;
- каскадные:
  - а) пирамидальные;
  - б) ступенчатые.

## Линейный дешифратор

Линейный дешифратор строится в соответствии с матрицей функции (1) и представляет собой  $2^n$  комбинационных или логических элементов ИЛИ-НЕ с  $n$ -входами каждый при оптимальном способе разбития и с  $(n+1)$  входами — при его наличии. Линейный дешифратор на 2 входа работает в соответствии с таблицей истинности.

Таблица истинности дешифратора DC 3-в

Таблица 2

Входы				Выходы							
EN	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>	F <sub>4</sub>	F <sub>5</sub>	F <sub>6</sub>	F <sub>7</sub>
0	x	x	x	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

Дешифратор DC 3-в реализует логическую функцию  $F_j = EN m_j = \overline{EN} \vee m_j, j=0,7$

В данном дешифраторе каждый набор входных сигналов преобразуется в сигнал 1 на соответствующем выходе. При этом на остальных выходах действуют сигналы 0. Такой дешифратор называется дешифратором с прямыми выходами.



При построении дешифратора на элементах И-НЕ реализация системы функций  $F_j = \overline{E}N \cdot m_j = \overline{E}N \vee M_j$ ,  $j=0,7$

Такой дешифратор называется дешифратором с инверсным выходом. На выходах дешифратора формируется инверсия функций  $F_j$ , то есть активным уровнем выхода будет низкий уровень сигнала.

В линейном дешифраторе время задержки распространения сигнала от суммированного или стробящего входов до выхода равно времени задержки распространения сигнала в цепи последовательно включенных элементов И (И-НЕ) и инверторов:

$$t_{\text{з.р.ф}} = 2t_{\text{з.р.ф.1}} + t_{\text{з.р.ф.2}},$$

где  $t_{\text{з.р.ф.1}}$ ,  $t_{\text{з.р.ф.2}}$  — среднее время задержки распространения сигнала в инверторе и конъюнкторе соответственно.

### Пирамидальный дешифратор.

Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций.

На первом этапе реализуются конъюнкции двух переменных:

$$\overline{A_1} \overline{A_0}, \overline{A_1} A_0, A_1 \overline{A_0}, A_1 A_0$$

На втором этапе все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкцией 2 переменных на  $A_2 (\overline{A_2})$

$$\overline{A_2} \overline{A_1} \overline{A_0}, \overline{A_2} \overline{A_1} A_0, \overline{A_2} A_1 \overline{A_0}, \overline{A_2} A_1 A_0,$$

$$A_2 \overline{A_1} \overline{A_0}, A_2 \overline{A_1} A_0, A_2 A_1 \overline{A_0}, A_2 A_1 A_0$$

На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на  $A_3 (\overline{A_3})$ . Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальный дешифратор независимо от числа их входов строится на основе только двухвходовых конъюнкторов.

Число каскадов пирамидального дешифратора равно  $n-1$ , время задержки распространения сигналов в дешифраторе увеличивается пропорционально числу каскадов. Поэтому в настоящее время пирамидальные дешифраторы не применяются. Однако принцип пирамидирования развит и используется в каскадной схеме соединения дешифраторов.



В каждом каскаде происходит наращивание не на один адресный разряд, как в пирамидальном дешифраторе, а на несколько, число которых равно числу адресных разрядов простого дешифратора, на основе которого строится дешифратор с необходимым числом адресных входов, который является сложным дешифратором. При наращивании используются входы разрешения простых дешифраторов.

### Устранение рингов в дешифраторах.

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые ринги (остатки), приводящие к появлению логич. сигналов на выходах схемы. Основным средством, позволяющим исключить ринги, является стробирование (выделение из информации сигнала той части, которая свободна от помех, вызываемых рингами). Стробующий сигнал на ~~вход~~ входе разрешения EN не должен быть активным во время переходных процессов в дешифраторе. Стробующий вход используется также для наращивания дешифратора.



### 3. Практическая часть

1) Исследование линейного двухвходового дешифратора с инверсными выходами:

а) был собран линейный стробируемый дешифратор на элементах  $\geq$  И-НЕ; наборы входных адресных сигналов  $A_0, A_1$  заданы с выходов аналога счётчика; подключены световые индикаторы к выходам аналога счётчика и к выходам дешифратора. Результаты представлены в приложении на рисунке 1;

б) подать на вход сигнал с выхода кнопки (Switch) лог. 0 и 1, как генератора одиночных импульсов; изменить состояние счётчика с помощью кнопки, составить таблицу истинности нестробируемого дешифратора (т.е. при  $EN=1$ ). Таблица представлена в приложении в таблице 3;

в) подать на вход сигнал генератора и снять временные диаграммы сигналов дешифратора.

Результаты представлены в Приложении на рисунке 2 и рисунке 3.

г) определить амплитуду помех, вызванных помехами, на выходах дешифратора

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

е) Результаты представлены на рисунке 4 в Приложении и на рисунке 5.

2) определить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных помехами

Результаты представлены на рисунке 6 в Приложении.

2) Исследование дешифратора 74LS155

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы  $Q_0$  и  $Q_1$  выходов счётчика, а на стробирующие входы  $\bar{E}_3$  и  $\bar{E}_4$  — импульсы генератора.

Результаты представлены на рисунках 7 и 8 в Приложении.



б) определить время задержки срабатывающего сигнала, необходимое для возникновения помех на выходах дешифратора;

Задержка нм

в) собрать схему трёхвходового дешифратора на основе дешифратора 74LS155, задавая входные сигналы  $A_0, A_1, A_2$  с выходов  $Q_0, Q_1, Q_2$  счётчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Результаты представлены в Приложении на рисунках 9 и 10, таблице 4

3) Исследование дешифраторов 74LS139, аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 ( $V1A$  и  $V2B$ ) с раздельными адресными входами и разрешения. Входы разрешения — инверсные. Так как каждый дешифратор имеет один вход разрешения, но для образования двух инверсных входов, необходимо перед входом разрешения включить двухвходовой И.

Результаты представлены в Приложении на рисунках 11 и 12, таблице 5

4) Исследовать работоспособность дешифратора 74LS138

а) снять временные диаграммы сигналов срабатывающего дешифратора DC 3-8 74LS138, подавая на его адресные входы 1, 2, 4 сигналы  $Q_0, Q_1, Q_2$  с выходов счётчика, а на входы разрешения  $E_1, E_2, E_3$  — сигналы лог. 1, 0, 0 соответственно.

Результаты представлены в Приложении на рисунках 13 и 14.

б) собрать схему дешифратора DC 5-32, согласно методике караванения типа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы  $Q_0, Q_1, Q_2, Q_3, Q_4$  с выходов 5-разрядного счётчика, а на входы разрешения — импульсы генератора, задержанные микросекундами задержки.

Результаты представлены в Приложении на рисунках 15, 16, 17.



# Применение

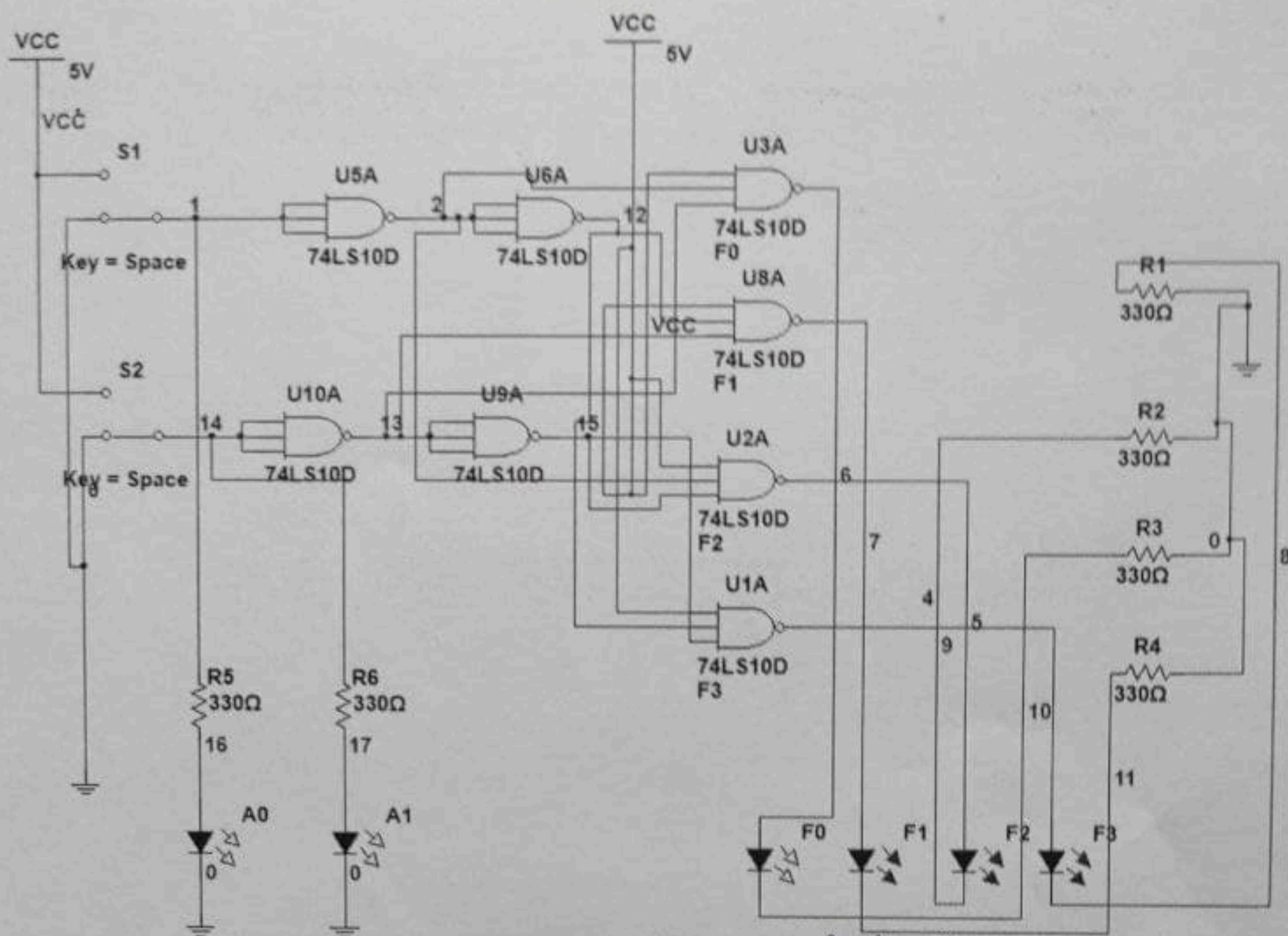


Рисунок 1 – Импульсный стробирующий двухразрядный генератор

Таблица истинности генератора

A0	A1	F0	F1	F2	F3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Таблица 3

В таблице 3 представлена таблица истинности двухразрядного генератора, на вход которого подаётся сигнал с выхода кнопа (Switch) *Key = Space*, как реператора основных импульсов



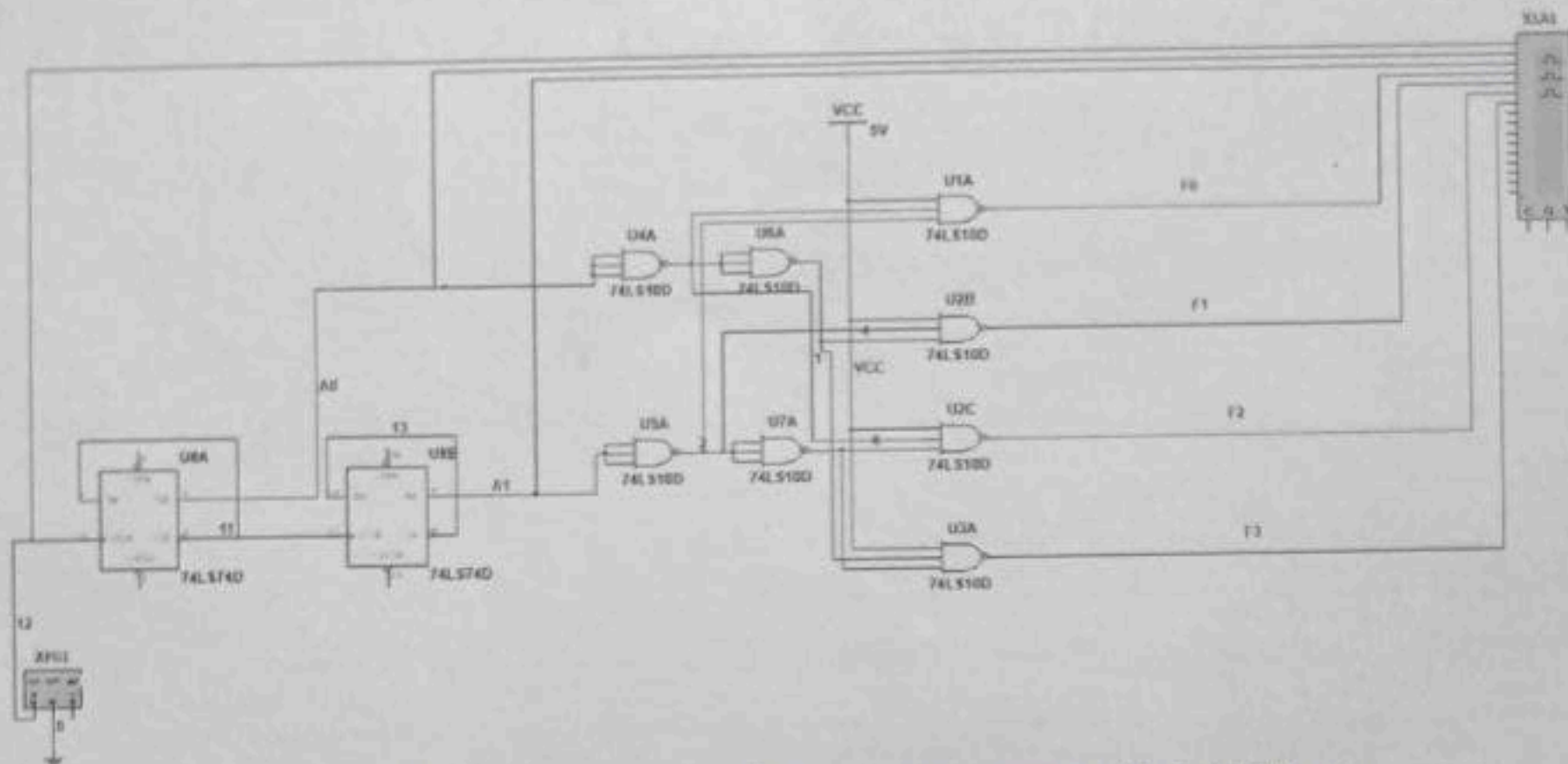


Рисунок 2 — Схема трибитового сумматора с переносом на вход генератора

Logic Analyzer-XLA1

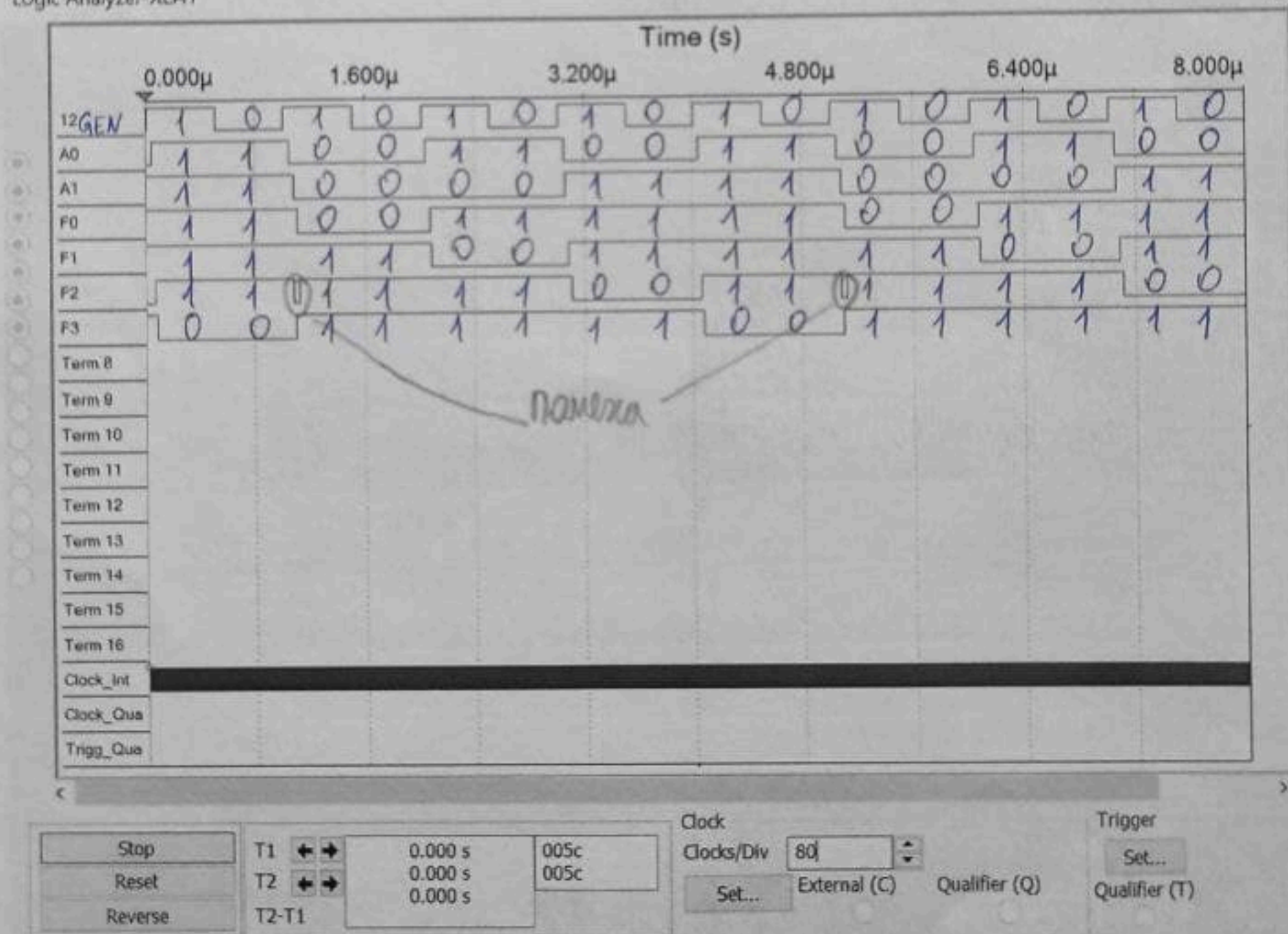


Рисунок 3 — Временные диаграммы сигналов генератора







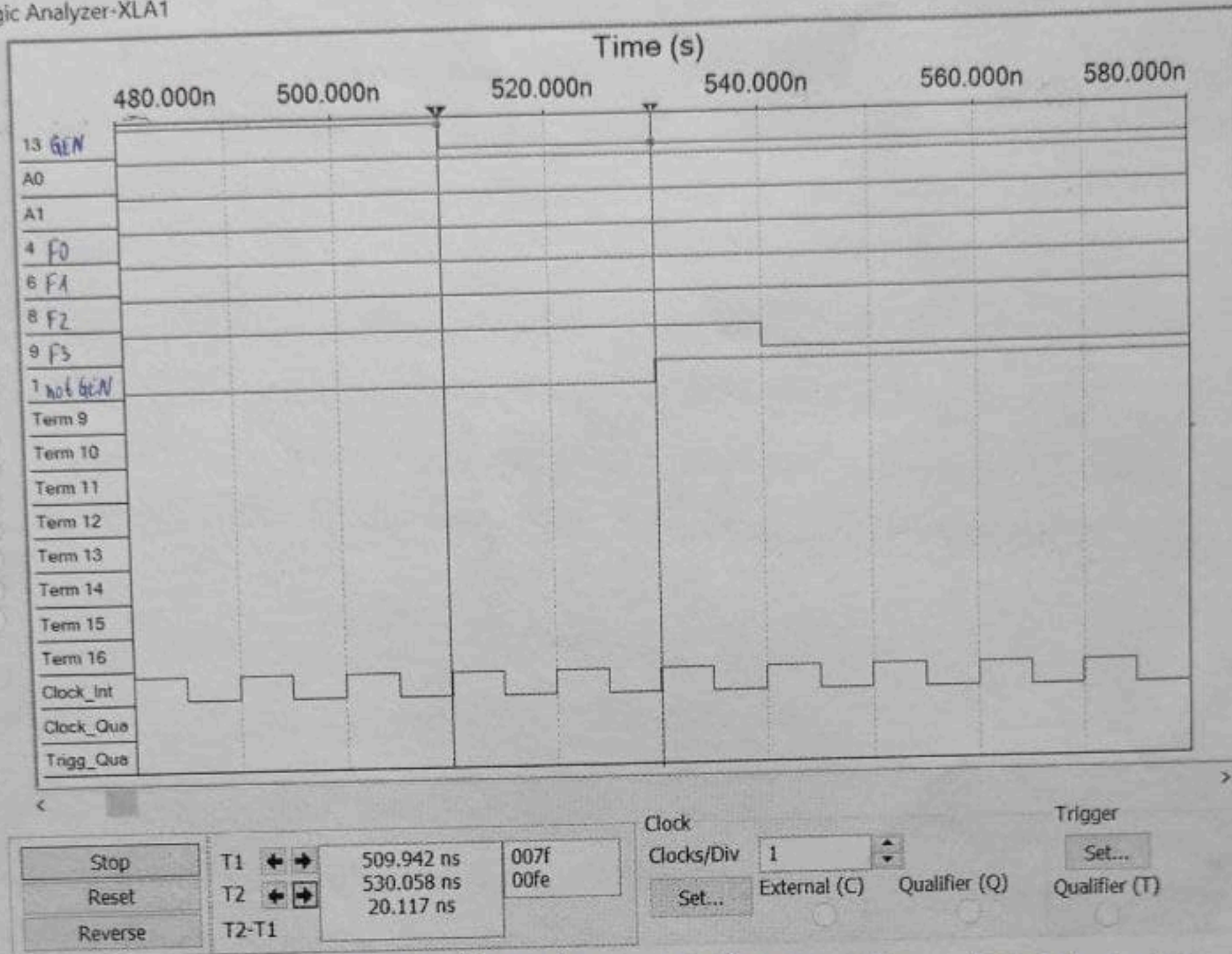


Рисунок 6 – Определенные времена задержки на генерацию  
задержки равна  $20,117 \text{ нс} \approx 20 \text{ нс}$

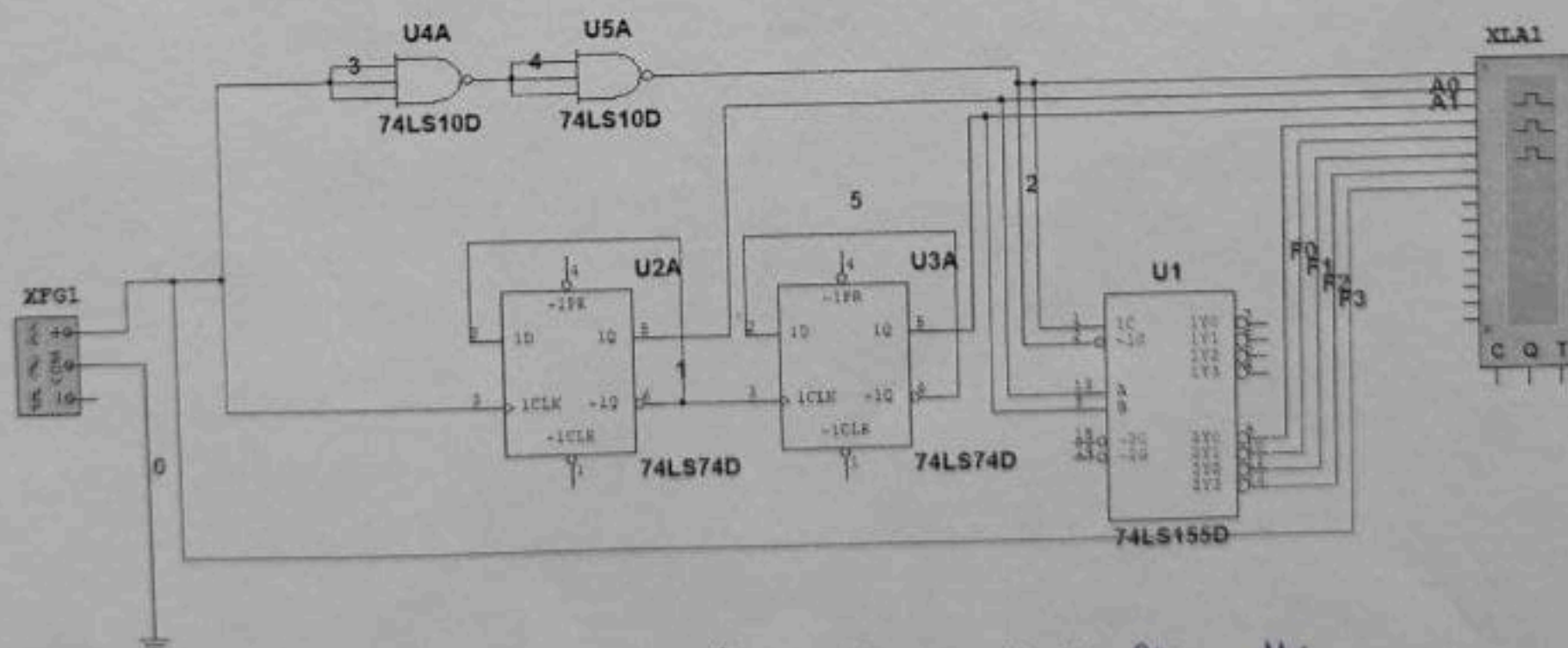


Рисунок 7 – Схема цифрового генератора задержки на основе 74LS155D



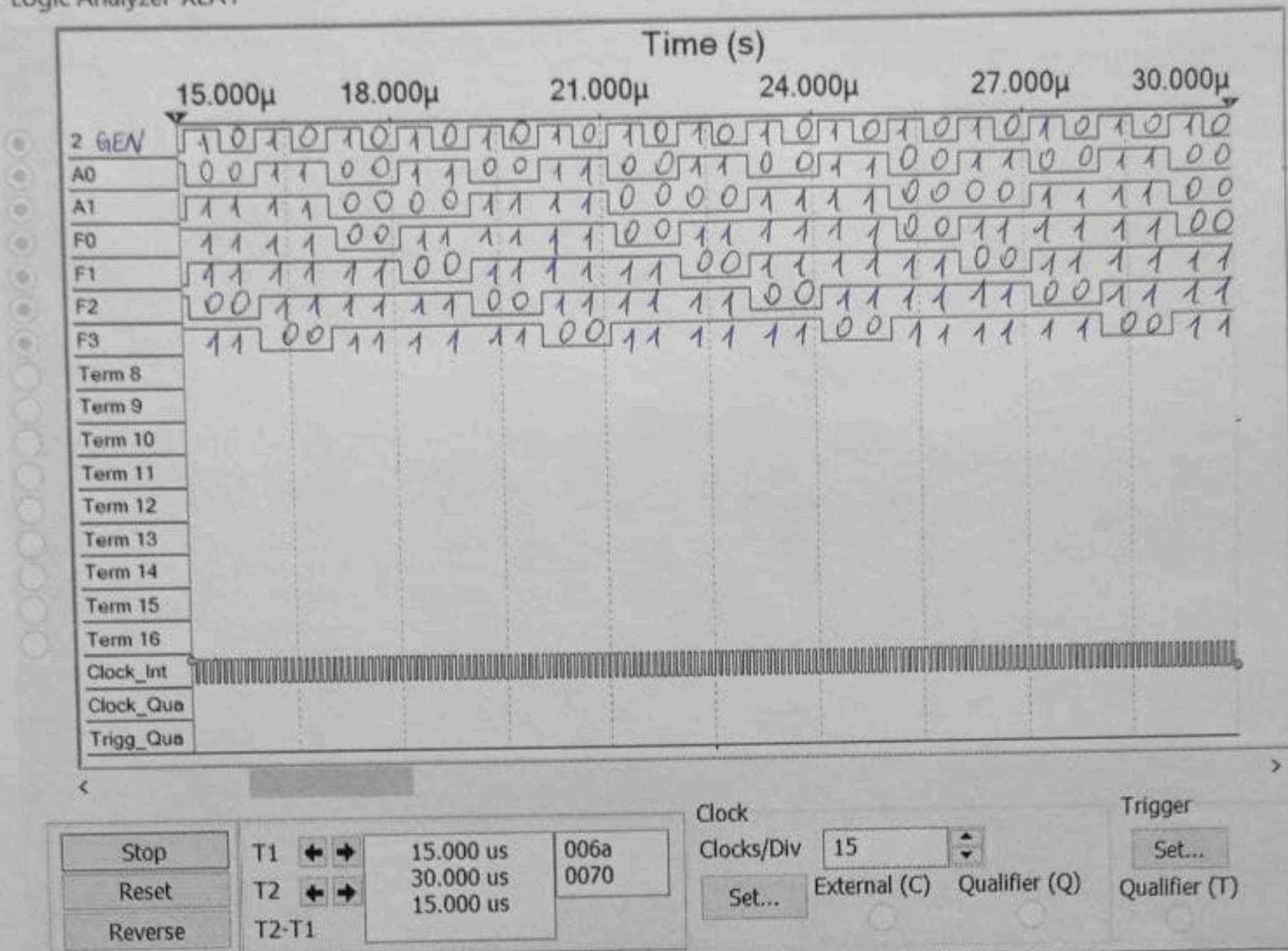


Рисунок 6 - Временная диаграмма трехбитового генератора

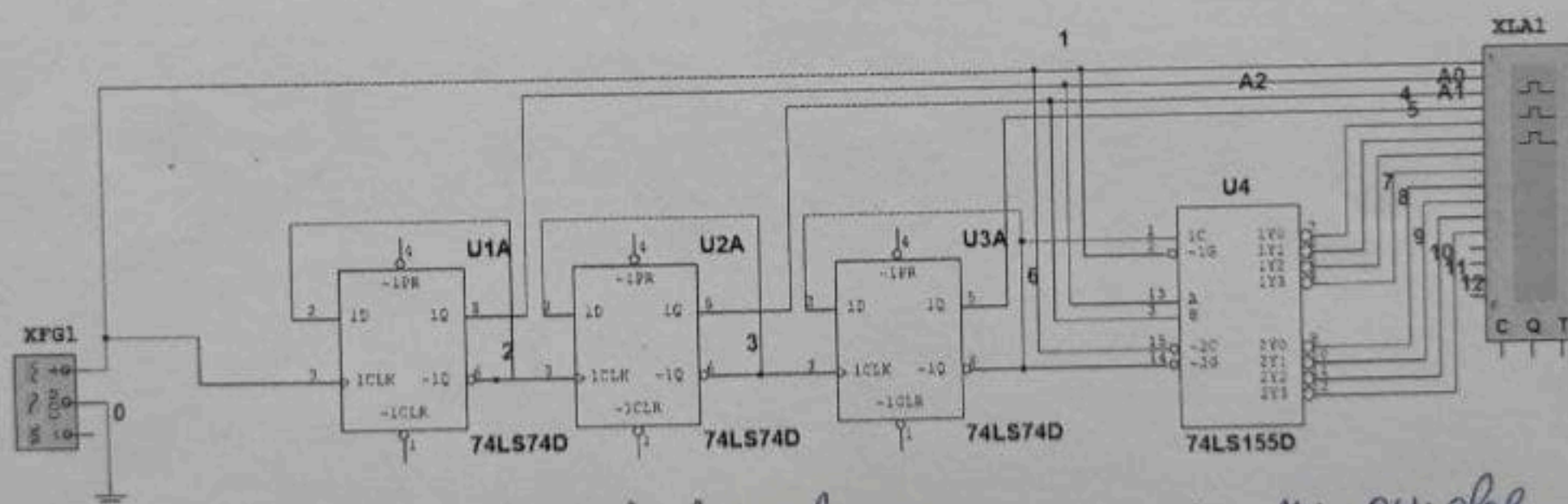
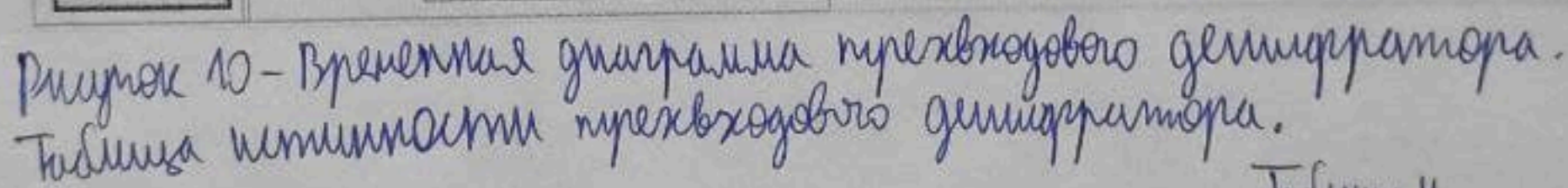


Рисунок 9 - Схема трехбитового генератора на основе генератора 74LS155



[illegible]



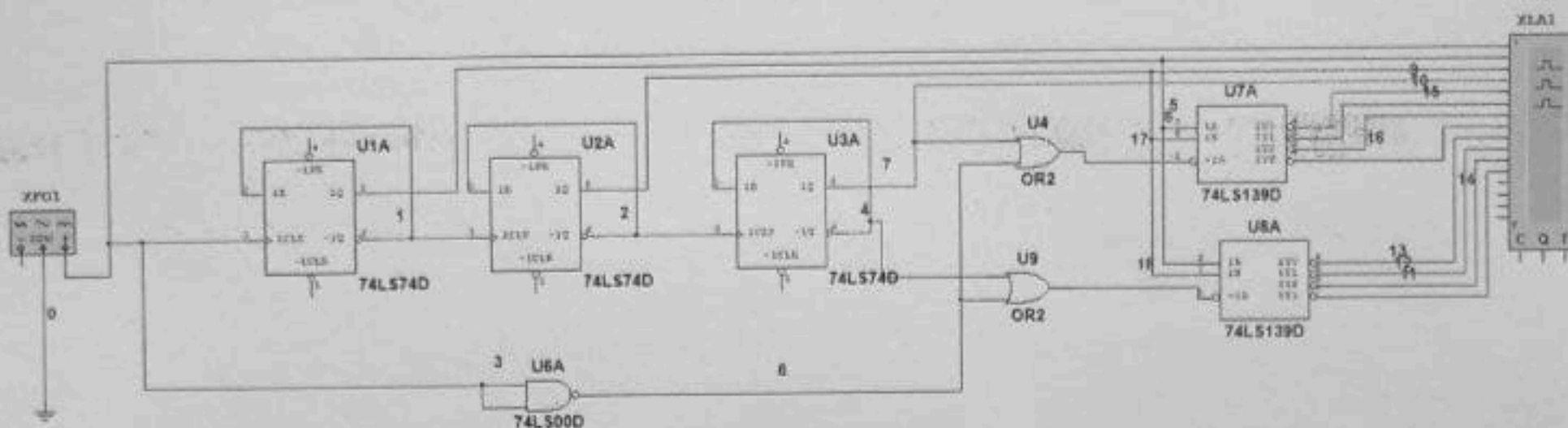


Рисунок 11 - Схема с двумя генераторами DC2-4

Logic Analyzer-XLA1

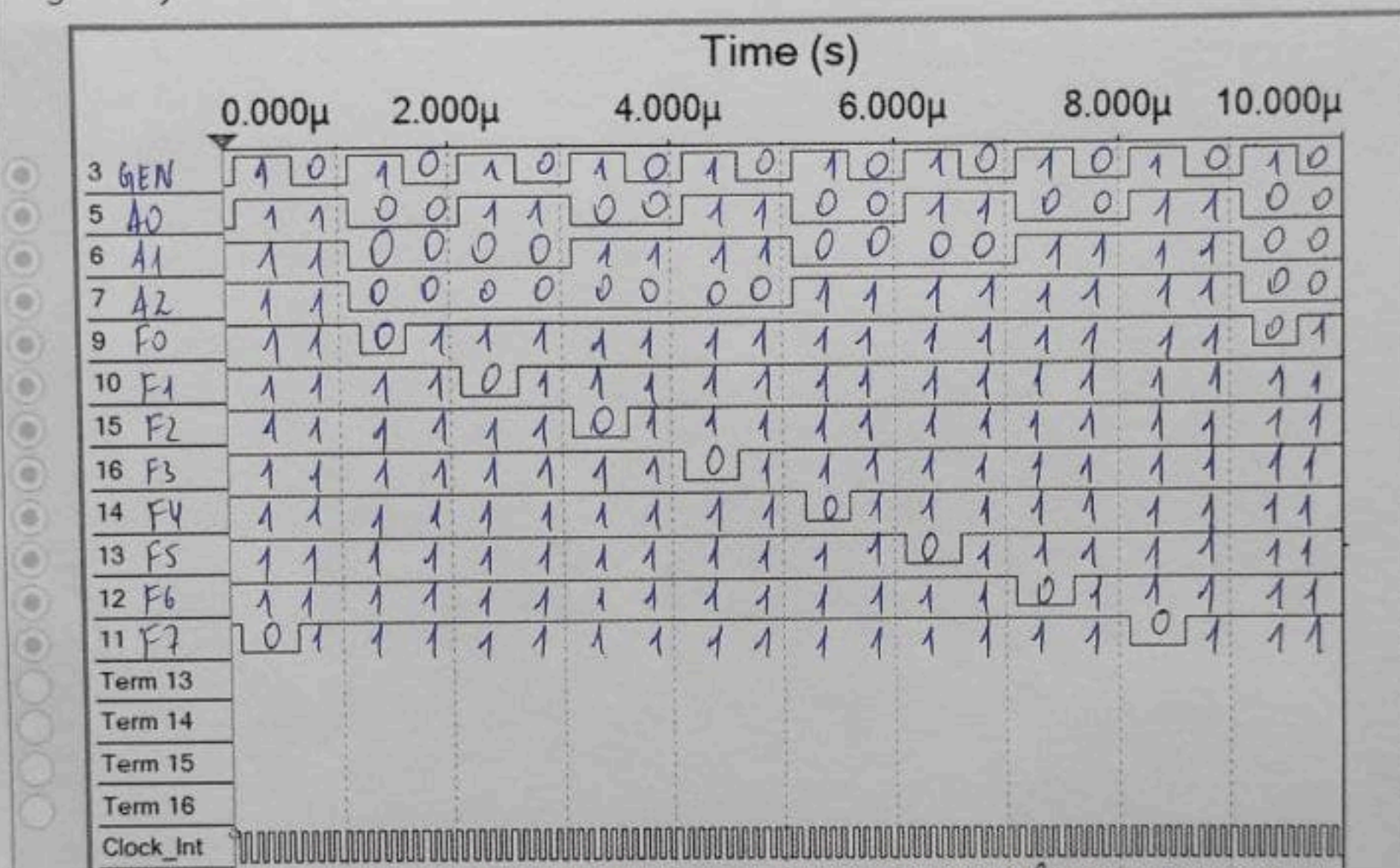


Рисунок 12 - Временная диаграмма схемы с двумя DC2-4  
Таблица истинности схемы с двумя генераторами DC2-4.

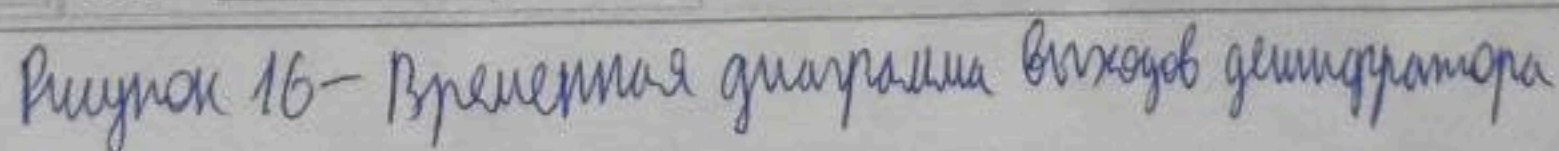
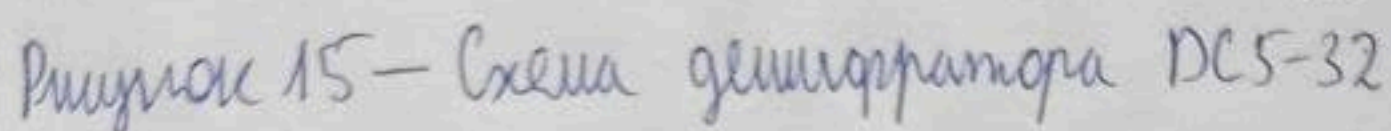
A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>	F <sub>4</sub>	F <sub>5</sub>	F <sub>6</sub>	F <sub>7</sub>
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Таблица 5











## Комбинаторные функции

1) Что называется дешифратором?

Это комбинаторный узел с  $n$  входами и  $N$  выходами, который преобразует каждый набор двоичных входных сигналов в активный сигнал на выходе, который соответствует этому набору.

2) Какой дешифратор называется полным (неполным)?

Полный дешифратор — это дешифратор, имеющий  $n$  входов и  $2^n$  выходов. Если количество выходов меньше, то это неполный дешифратор.

3) Определите закон функционирования дешифратора аналитически и таблицей.

Аналитически:

$$F_0 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_1} \cdot \overline{A_0}$$

$$F_1 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_1} \cdot A_0$$

$$F_2 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot A_1 \cdot \overline{A_0}$$

$$\dots$$

$$F_{n-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot \overline{A_1} \cdot \overline{A_0}$$

$$F_{n-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot A_0$$

$F_i$  — выходной сигнал дешифратора  
 $A_i$  — входной сигнал дешифратора.

Приведем таблицей описание закона функционирования дешифратора на основе дешифратора ДС 2-4

Входы			Выходы			
EN	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$
0	x	x	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

4) Перечислите основные способы построения дешифраторов  
 Дешифраторы делятся на линейные и каскадные, которые в свою очередь делятся на пирамидальные и ступенчатые.

Линейные строятся в соответствии с симметричной функцией и представляют собой  $2^n$  конъюнкторов или ЛЭ ИЛИ-НЕ с  $n$ -входами каждый (или  $1/n$ ), если есть структурирование).

Пирамидальные строятся на основе последовательной (каскадной) реализации выходных функций.

Ступенчатые — для наращивания разрядности дешифраторов используются несколько линейных, на каждом из которых дешифруется группа разрядов входного кода.



5) Что называется помехой и как устраняются ложные сигналы, вызванные помехой?

Вследствие переходных процессов и временных задержек сигналов в цепях АЭ могут возникнуть явления, называемые помехой (испугами), приводящие к появлению ложных сигналов на выходах схемы. Устранить помеху позволяет стробирование — выделение из информационного сигнала той части, которая свободна от искажений (пульс)

6) Какие способы парализации дешифраторов по количеству входов и выходов и как они реализуются схематически?

Для парализации дешифраторов строят сложный дешифратор  $DC\ n-N$ , построенный из простых дешифраторов  $DC\ n_1-N_1$ . Из  $n_k \leq n \Rightarrow N_1 \leq N$

Число каскадов  $K = \frac{n}{n_1}$ , число простых дешифраторов  $DC$  в выходном каскаде:  $\frac{N}{N_1}$ , в промежуточном  $\frac{N}{N_2}$ , во входном  $\frac{N}{N_K}$

В выходном каскаде дешифруются  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифруются группа старших разрядов адреса.

Выходы дешифраторов промежуточного каскада соединяются со входами разрядов простых дешифраторов выходного каскада и т.д.



## Вывод

В ходе выполнения лабораторной работы были изучены принципы и особенности построения схем генераторов; возможности линейных и нелинейных генераторов, способы управления полем на выходе генератора, возникающих искажениях; развиты навыки моделирования.



## Список литературы

1. Методические указания по выполнению лабораторной работы по схемотехнике „Работа №3. Изготовление генераторов“.