



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА **КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.03 Прикладная информатика**

О Т Ч Е Т

по лабораторной работе № 1

Название: Дешифраторы

Дисциплина: Схемотехника

Студент

ИУ6-55Б

(Группа)

(Подпись, дата)

Ф.С. Тихомиров

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

Б.К. Аристов

(И.О. Фамилия)

Москва, 2021

Содержание

1. Введение
 - 1.1 Цель работы
2. Теоретические сведения
3. Практическая часть
 - 3.1 Задание 1
 - 3.2 Задание 2
 - 3.3 Задание 3
 - 3.4 Задание 4
4. Приложение
5. Контрольные вопросы
6. Вывод
7. Список литературы

1. Введение
Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Продолжительность работы — 4 часа.

2. Теоретические сведения.

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

Количество выходов дешифратора равно числу разрешенных наборов входных сигналов. В дешифраторе с n входами и N выходами $N \leq 2^n$. Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов — неполным. Наборам двоичных входных сигналов дешифратора можно поставить в соответствие n -разрядные двоичные числа. Если выходы дешифратора обозначить F_j ($j = 0, 2^n - 1$), то активный сигнал появится на том выходе, у которого значение индекса j , т.е. номер выхода, равно двоичному числу, образованному набором входных сигналов. Таким образом, дешифратор реализовывает подстановку на его входы двоичный код числа и формирует активный сигнал только на соответствующем выходе, на всех остальных выходах дешифратора сигналы неактивны. Поэтому дешифратор является преобразователем двоичного кода в код "1 из N ". Дешифратор с n входами и N выходами обозначается DC $n-N$, где DC — decoder.

В ЭВМ дешифраторы применяются для преобразования кодов операций в управляющие сигналы в соответствующие цепи, для преобразования адресов элементов памяти в сигналы выбора элементов при записи и считывании информации из них, для преобразования номеров (адресов) каналов в многоканальных коммутаторах электрическим сигналам в сигналы выбора каналов, для управления световыми индикаторами.

Функционирование дешифратора DC $n-N$ определяется таблицей истинности.

Схема построения дешифратора.

Каждая функция F_j в (1) представляет собой конституенту единицы или универсальную конституенту нуля с соответствующим номером. Поэтому логические функции (1) можно записать в виде:

$$F_j = \overline{E}N \cdot m_j = \overline{E}N \vee M_j,$$

$$j = \overline{0, N-1},$$

где m_j - конституента единицы, M_j - конституента нуля, j - номер набора, на котором m_j равна единице, а M_j - нулю.

Дешифратор может применяться:

- в качестве собственно дешифратора,
- как дециматизатор при наличии входа разрешения,
- для формирования функций алгебры логики.

Входы разрешения служат:

- для временного выделения (спробирования) той части выходного сигнала, которая не имеет искажений, вызванных помехами входных сигналов;
- для выполнения функции дециматизирования;
- для параметризации разрядности дешифратора, т.е. увеличения числа адресных входов и соответственно выходов.

Параметры дешифратора

К основным параметрам дешифратора относят:

- количество входов, определяемое разрядностью преобразуемого двоичного кода;
- количество выходов;
- статические параметры, такие, как входные и выходные токи и напряжения логических "0" и "1", напряжения дефицитных статических помех $V_{ном}^0$, $V_{ном}^1$, коэффициент разветвления по выходу $K_{раз}$ и др., которые определяются аналогичными параметрами логических элементов, на которых он строится;
- потребляемая мощность $P_{ном}$ (или ток $I_{ном}$);
- динамические параметры: времена задержки распространения сигнала при включении и выключении, характеризующие быстродействие дешифратора.

Схемы построения дешифратора.

По способу построения, дешифраторы разделяют на:

- линейные;
- каскадные:
 - а) пирамидальные;
 - б) ступенчатые.

Линейный дешифратор

Линейный дешифратор строится в соответствии с системой функций (1) и представляет собой 2^n комбинаторов или логических элементов ИЛИ-НЕ с n -входами каждый при оптимальном способе разбития и с $(n+1)$ входами — при его наличии. Линейный дешифратор на 2 входа работает в соответствии с таблицей истинности.

Таблица истинности дешифратора DC 3-В

Таблица 2.

Входы				Выходы							
EN	A ₂	A ₁	A ₀	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	x	x	x	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

Дешифратор DC 3-В реализует логическую функцию $F_j = EN \cdot m_j = \overline{EN} \vee \overline{m_j}$, $j = 0, 7$

В данном дешифраторе каждый набор входных сигналов преобразуется в сигнал 1 на соответствующем выходе. При этом на остальных выходах действуют сигналы 0. Такой дешифратор называется дешифратором с прямыми выходами.

При построении дешифратора на элементах И-НЕ реализуется система функций $F_j = \overline{E}N \cdot m_j = \overline{E}N \vee M_j, j=0,7$

Такой дешифратор называется дешифратором с инверсным выходом. На выходах дешифратора формируется инверсия функций F_j , то есть активным уровнем выхода будет низкий уровень сигнала.

В линейном дешифраторе время задержки распространения сигнала от адресного или strobing-выхода до выхода равно времени задержки распространения сигнала в цепи последовательно включенных элементов И (И-НЕ) и инверторов:

$$t_{\text{з.р.ф}} = 2t_{\text{з.р.ф1}} + t_{\text{з.р.ф2}},$$

где $t_{\text{з.р.ф1}}, t_{\text{з.р.ф2}}$ — среднее время задержки распространения сигнала в инверторе и конъюнкторе соответственно.

Пирамидальный дешифратор.

Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций.

На первом этапе реализуются конъюнкции двух переменных:

$$\overline{A_1} \overline{A_0}, \overline{A_1} A_0, A_1 \overline{A_0}, A_1 A_0$$

На втором этапе все конъюнкции трех переменных умножаются на конъюнкции двух переменных на $A_2 (\overline{A_2})$

$$\overline{A_2} \overline{A_1} \overline{A_0}, \overline{A_2} \overline{A_1} A_0, \overline{A_2} A_1 \overline{A_0}, \overline{A_2} A_1 A_0,$$

$$A_2 \overline{A_1} \overline{A_0}, A_2 \overline{A_1} A_0, A_2 A_1 \overline{A_0}, A_2 A_1 A_0$$

На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на $A_3 (\overline{A_3})$. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальный дешифратор независимо от числа их входов строится на основе только двухвходовых конъюнкторов.

Число каскадов пирамидального дешифратора равно $n-1$, время задержки распространения сигналов в дешифраторе увеличивается пропорционально числу каскадов. Поэтому в настоящее время пирамидальные дешифраторы не применяются. Однако принцип пирамидирования развит и используется в каскадной схеме соединения дешифраторов.

В каждом каскаде происходит наращивание не на один адресный разряд, как в пирамидальном дешифраторе, а на несколько, число которых равно числу адресных разрядов простого дешифратора, на основе которого строится дешифратор с необходимым числом адресных входов, который и будет сложным дешифратором. При наращивании числовых входов разрядности простых дешифраторов.

Устранение помех в дешифраторах.

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые помехи (бистабильность), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить помехи, является стробирование (выделение из информации сигнала той части, которая свободна от помех, вызываемых помехами). Стробированный сигнал на ~~выходе~~ входе разрядности EN не должен быть активным во время переходных процессов в дешифраторе. Стробированный вход используется также для наращивания дешифратора.

3. Практическая часть

1) Исследование линейного двухвходового дешифратора с инверсными выходами:

а) был собран линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A_0, A_1 заданы с выходов аналога счётчика; подключены световые индикаторы к выходам аналога счётчика и к выходам дешифратора. Результаты представлены в приложении на рисунке 1;

б) подать на вход сигнал с выхода кнопки (Switch) лог. 0 и 1, как генератора одиночных импульсов; изменяя состояние счётчика с помощью кнопки, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$). Таблица представлена в приложении в таблице 3;

в) подать на вход сигнал генератора и снять временные диаграммы сигналов дешифратора.

Результаты представлены в Приложении на рисунке 2 и рисунке 3.

2) Определить амплитуду помех, возникающих логикой, на выходах дешифратора

г) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

Результаты представлены на рисунке 4 в Приложении и на рисунке 5.

е) определить время задержки, необходимое для исключения помех на выходах дешифратора, возникающих логикой

Результаты представлены на рисунке 6 в Приложении.

2) Исследование дешифратора 74LS155

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счётчика, а на стробирующие входы \bar{E}_3 и \bar{E}_4 — импульсы генератора.

Результаты представлены на рисунках 7 и 8 в Приложении.

б) определить время задержки спроворужающего сигнала, необходимое для включения помех на выходах дешифратора;

Задержек нет

в) собрать схему трёхвходового дешифратора на основе дешифратора 74LS155, задавая входные сигналы A_0, A_1, A_2 с выходов Q_0, Q_1, Q_2 счётчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Результаты представлены в Приложении на рисунках 9 и 10, таблице 4

3) Исследование дешифраторов 74LS139, аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 ($V1A$ и $V2B$) с раздельными адресными входами и разрешения. Входы разрешения — инверсные. Так как каждый дешифратор имеет один вход разрешения, но для образования двух инверсных входов, необходимо перед входом разрешения включить двухвходовой И.

Результаты представлены в Приложении на рисунках 11 и 12, таблице 5

4) Исследовать работоспособность дешифратора 74LS138

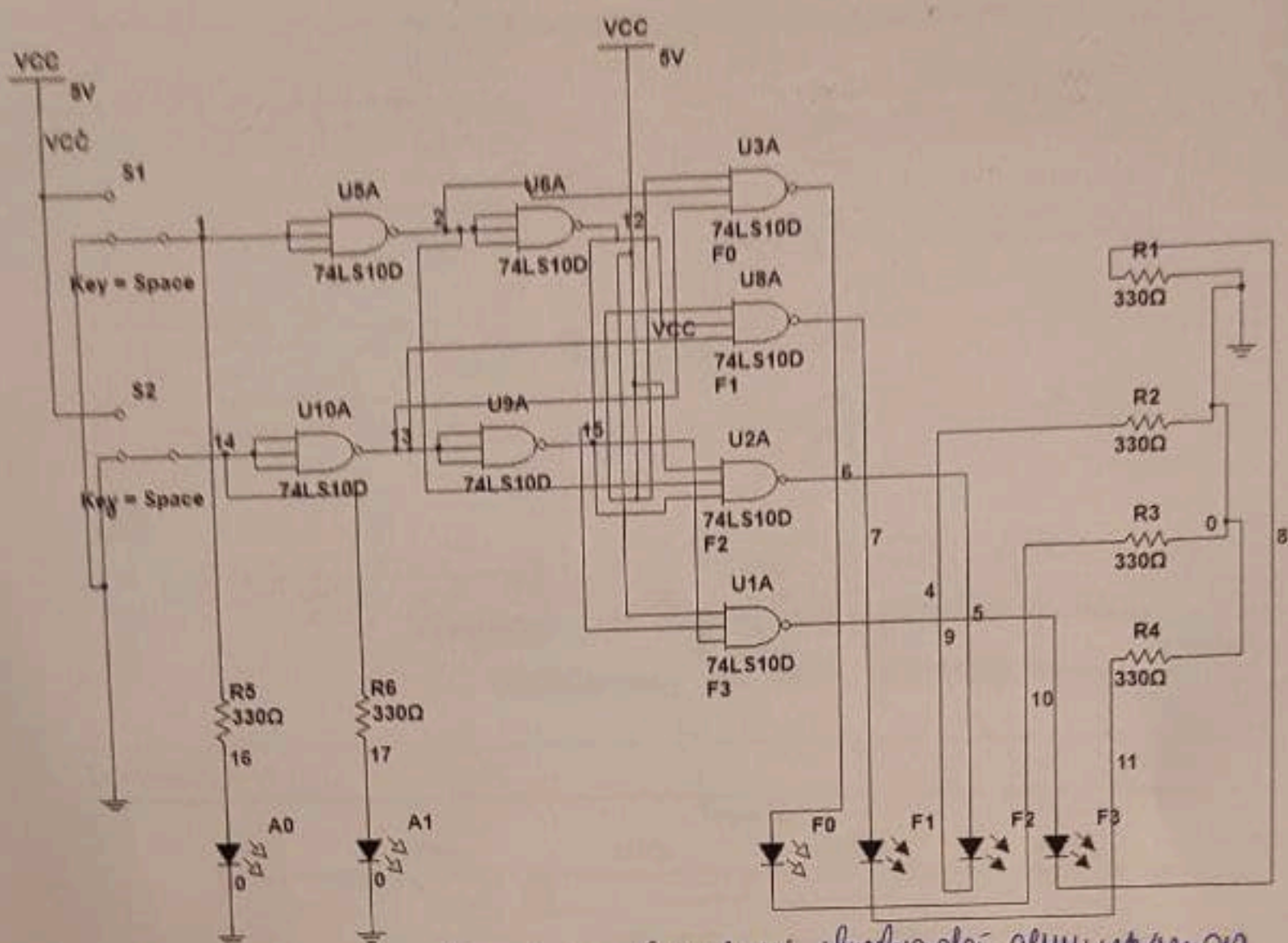
а) снять временные диаграммы сигналов неспроворуженного дешифратора DC 3-8 74LS138, подавая на его адресные входы 1, 2, 4 сигналы Q_0, Q_1, Q_2 с выходов счётчика, а на входы разрешения E_1, E_2, E_3 — сигналы 1, 0, 0 соответственно.

Результаты представлены в Приложении на рисунках 13 и 14.

б) собрать схему дешифратора DC 5-32, согласно методике каравивания типа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигнала Q_0, Q_1, Q_2, Q_3, Q_4 с выходов 5-разрядного счётчика, а на входы разрешения — импульсы генератора, задержанные микросекунды задержки.

Результаты представлены в Приложении на рисунках 15, 16, 17.

Применение



Рисунки 1 - линейный триггерный двухканальный генератор

Таблица истинности генератора

A0	A1	F0	F1	F2	F3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

В таблице 3 представлена таблица истинности двухканального генератора, на вход которого подаётся сигнал с выхода кнопа (Switch) и Out, как генератора одиночных импульсов

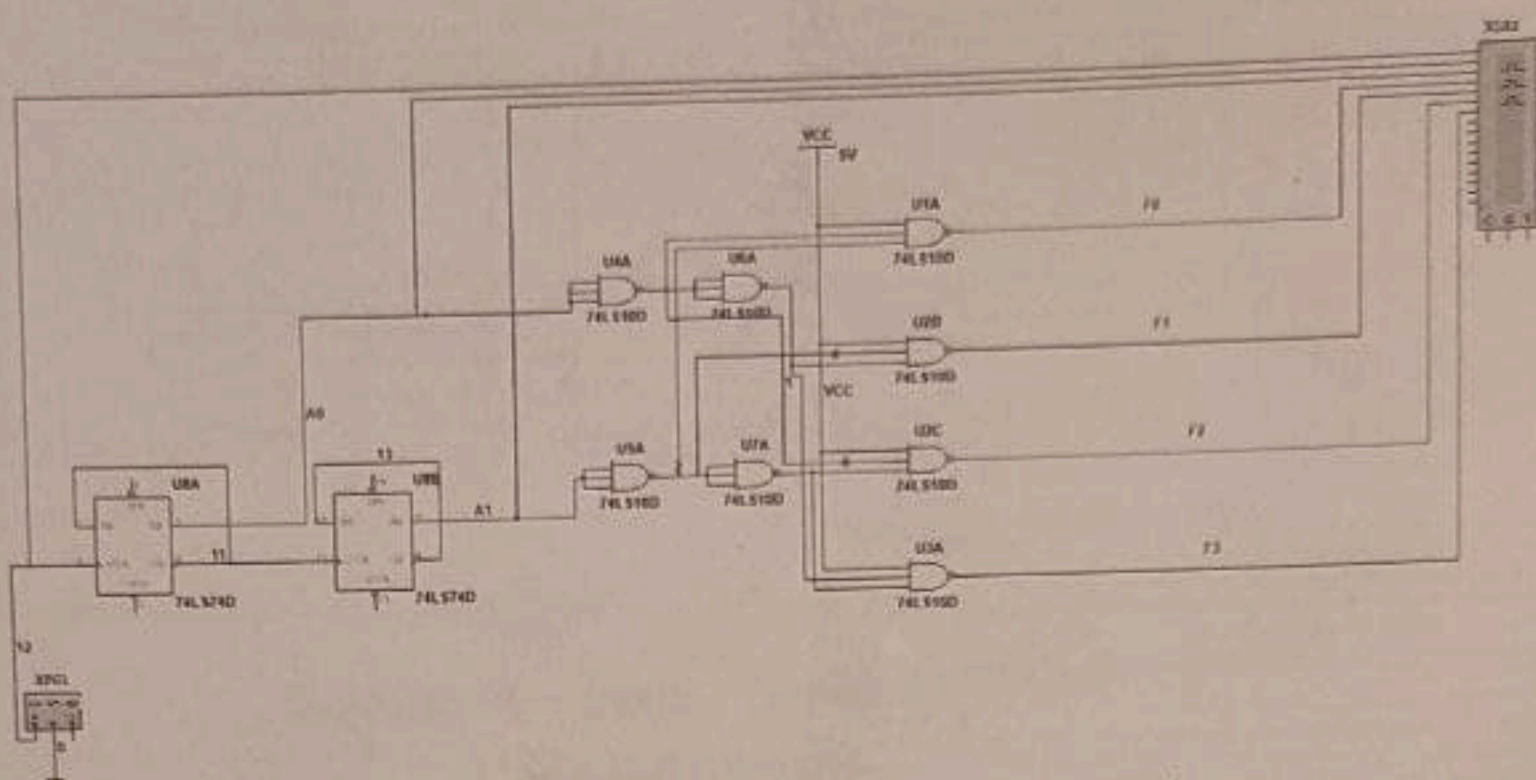


Рисунок 2 — Схема преобразования сигнала с генератора на вход генератора

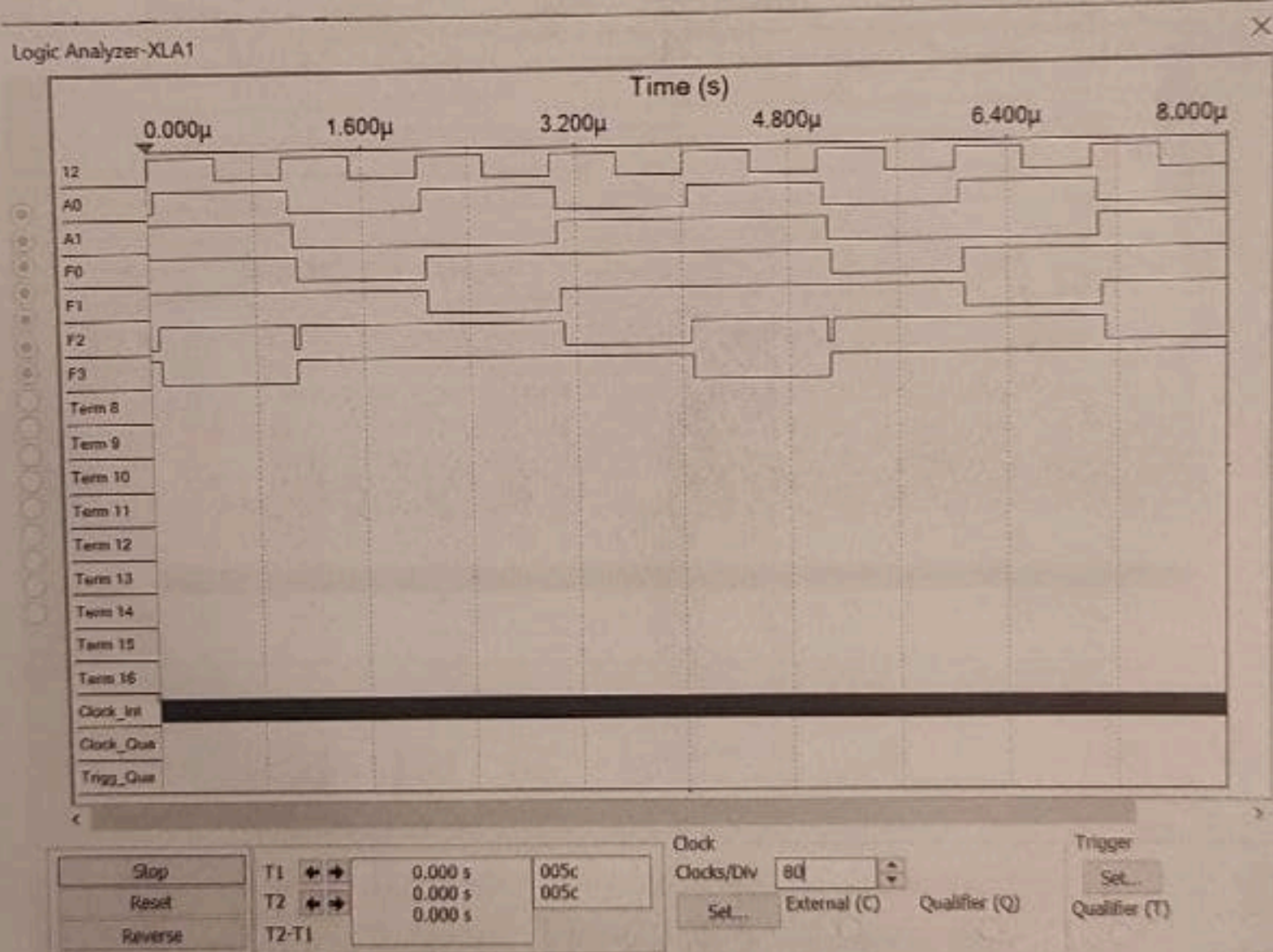


Рисунок 3 — Временные диаграммы сигналов генератора

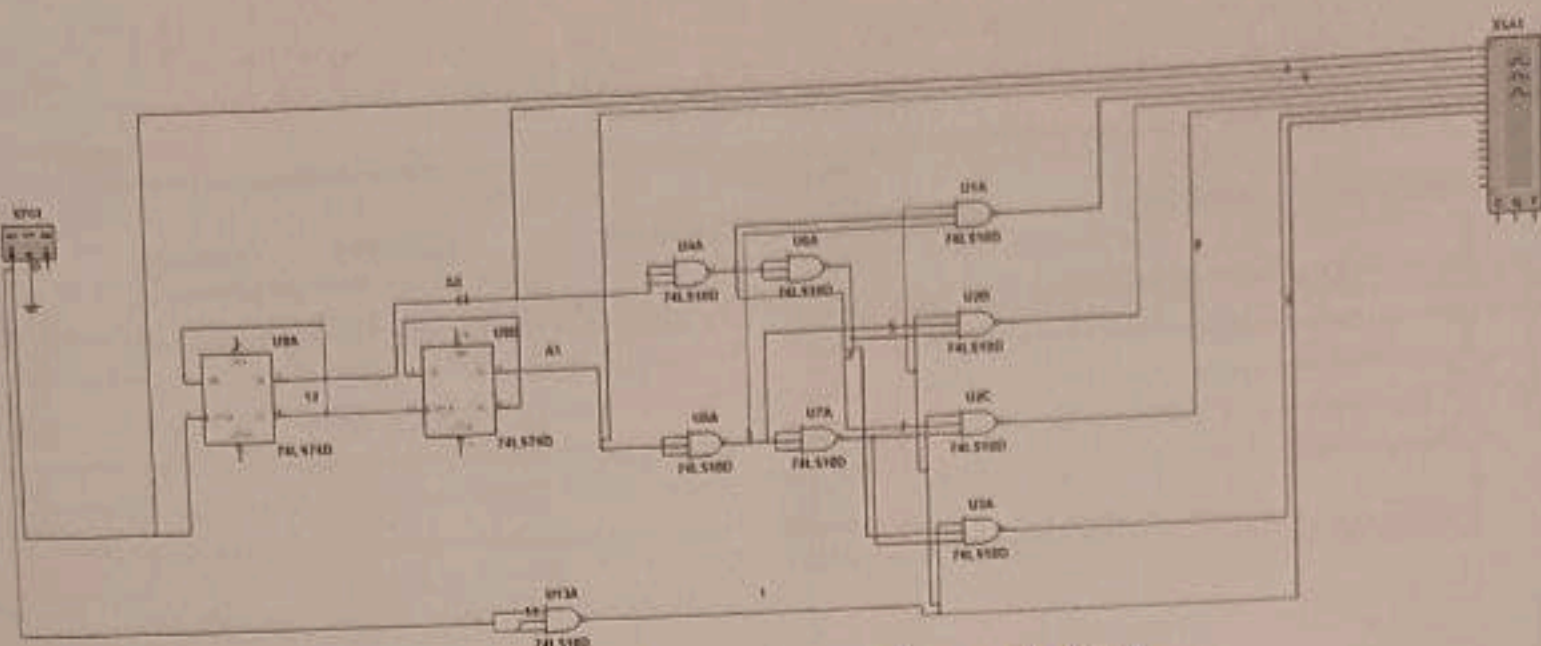


Рисунок 4 - Схема стробирующего генератора

Logic Analyzer-XLA1

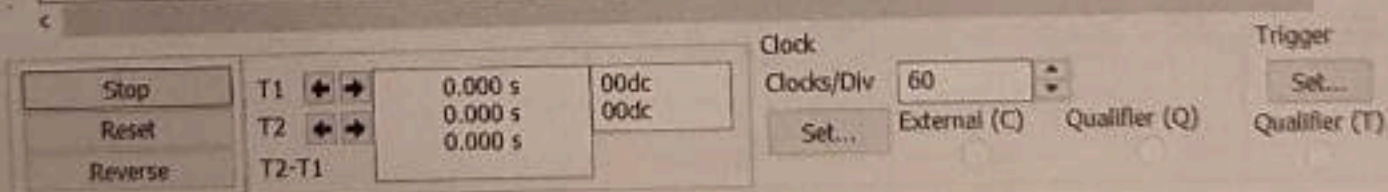
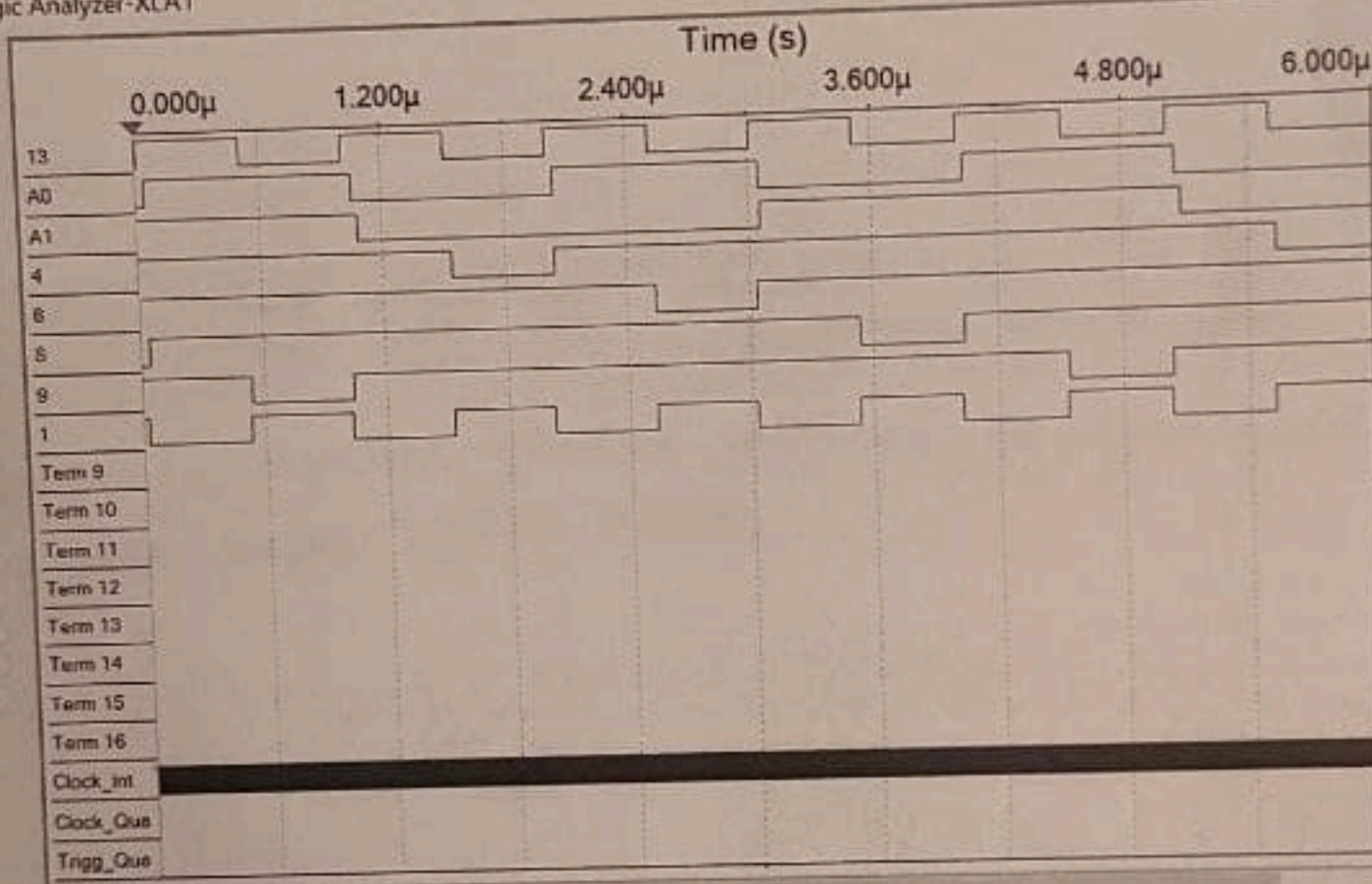


Рисунок 5 - Временная диаграмма сигналов стробирующего генератора

В качестве стробирующего сигнала был использован инверсный сигнал генератора.

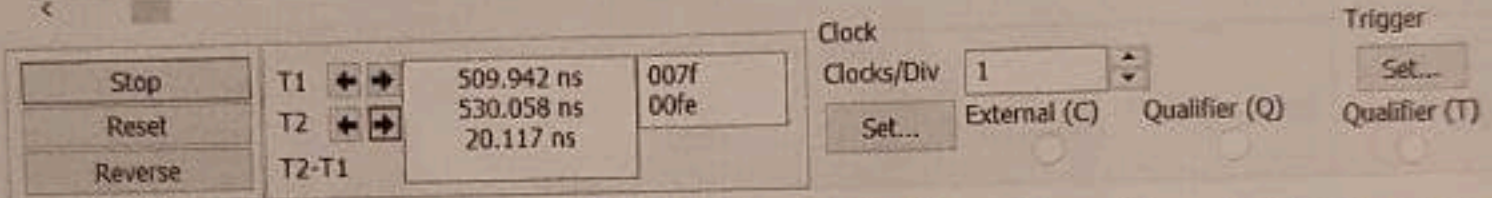
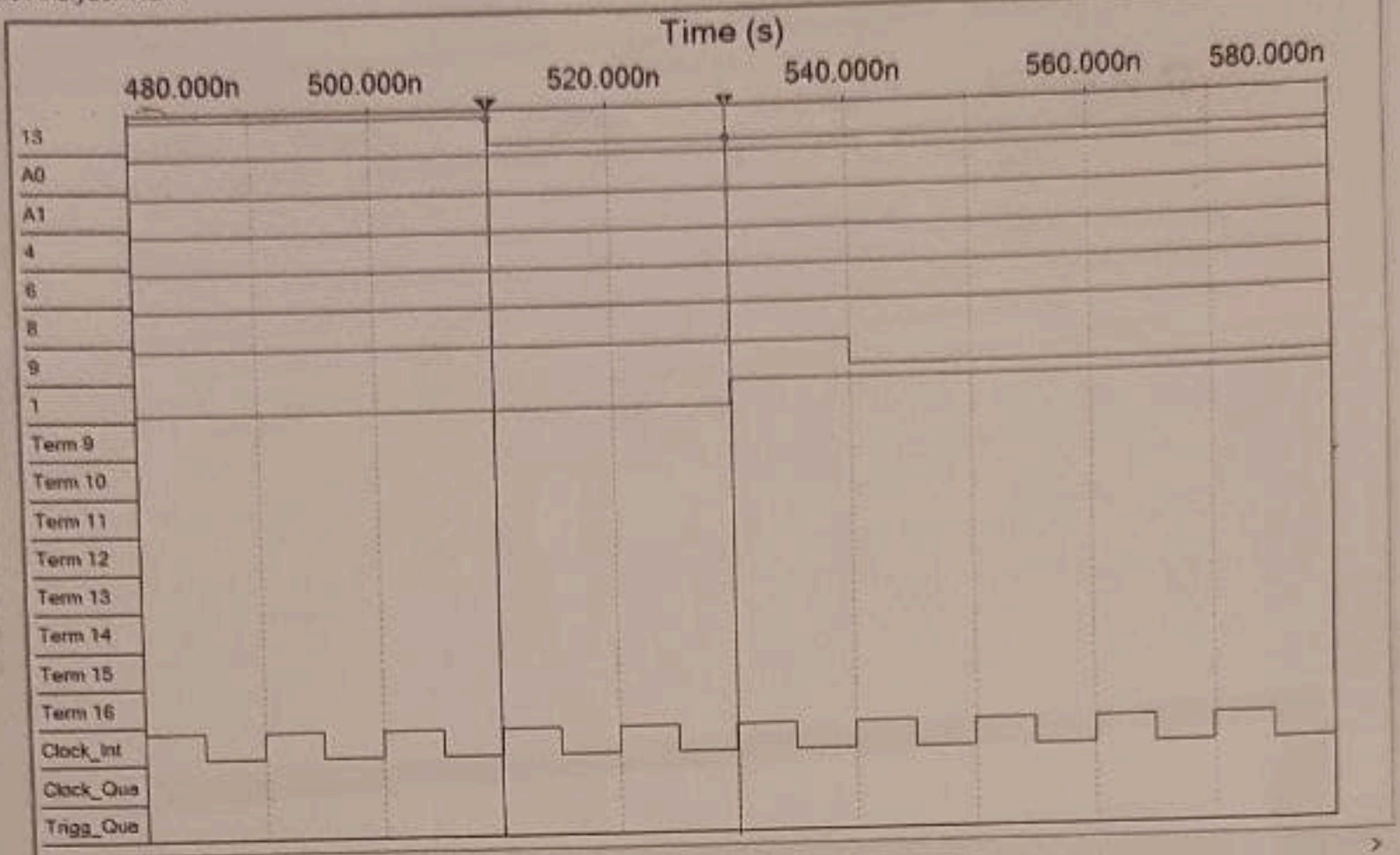


Рисунок 6 – Определение времени задержки на генерацию
Задержка равна $20,117 \text{ нс} \approx 20 \text{ нс}$

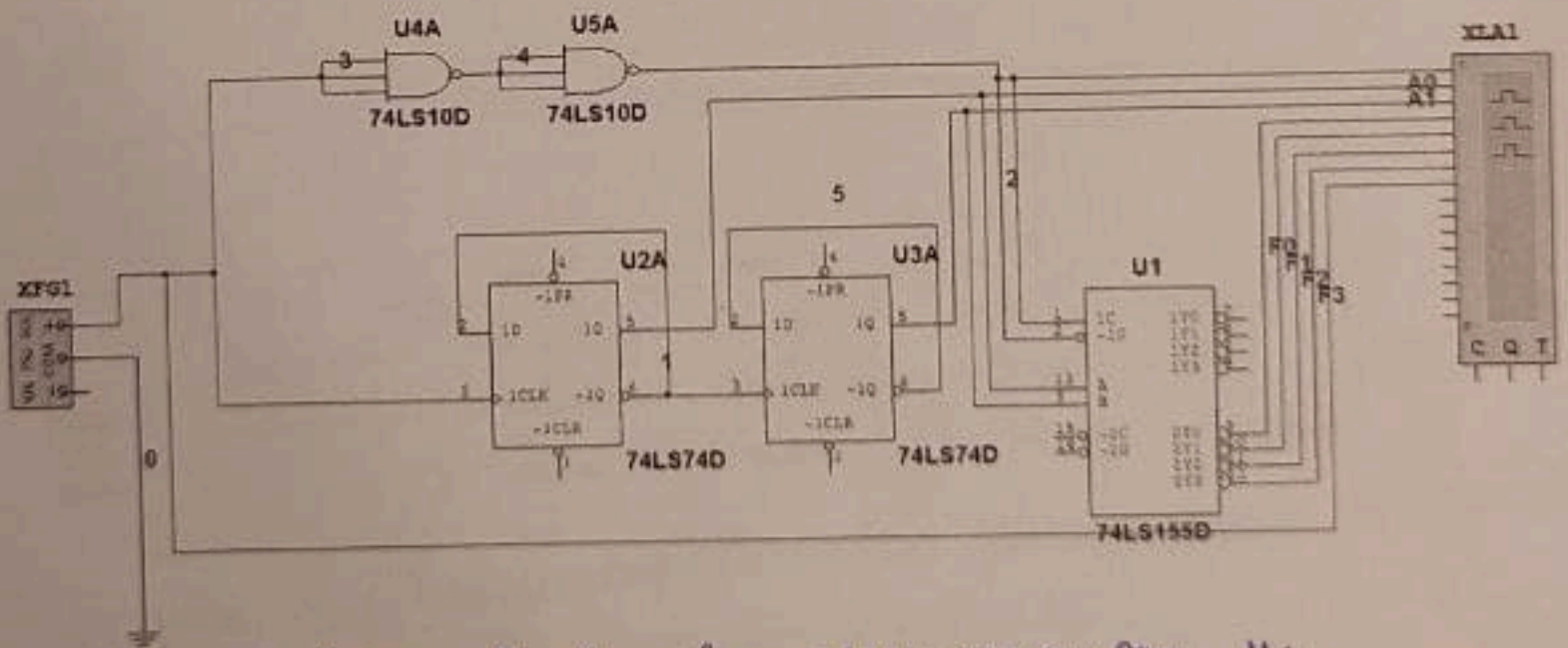
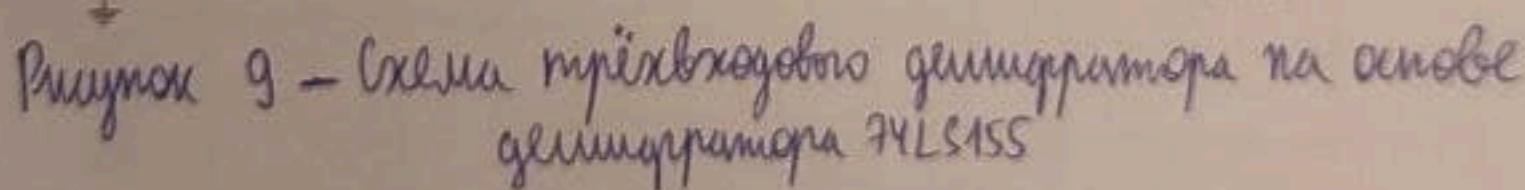
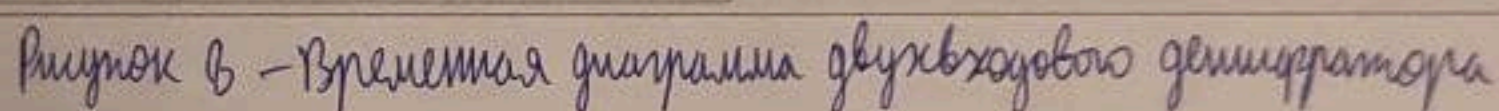


Рисунок 7 – Схема двухканального генератора на
основе 74LS155D



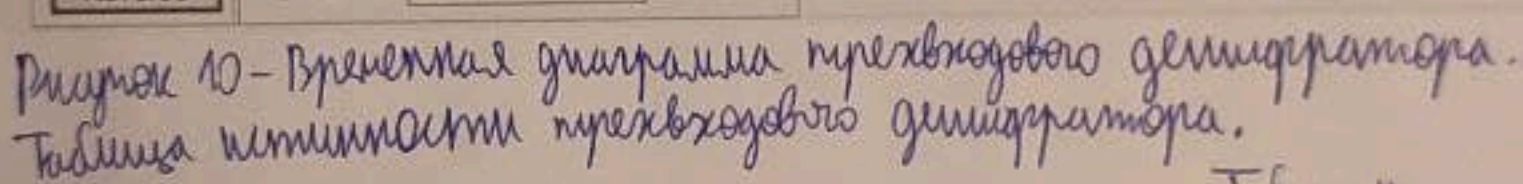


Table 4

[illegible]

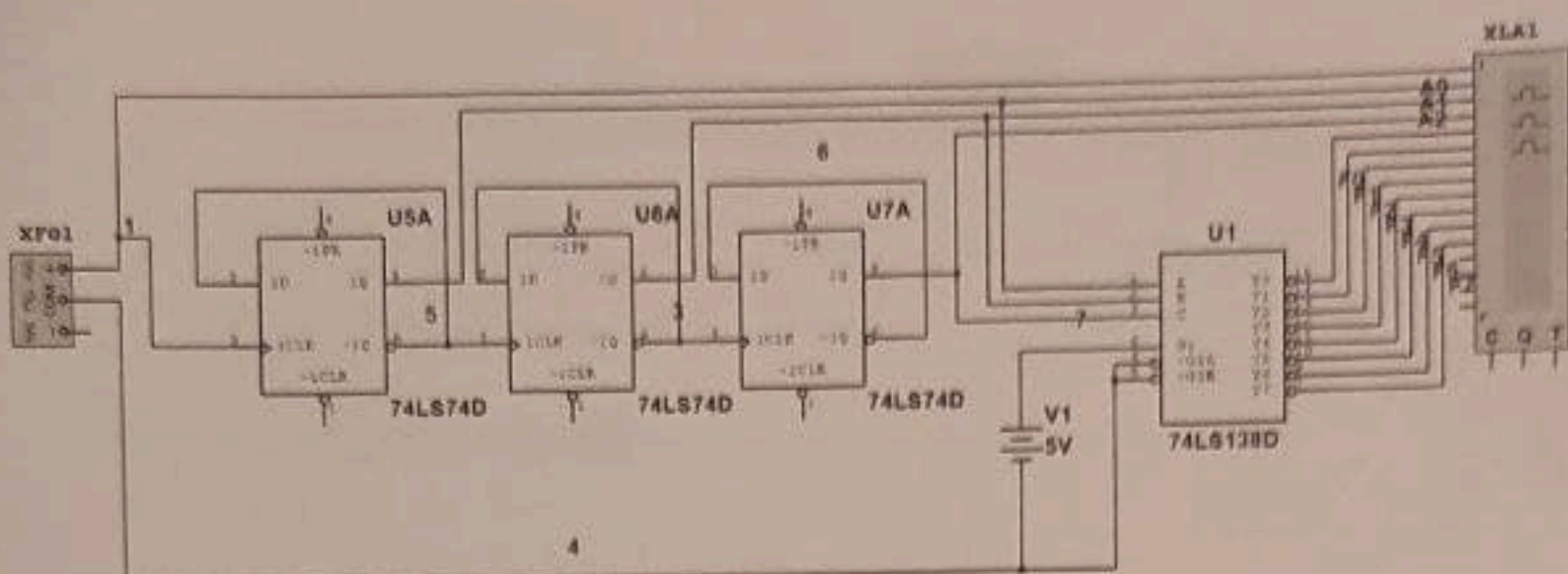
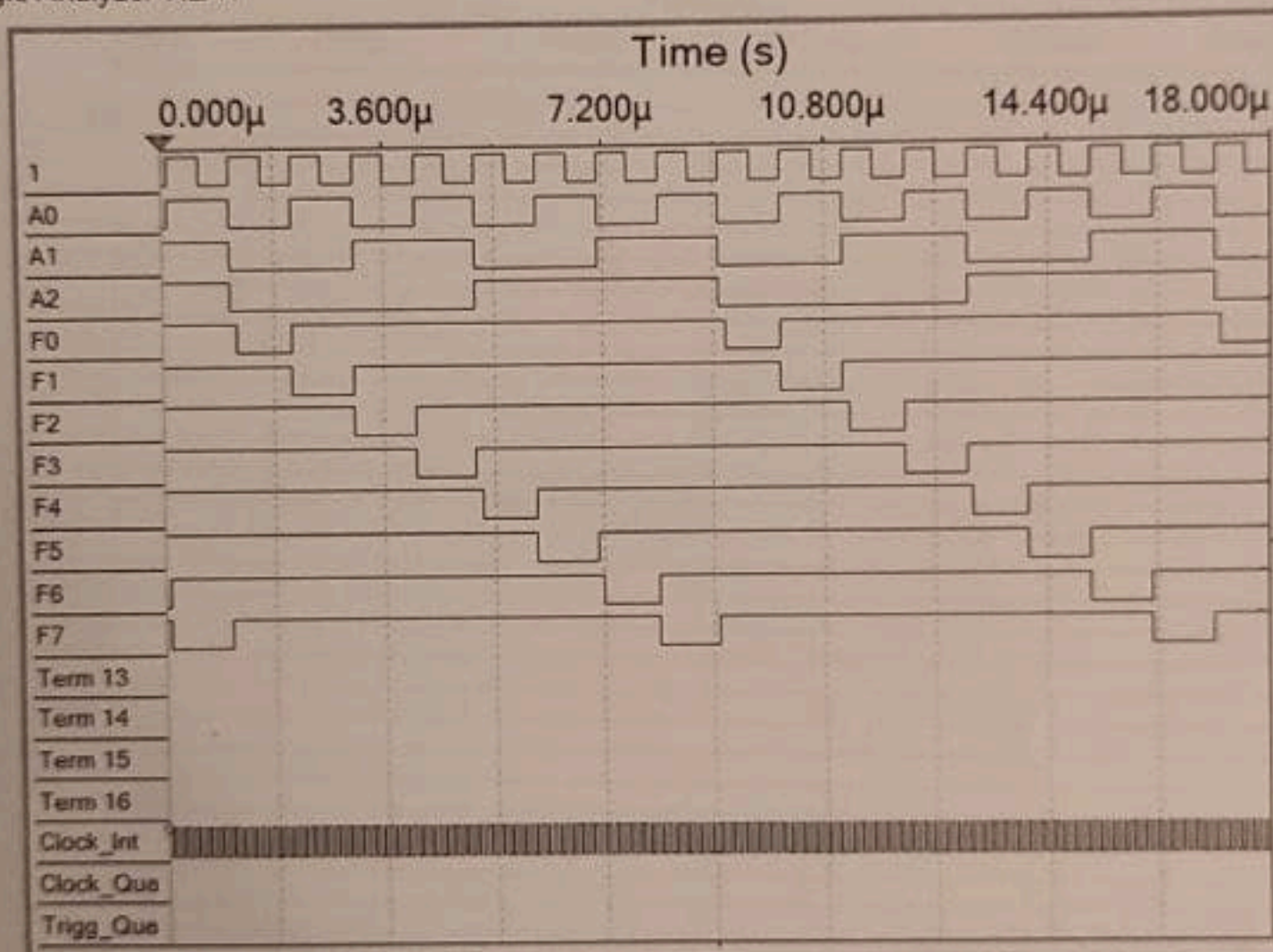


Рисунок 13 — Схема неvolatile цифрового осциллографа

Logic Analyzer-XLA1



Stop	T1	0.000 s	Obfc
Reset	T2	0.000 s	Obfc
Reverse	T2-T1	0.000 s	

Clock	Trigger
Clocks/Div 18	Set...
Set... External (C) Qualifier (Q)	Qualifier (T)

Рисунок 14 — Временная диаграмма цифрового осциллографа

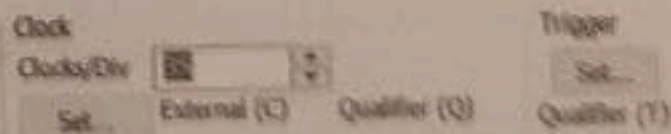
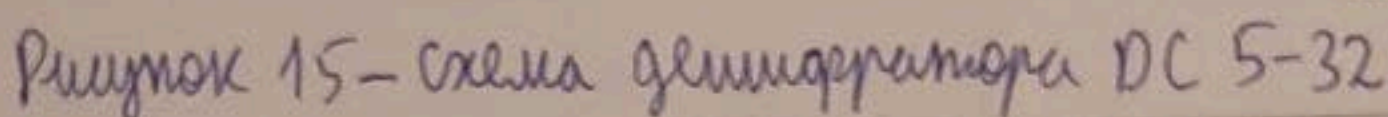
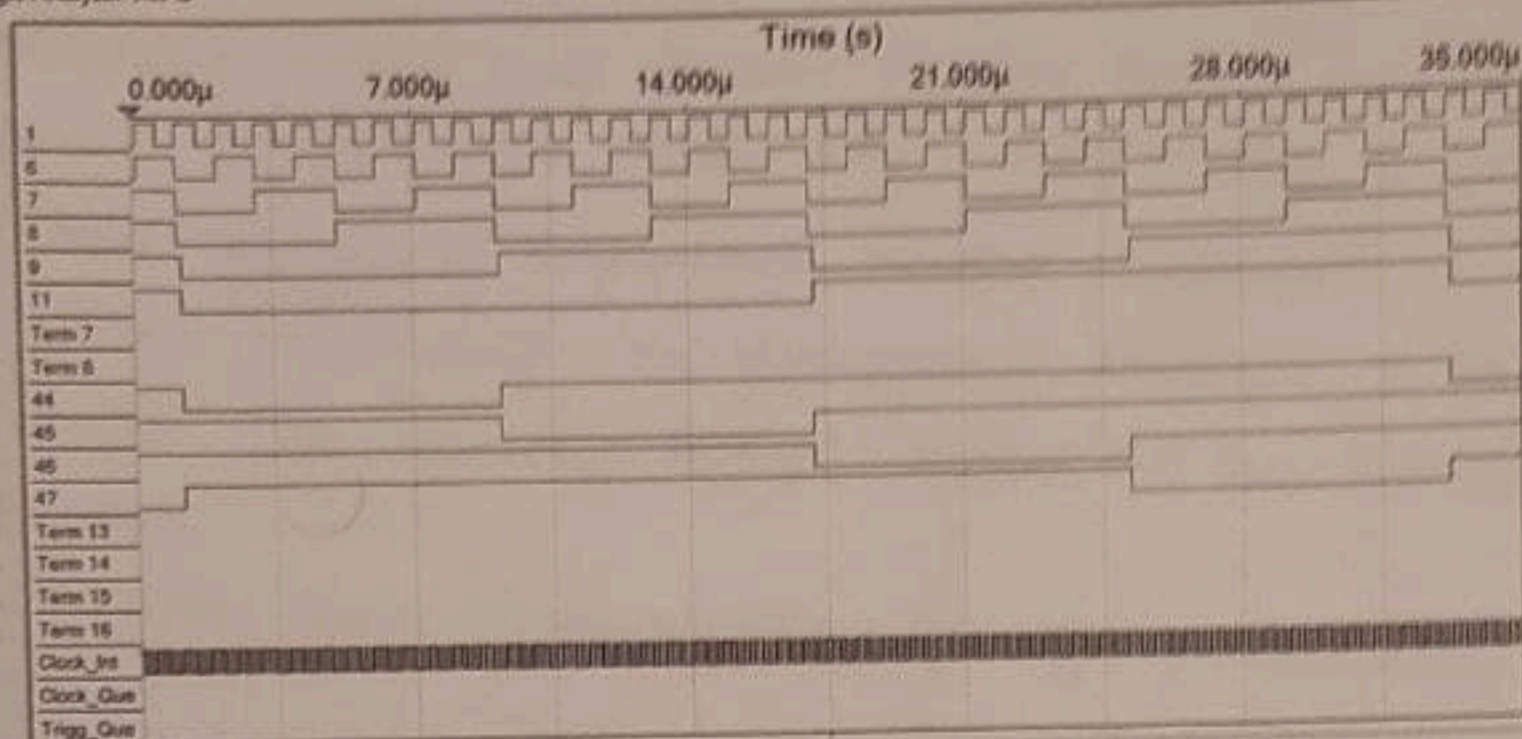


Рисунок 16 – Временная диаграмма выходов дешифратора.



Stop	T1	↔	0.000 s	073c	Clock	Clocks/Div	35	Trigger	Set...
Reset	T2	↔	0.000 s	073c	Set...	External (C)	Qualifier (Q)	Qualifier (T)	
Reverse	T2-T1		0.000 s						

Рисунок 17 – Временная диаграмма выходов сетки.

Контрольные вопросы

1) Что называется дешифратором?

Это комбинационный узел с n входами и N выходами, который преобразует каждый набор двоичных входных сигналов в активный сигнал на выходе, который соответствует этому набору.

2) Какой дешифратор называется полным (неполным)?

Полный дешифратор — это дешифратор, имеющий n входов и 2^n выходов. Если количество выходов меньше, то это неполный дешифратор.

3) Определите закон функционирования дешифратора аналитически и таблицей.

Аналитически:

$$F_0 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_1} \cdot \overline{A_0}$$

$$F_1 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_1} \cdot A_0$$

$$F_2 = EN \cdot \overline{A_{n-1}} \cdot A_{n-2} \cdot \dots \cdot \overline{A_1} \cdot \overline{A_0}$$

$$\dots$$

$$F_{n-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot \overline{A_0}$$

$$F_{n-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot A_0$$

F_i — выходной сигнал дешифратора
 A_i — входной сигнал дешифратора.

Приведите таблицей описание закона функционирования дешифратора на основе дешифратора ДС 2-4

Входы			Выходы			
EN	A_1	A_0	F_0	F_1	F_2	F_3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

4) Поясните основные способы построения дешифраторов
 Дешифраторы делятся на линейные и каскадные, которые в свою очередь делятся на пирамидальные и ступенчатые.

Линейные строятся в соответствии с симметричной функцией и представляют собой 2^n конъюнкторов или ЛЭ или-НЕ с n -входами каждый (или $1/n$), если есть отрицание).

Пирамидальные строятся на основе последовательной (каскадной) реализации булевых функций.

Ступенчатые — для построения разреженных дешифраторов используются несколько линейных, на каждом из которых дешифруется группа разрядов входного кода.

5) Что называется помехами и как устраняются ложные сигналы, вызванные помехами?

Вследствие переходных процессов и временных задержек сигналов в цепях АЭ могут возникнуть явления, называемые помехами (испугами), приводящие к появлению ложных сигналов на выходах схемы. Устранить помехи позволяет стробирование — выделение из информационного сигнала той части, которая свободна от искажений (пиков)

6) Какие способы парализации дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Для парализации дешифраторов строят сложный дешифратор $DC\ n-N$, построенный из простых дешифраторов $DC\ n_1-N_1$. Из $n_k \leq n \Rightarrow N_1 \leq N$

Число каскадов $K = \frac{n}{n_1}$, число простых дешифраторов DC в выходном каскаде: $\frac{N}{N_1}$, в промежуточном $\frac{N}{N_2}$, во входном $\frac{N}{N_K}$

В выходном каскаде дешифруются n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифруются группы старших разрядов адреса.

Выходы дешифраторов промежуточного каскада соединяются со входами разрядов простых дешифраторов выходного каскада и т.д.

Вывод

В ходе выполнения лабораторной работы были изучены принципы и особенности построения (или генераторов); возможности линейных и нелинейных генераторов, способы управления полем на выходных генераторах, вызванных цепками; развития работы шестеренки.

Список литературы

1. Методические указания по выполнению лабораторной работы по схемотехнике „Работа №3. Исследование генераторов“.