平头哥
曳影 1520 规格书

版本号：V1.03

编制		日期	
审核		日期	
批准		日期	

修订历史记录

版本号	更改描述	修订人	日期
V1.00	更新产品代号，正式 release 版本	T-Head	2022.07.10
V1.01	产品名正式确认	T-Head	2022.08.24
V1.02	产品名更新	T-Head	2022.11.10
V1.02	产品类型更新	T-Head	2023.09.16

术语和定义

缩写	英文描述	中文描述
FCCSP	Flip Chip Chip Scale Package	倒装芯片级封装
HBM	Human Body Model	人体模型
CDM	Charged-Device Model	机器模型
MSL	Moisture Sensitivity Level	湿气敏感性等级
AP	Application processor	应用处理器
RISC	Reduced Instruction Set Computer	精简指令集
AI	Artificial Intelligence	人工智能
GPU	Graphics Processing Unit	图形处理器
NPU	Neural-Network Processing Unit	神经网络处理单元
NNA	Neural-Network Accelerator	神经网络加速器
DSP	Digital Signal Processing	数字信号处理器
FCE	Feature Comparation Engine	特征值比对加速引擎
LSC	Lens Shading Correction	镜头阴影校正
DPC	Defective Pixel Correction	坏点校正
HDR	High-Dynamic Range	高动态范围
WDR	Wide Dynamic Range	宽动态范围
PVT	Process Voltage and Temperature	工艺电压温度传感器
DVFS	Dynamic voltage and Frequency scaling	动态电压和频率调节

目录

图表目录

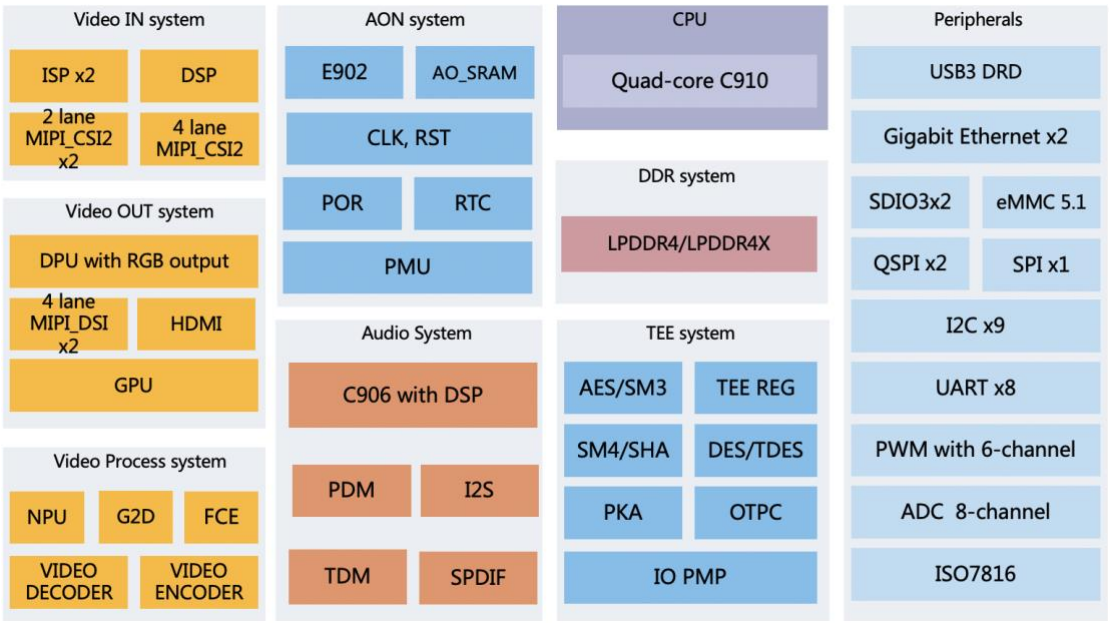
1 概述

曳影 1520 是一款低功耗、高性能、高安全、多模态感知和多媒体 AP 能力的 AI 处理器芯片，可用于刷脸支付终端、AI 边缘计算、视频会议一体机、人脸识别考勤门禁、带屏智能音箱等应用场景。基于多核异构架构，集成 RISC-V 指令架构的四核 C910 和单核 C906 处理器。

内嵌多个强大硬件加速引擎，提供性能优化的高端应用。支持 H.265/H.264/VP9 标准视频编码，最高分辨率达 4K@40fps，支持 H.265/H.264/VP9/AVS2 等多格式视频解码，最高分辨率达 4K@75fps，支持 JPEG 编解码，最高分辨率达 32Kx32K。

内嵌 3D GPU 完全兼容 OpenGL ES1.1/2.0/3.0/3.1, OpenCL 1.1/1.2/2.0 和 Vulkan 1.1/1.2，支持 2D 加速引擎，以及通用 DSP 加速器。

支持双通道外部存储器接口，支持 LPDDR4/LPDDR4X，提供最大存储带宽达 34GB/s，同时提供满足多变应用的外设接口。



图表 1-1 芯片框图

2 芯片特性

2.1 处理器

- 四核 RISC-V 64GCV 指令集架构 C910，最高主频 1.85GHz
- 支持小端模式
- 9~12 级深流水架构
- 3 发射 8 执行的超标量架构，对软件完全透明
- 按序取指，乱序发射，乱序完成和按序退休
- 两级高缓结构，哈佛结构一级高缓和共享的二级高缓
- 一级缓存支持 MESI 的一致性协议，二级缓存支持 MOESI 的一致性协议
- 每核支持 64KB I cache 和 64KB D Cache
- 四核共享 1MB L2 Cache
- 支持私有中断控制器 CLINT 和公有中断控制器 PLIC
- 两级 TLB 内存管理单元，实现虚实地址转换与内存管理
- 指令高缓路预测的低功耗访问技术
- 短循环缓存的低功耗执行技术
- 支持 segment load、store 指令
- 支持计时器功能
- 支持 TEE 和 REE，TEE/REE 支持核数启动时可配置
- 支持 Linux 和 Android
- 支持自定义且接口兼容 RISC-V 的多核调试框架
- 独立电源域，支持 DVFS

2.2 AI 计算引擎

- NPU
  - 支持 4TOPS@INT8 通用 NNA 算力，主频 1GHz
  - 支持 TensorFlow，ONNX，Caffe
  - 支持 CNN，RNN，DNN 等
  - 支持卷积、激活、单元操作（加法、乘法、最大值、最小值）、池化（最小值、最大值、平均值）、归一化、反卷积
  - 无损权重数据压缩
  - 灵活比特深度支持：灵活的输入输出和中间数据位深度，4~16 位
  - 带宽缩减：
    - 支持低精度位深度的权重和激活数据，可以独立分层控制 4,5,6,7,8,10,12,16 位
    - 支持权重压缩，最小化 DDR 带宽需求，降低功耗
    - 支持片上缓存，存储网络中间层数据，可与 GPU 芯片内交互数据，减小网络运行对 DDR 带宽需求，NPU 不用时，缓存可共享给其它核使用

2.3 图像信号处理器

- 支持两路独立 ISP 处理
- 支持 RAW8~16 位输入，支持 IR 10 位/YUV420 8 位/RGB888 输出
- 支持 RGB Bayer/RGB IR pattern 4x4 输入处理
- 支持最高 13M 像素输入(12M 像素处理)
- 支持 LSC 和 DPC
- 支持 3A(AE/AWB/AF)算法
- 支持 2D/3D 图像降噪和图像锐化
- 支持颜色增强，高亮抑制，背光补偿，伽马校正等
- 支持抗闪烁
- 支持鱼眼校正
- 支持 HDR 和 WDR

2.4 视频编解码器

- 视频解码器
  - 实时解码器，支持 H.265/H.264/VP9/8/7/6/AVS/AVS+/AVS2.0/VC1/MPEG4
  - 支持 H.264 BP/MP/HP@level 5.1 解码，最大 4K 分辨率
  - 支持 H.265/HEVC Main Profile@level 5.1 解码，最大 4K 分辨率
  - 支持 VP9 Profile-2 解码，最大 4K 分辨率
  - 支持 AVS2.0 解码，最大 4K 分辨率
  - 支持 VP6/7/8/AVS/AVS+/VC1/MPEG4 解码，最大 1920x1080 分辨率
  - 解码性能最大 4K@75fps
- 视频编码器
  - 支持 H.264 BP/MP/HP@level4.2 编码，最大 4K 分辨率
  - 支持 H.265/HEVC Main Profile 编码，最大 4K 分辨率
  - 仅支持 I 帧和 P 帧
  - 编码性能最大 4K@40fps
- 支持多路编码和多路解码
- 支持编解码同时进行
- JPEG 编解码
  - 支持 MJPEG/JPEG Baseline 编解码
  - 最大支持 32Kx32K JPEG 解码
  - 最大支持 16Kx16K JPEG 编码

2.5 二维图像加速器

- 2D 操作
  - 位块传送
  - 位块传送并拉伸
  - 矩形填充和清除

- 滤波传送
- 抖动
- 阿尔法混叠
- 90/180/270 度旋转
- 图片搬运/缩放/滤波/裁剪
- 画线，拷贝

■ 多源混叠
- 支持块尺寸可变多源混叠，提高带宽，减小软件负载
- 支持最多 8 个源
- 可编程块尺寸保证 Cache 效率，每个源只读一次，混叠目的只写一次
- 支持不同块尺寸的 90/180/270 度旋转
- 支持混叠和旋转操作中独立的源缩放
- 支持最多 4 个视频输入源

■ 支持 YUV 格式
- L2 Cache 增强 YUV420
- 支持 8 位 YUV 格式 2 像素对齐，10 位 YUV 格式 4 像素对齐，RGB 格式 1 像素对齐
- 多平面 YUV 格式时，支持分离的 U 和 V 步进
- YUV420 两平面和 YUV422 压缩输出，支持阿尔法混叠

■ 矩形操作/清除/位块传送：4 pixel/cycle

2.6 图像处理单元

■ 支持 APIs
- 支持 Vulkan 1.1/1.2
- 支持 OpenCL 1.1/1.2/2.0
- 支持 OpenGL ES 3.0/3.1/3.2

■ 基于分片的 3D 图形渲染，支持多个分片同时处理

■ 可编程的高质量抗混叠

■ 支持和 NNA 的 AI 协同

■ 先进的 DMA 操作，降低主 CPU 负载

■ 压缩纹理编码

■ 无损数据压缩

■ 固件执行专用处理器

■ 性能
- 支持 3D 图形加速引擎，3200Mpixel/sec@800MHz
- F32 操作，每个时钟周期 64 次
- F16 操作，每个时钟周期 128 次
- 整数操作，每个时钟周期 32 次
- 几何操作，每 4 个时钟周期 1 次三角形操作

2.7 显示处理单元

- 支持双路视频显示，一路接 HDMI 接口，分辨率 4K@30fps，一路接 MIPI DSI 接口，分辨率 1080p@60fps
- 两路显示共支持 6 层叠加，两路显示层数可灵活配置
- 支持旋转和缩放
- 视频时序产生
  - HSYNC/VSYNC/DE 信号
  - 可编程计数器
- 显示接口
  - 30 位 DATA 和 HSYNC/VSYNC/DE 并行像素输出
  - DPI 24/18/16 位
  - R10G10B10 30 位输出
- 显示
  - 最大显示尺寸：4Kx2K
  - 每个显示独立的同步和场消隐信号
  - 每个显示独立的伽马和抖动
- 输入格式
  - ARGB2101010, A/XRGB8888, A/XRGB1555, RGB565, A/XRGB4444
  - YUV422, YUV420
- 格式转换
  - 可从多个 RGB/YUV 格式输入像素
  - 颜色空间转换 BT.2020 和 BT.709
  - 24 位多格式 RGB 像素输出
- 输出格式
  - RGB101010/DPI_D16CFG1/DPI_D16CFG2/DPI_D16CFG3/DPI_D18CFG1/DPI_D18CFG2/DPI_D24/DPI_D30
- 硬件光标
  - 支持 ARGB888 和屏蔽光标
- 颜色
  - 独立的抖动查找表
  - 独立的伽马校正查找表
  - 坐标生成叠加
  - 阿尔法混叠：波特·达夫混叠模式
- 滤波和缩放
  - 垂直和水平缩放
  - 可编程滤波

2.8 数字信号处理器

- 支持两路独立 DSP 核，主频 1GHz
- 支持 256 个 8x8 MAC

- 支持 16 个单精度 VFPU
- 支持图像直方图统计
- 32KB 指令 Cache
- 2 个 128KB 数据 RAM
- 操作类型
  - 加载和存储
  - 乘法运算
  - 除法运算
  - 矢量压缩和扩展
  - 算术运算
  - 位逻辑运算
  - 位操作
  - 比较运算
  - 移位作业
  - 旋转操作
  - 递减操作
  - 打包操作
  - 选择和双重选择操作
  - 随机混合操作
  - 移动操作

2.9 视频接口

- VI 接口
  - 1 路 4-lanes 和 2 路 2-lanes MIPI CSI-2 输入，每 lane 支持 2.5Gbit/s
  - 2 路 2-lanes MIPI CSI-2 可以拼接成 1 路 4-lanes MIPI CSI-2
  - 3 路 MIPI 输入可以映射到 2 个 ISP 上或 DMA 上
  - 支持 RAW6，RAW7，RAW8，RAW10，RAW12 输入格式
  - 4-lanes MIPI CSI 支持最大 13M sensor 输入
  - 2-lanes MIPI CSI 支持最大 5M sensor 输入
  - 支持对单曝光 sensor 的低成本 HDR 算法处理
- VO 接口
  - 16-/24-bit RGB 数字接口输出，最高支持 1080p@30fps
  - 2 路 4-lanes MIPI DSI 输出，每 lane 支持 2.5Gbit/s
  - HDMI 接口
    - 支持 HDMI 2.0，向后兼容 HDMI 1.4
    - 最高支持 1080p@120fps，4Kx2K@60fps
    - 输入参考时钟 13.5MHz 到 600MHz
    - 最高总带宽 18Gbps
    - 支持 8 声道音频输出
    - 支持 CEC（Consumer Electronics Control）
    - 支持 HPD（Hot Plug Detection）

2.10音频处理器

- C906 单核处理器，主频最高 800MHz
- RV64IMA[FD]C[V]指令架构
- 5 级单发按序执行流水线
- 一级哈佛结构的指令和数据缓存，大小为 32KB，缓存行为 64B
- Sv39 内存管理单元，实现虚实地址转换与内存管理
- 支持 AXI4.0 128 位 Master 接口
- 支持核内中断 CLINT 和中断控制器 PLIC
- 可配置的浮点单元和矢量单元
- SIMD128 处理单元
- 矢量计算单元的主要特征点如下:
  - 遵循 RISC-V V 矢量扩展标准（revision 0.7.1）
  - 算力可达 4GFlops（@1GHz）
  - 支持配置矢量执行单元
  - 支持 INT8/INT16/INT32/FP16/FP32 矢量运算
  - 支持 segment load、store 指令

2.11音频接口

- 支持 1 个 8 通道（4 个 RX 左右声道或者 4 个 TX 左右声道）I2S 接外部 CODEC 音频输入，最高 384kbps
- 支持 3 个 2 通道（其中 2 个可支持同时 RX 和 TX）I2S/PCM 接外部 CODEC 播放（16k/32k/48k/44.1k/64k/192k/384k）或蓝牙语音连接（8k/16k/32k/48k/44.1k）
- 支持低功耗 VAD（仅 RX），最大支持 8 通道（4 个 RX 左右声道）I2S
- 支持 8 路（4 个 RX 左右声道）PDM 数据对接外部 DMIC
- 支持 8 路 TDM/PCM 输入
- 支持 2 个 SPDIF-IN/OUT，支持采样率 32/44.1/48/88.2/96/192kHz

2.12安全引擎

- TEE+REE 两层安全体系架构
- 硬件随机数发生器
- 基于硬件的隔离机制
- 支持安全启动
- 内置 Sensor 为安全电路提供物理防护
- 支持 ID2 安全芯片能力

2.13存储接口

- 片内存储

- BootROM：128KB
- 片内共享 SRAM：1.5MB

■ 片外存储
- 支持 32/64 位 LPDDR4/LPDDR4X，最高速率 4266Mbps
  - 兼容 JEDEC 标准 LPDDR4-2133/LPDDR4-3200/LPDDR4-3733/LPDDR4-4266/LPDDR4X-2133/LPDDR4X-3200/LPDDR4X-3733/LPDDR4X-4266 SDRAM
  - 支持 2 个通道，每个通道 32 位数据位宽
  - 最大 8GB 地址空间
  - 32 位和 64 位软件可配置
  - 支持不同 LPDDR4/4X 颗粒时序参数可配置
  - 命令重排序和调度，最大化带宽利用率
  - ODT 电阻可编程，动态 PVT 补偿
- SPI NOR/NAND Flash 接口
  - 支持两路 QSPI，一路 SPI
  - QSPI0 最高 100MHz，QSPI1 和 SPI 最高 66MHz
  - 支持 1 位/2 位/4 位数据线模式传输
  - 两个 QSPI 接口，可配置为 Mode0/Mode1/Mode2/Mode3
- eMMC5.1 接口，最高速率支持 HS400
  - 兼容 JEDEC 标准 eMMC 5.1 和 eMMC 5.0
  - 支持 HS400，HS200，DDR52 模式
  - 支持 eMMC 启动
  - 8 个并行数据线，HS400 模式，最高数据率 400MB/s
  - 8 个并行数据线，HS200 模式，最高数据率 200MB/s
  - 8 个并行数据线，DDR52 模式，最高数据率 104MB/s
  - 支持 1 位/4 位/8 位数据线模式传输
- SD 3.0 接口
  - 兼容 SD3.0
  - 两个 SD 接口，可配置为 SD/MMC/SDIO
  - 最高数据传输带宽 100MB/s
  - 支持 1 位/4 位数据线传输模式

2.14外设接口

■ GMAC
- 支持 2 路千兆以太网
- 支持 10/100/1000Mbps 数据传输率 RGMII 接口
- 支持全双工和半双工操作

■ USB
- 支持一路 USB 3.0 DRD，可作为主机或设备，兼容 USB 2.0
- USB 3.0 特性
  - 支持 PIPE 3 接口
  - 5Gbps 数据传输速率

- 自适应接收均衡
- USB 2.0 特性
  - 支持 UTMI+接口
  - 高速 480Mbps
  - 全速 12Mbps
  - 低速 1.5Mbps（仅主机模式）

- UART
  - 支持 8 路 UART
  - 1 路带流控 UART，最高速率 4Mbps
  - 3 路支持红外 UART
- I2C
  - 支持 7 位/10 位地址模式
  - 支持 9 路 I2C，最高速率 1.7Mbps
- ISO7816
  - 支持 1 路 ISO7816
- GPIO
  - 支持 157 个 GPIO
  - 支持中断

2.15其它

- SAR-ADC
  - 支持 8 个通道，单端
  - 分辨率 10 位/8 位/6 位可选
  - 采样率 2.5MSPS
- PWM
  - 支持 1 路 6 通道 PWM
  - 最高频率 12MHz
- PVT Sensor
  - 支持 Process Detector/Temperature Sensor/Voltage Monitor
- EFUSE
  - 8Kbit 容量
  - 编程时间：5us+/-10%

3 应用场景

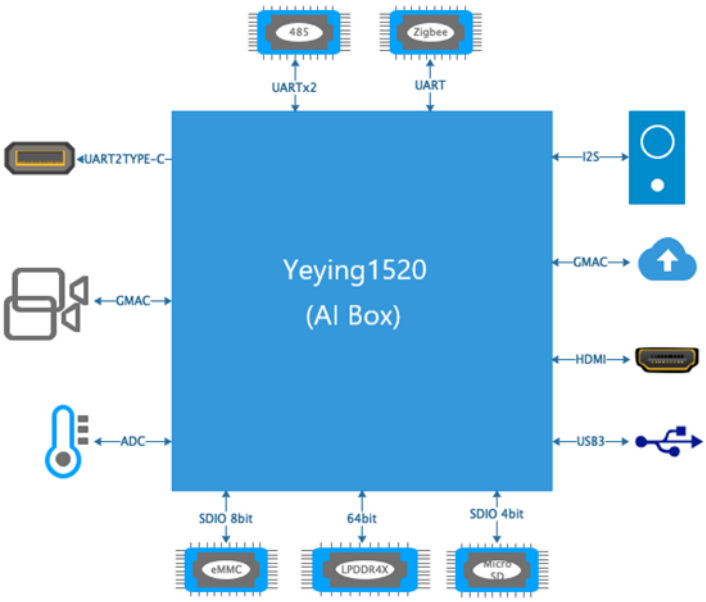
3.1 AI Box 边缘计算

解决普通摄像头的智能化问题，如智慧社区、智能门店的普通摄像头改造，部署在居住社区、客户门店、客户机房、高速路边、城市路边等本地运行视频算法的边缘一体硬件产品，具备边缘计算，云端远程升级、算法远程扩展的云边协同特性。

通过内部网络获取视频信息并解码，支持最大 64 路 1080p@30fps 视频流接入实时动态布控，支持人体、车辆、人脸、非机动车等多目标的检出、跟踪、抓拍并识别目标特征属性，视频图像结构化算法处理后的数据通过网络上传云端服务器，实现在物联网边缘计算设备中嵌入 AI 算力，减小网络带宽压力和平台服务器成本。

- 应用场景：视频图像边缘计算、安全检测、区域侵占检测等
- 处理器性能：4 个 RISC-V 指令集架构 C910 处理器，每个核最高运行频率 1.85GHz
- 通用算力：4TOPS 通用 NNA INT8 算力
- 视频编解码性能：
  - 支持 8 路 1080p@30fps 的 H.264/H.265 解码
  - 支持 1 路 4K@60fps 的 H.264/H.265 解码
  - 支持 1 路 4K@30fps 的 H.264/H.265 编码
  - 编码和解码可同时工作
- 支持双屏显示，同源或不同源，一路最高分辨率 4K@30fps，一路最高分辨率 1080p@60fps
- 视频结构化：
  - 支持 8 路 1080p@30fps 视频解码，支持 H264/H265 兼容，实际接收到视频流都是 25 帧，8 路视频标准一般相同，复杂情况不同需要切换标准
  - 多路视频在远端 SAAS 拼接
  - 对解码帧进行结构化处理，结构化数据上云，数据上行数据率最高 64Mbps
- 视频流上云：支持最多 10 路原始视频码流上云，数据率最高 40Mbps
- 控制指令通道：喊话和激光跟踪
- 产品原则：贴近本地，小型化，可升级
- 芯片典型功耗：4TOPS NNA 计算和编解码同运行时功耗最高为 7W
- 软件 OS：
  - Linux 5.10，Docker 64bit
- 硬件单板基本规格：
  - 采用单芯片方案
  - PCB 规格：8 层 2 阶
  - PCB 工艺：采用表面沉金和无铅焊接工艺
  - 内存：两颗 3733Mbps 32bit 2GB LPDDR4X，总带宽约 30GB/s
  - 闪存：HS400 16GB eMMC，总带宽约 400MB/s
  - 网络：支持两路千兆以太网，一路用于视频码流接入，一路用于外接上云
  - USB 设备：外接 USB HUB，支持 USB 2.0 和 USB 3.0 接口设备，5.0Gbps

- SDIO 设备：外接 Micro SD，用于扩展存储
- UART 设备：外接 CAT1 模组



图表 3-1 AI Box 应用场景框图

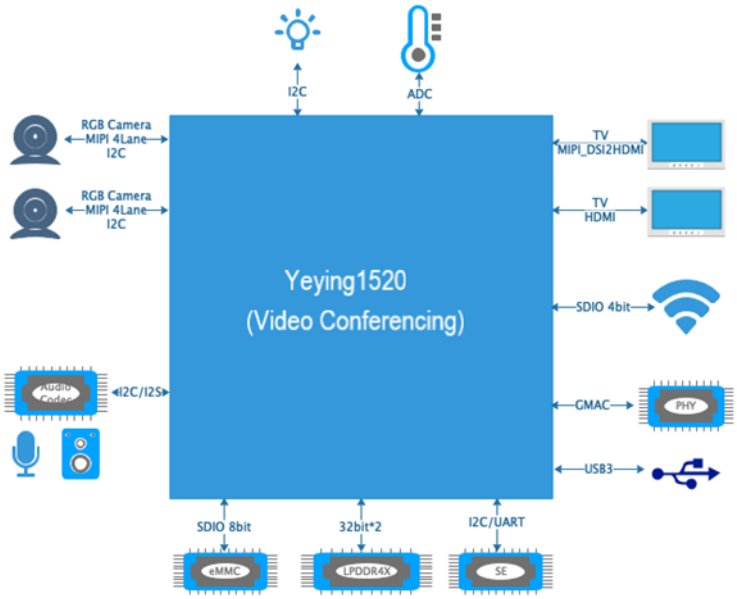
3.2 视频会议

部署在客户会议室，可显著提升中大型会议室的智能化程度和可用性水平，可提供优质的视频和音频体验，让会议更智能，让演示功能更智能，具有自动取景和发言者跟踪功能。

通过 RGB sensor 获取视频信息并进行多分辨率多路编码，编码后码流通过网络发送给参会人员。参会人员码流通过网络进入，解码后跟 RGB sensor 进来视频做无缝拼接后在显示屏上显示。

- 应用场景：视频电话会议
- 处理器性能：4 个 RISC-V 指令集架构 C910 处理器，每个核最高运行频率 1.85GHz
- 通用算力：2TOPS 通用 NNA INT8 算力
- 视频编解码性能：
  - 支持 8 路 1080p@30fps 的 H.264/H.265 解码
  - 支持 1 路 4K@60fps 的 H.264/H.265 解码
  - 支持 1 路 4K@30fps 的 H.264/H.265 编码
  - 支持多路码流编码（1+1 方式）和多路码流解码（1+N 方式），编解码独立
- 支持多路视频无缝拼接显示
- 支持美颜处理
- 支持双屏显示：
  - 同源或不同源
  - 一路最高分辨率 4K@30fps，一路最高分辨率 1080p@60fps
- 支持两路 RGB Camera 或一路 RGB Camera 和一路 IR Camera，最高 13M 像素输入

- 产品原则：智能化，可升级
- 芯片典型功耗：两个 4K 摄像头规格场景时功耗最高为 9.35W
- 软件 OS：
  - Linux 5.10
  - Android 10
- 硬件单板基本规格：
  - 采用单芯片方案
  - PCB 规格：10 层 4 阶
  - PCB 工艺：采用表面沉金和无铅焊接工艺
  - 内存：两颗 4266Mbps 32bit 2GB LPDDR4X，总带宽约 34GB/s
  - 闪存：HS400 16GB eMMC，总带宽约 400MB/s
  - 网络：支持一路千兆以太网
  - USB 设备：支持 USB 2.0 和 USB 3.0 接口设备，5.0Gbps



图表 3-2 视频会议应用场景框图

4 工作模式

4.1 启动模式

芯片支持以下启动介质：

- eMMC

芯片支持从以下接口下载系统代码：

- UART（CCT）
- USB Device

Boot ROM 启动流程请参考软件对应文档。

4.2 工作模式

各工作模式描述如下：

- OFF：关机状态，即所有电源全部关闭
- STANDBY：深度睡眠模式，除必要的 AON 电源常开外，其余电源都关闭，比如深夜长时间不运行的状态下，自动进入该模式以节省功耗，定时唤醒
- HW-VAD：硬件 VAD 待机模式，除 AON 电源常开外，AUDIO 的电源也需要打开，该模式下支持语音唤醒
- IDLE：AP 空闲模式，该模式下系统处理一些轻量级事务，如播放音乐，海报等，根据实际场景需求控制 C910、AUDIO、ISP、NPU、GPU 的电源开关
- RUN：全速运行模式，根据实际场景需求控制各功能模块需要工作的频率

各应用场景对应的工作模式如下所示。

图表 4-1 各应用场景对应的工作模式

场景	工作模式
带屏音箱语音唤醒待机	HW-VAD
带屏音箱纯音乐播放	IDLE
带屏音箱视频监控	RUN
带屏音箱视频通话	RUN
AI BOX 边缘计算	RUN
视频会议	RUN
会议海报	IDLE

4.3 模式选择

图表 4-2 模式选择管脚配置

管脚名	描述

BOOT SEL[2:0]	0xx：从 USB 介质启动 100：从 eMMC 介质启动 101：从 SD/TF 介质启动 110：从 SPI NAND Flash 介质启动 111：从 SPI NOR Flash 介质启动 注：芯片上电后 Boot ROM 程序通过 UART 接收启动程序，10ms 没接收到程序则按照以上介质选择信号判断启动方式

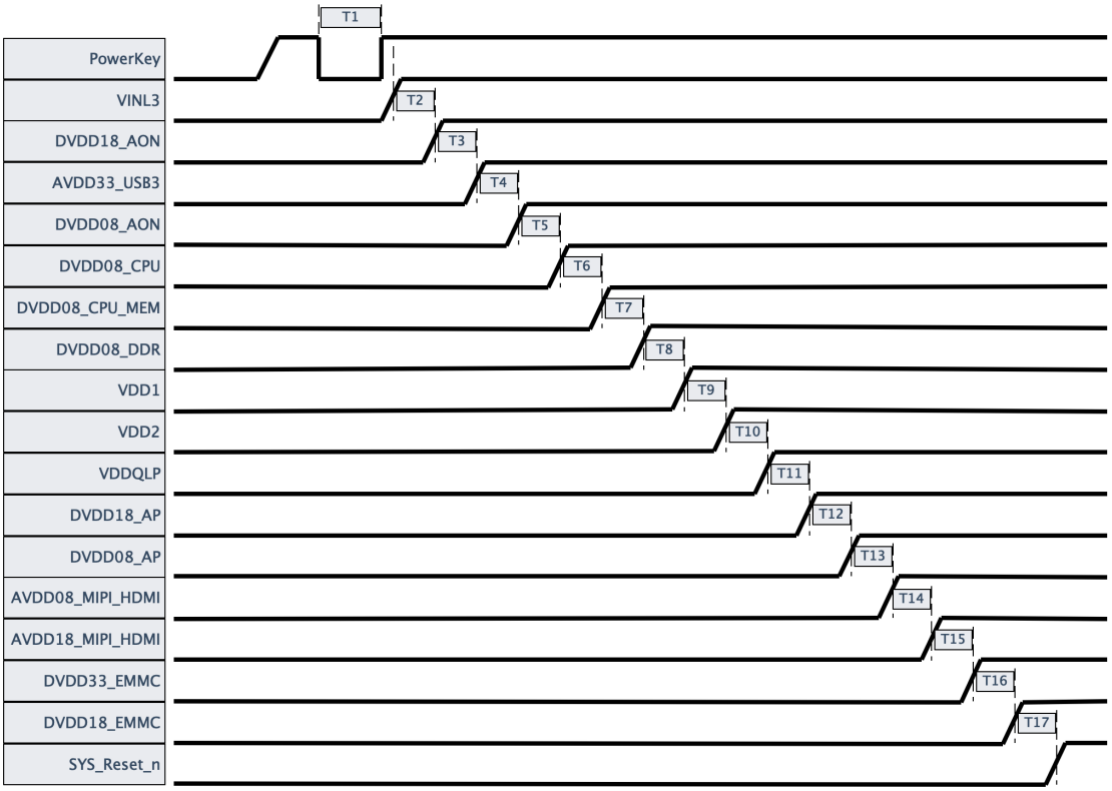
4.4 常态管脚

图表 4-3 常态管脚配置

管脚名	描述
TEST_MODE	0：默认低电平，正常工作模式 1：高电平，使能芯片进入测试模式
POR_SEL	0：低电平，选择内部 POR 1：默认高电平，选择外部 POR
DEBUG_MODE	0：默认低电平，正常工作模式 1：高电平，使能芯片进入调试模式

5 上下电时序

5.1 上电时序



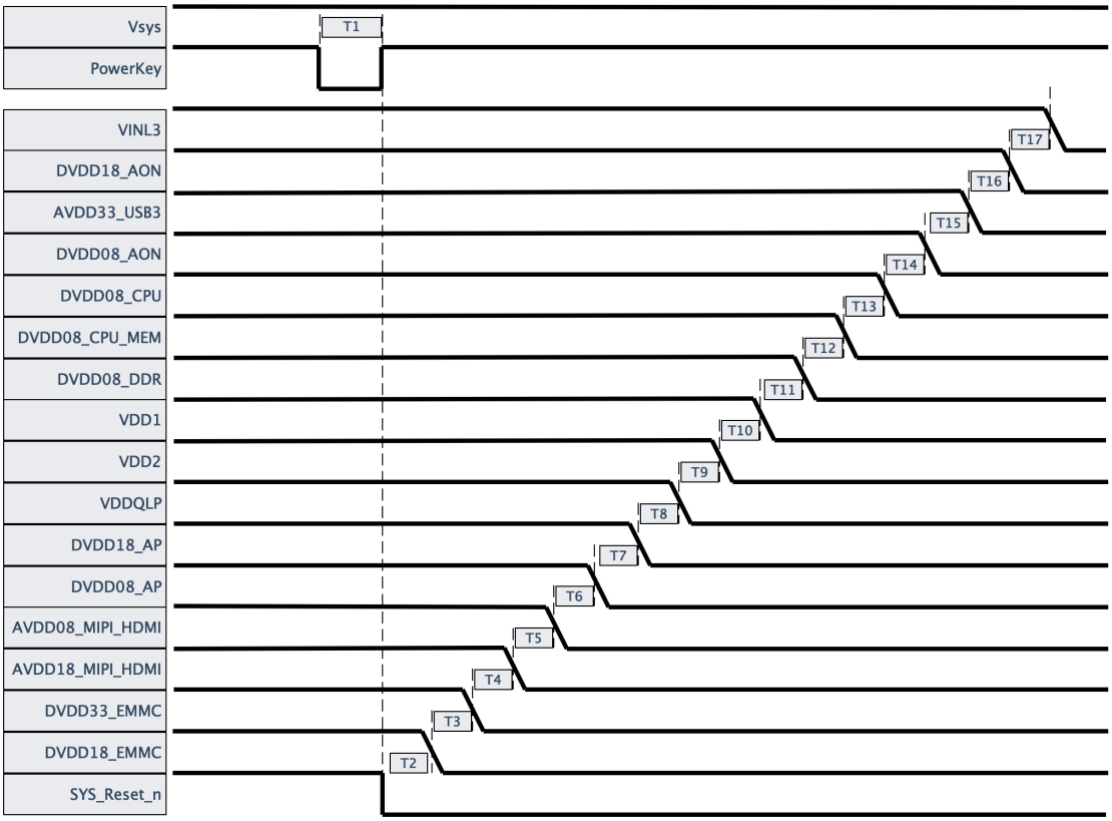
图表 5-1 上电时序图

图表 5-2 上电时参数

符号	参数	最小	典型	最大	单位
T1	PowerKey 有效时间	-	1000	-	ms
T2	VINL3 有效到 DVDD18_AON 有效的时间间隔	-	2	-	ms
T3	DVDD18_AON 有效到 AVDD33_USB3 有效的时间间隔	-	2	-	ms
T4	AVDD33_USB3 有效到 DVDD08_AON 有效的时间间隔	-	2	-	ms
T5	DVDD08_AON 有效到 DVDD08_CPU 有效的时间间隔	-	2	-	ms
T6	DVDD08_CPU 有效到 DVDD08_CPU_MEM 有效的时间间隔	-	2	-	ms
T7	DVDD08_CPU_MEM 有效到 DVDD08_DDR 有效的时间间隔	0	50	-	us
T8	DVDD08_DDR 有效到 VDD1 有效的时间间隔	0	50	-	us
T9	VDD1 有效到 VDD2 有效的时间间隔	-	2	-	ms
T10	VDD2 有效到 VDDQLP 有效的时间间隔	-	2	-	ms
T11	VDDQLP 有效到 DVDD18_AP 有效的时间间隔	0	50	-	us
T12	DVDD18_AP 有效到 DVDD08_AP 有效的时间间隔	-	4	-	ms

T13	DVDD08_AP 有效到 AVDD08_MIPI_HDMI 有效的时间间隔	-	2	-	ms
T14	AVDD08_MIPI_HDMI 有效到 AVDD18_MIPI_HDMI 有效的时间间隔	0	50	-	us
T15	AVDD18_MIPI_HDMI 有效到 DVDD33_EMMC 有效的时间间隔	0	50	-	us
T16	DVDD33_EMMC 有效到 DVDD18_EMMC 有效的时间间隔	0	50	-	us
T17	DVDD18_EMMC 有效到 SYS_Reset_n 释放的时间间隔	4	6	-	ms

5.2 下电时序



图表 5-3 下电时序图

图表 5-4 下电时序参数

符号	参数	最小	典型	最大	单位
T1	PowerKey 有效时间	-	1000	-	ms
T2	SYS_Reset_n 置位到 DVDD18_EMMC 下电的时间间隔	4	6	-	ms
T3	DVDD18_EMMC 下电到 DVDD33_EMMC 下电的时间间隔	0	50	-	us
T4	DVDD33_EMMC 下电到 AVDD18_MIPI_HDMI 下电的时间间隔	0	50	-	us
T5	AVDD18_MIPI_HDMI 下电到 AVDD08_MIPI_HDMI 下电的时间间隔	0	50	-	us

T6	AVDD08_MIPI_HDMI 下电到 DVDD08_AP 下电的时间间隔	-	2	-	ms
T7	DVDD08_AP 下电到 DVDD18_AP 下电的时间间隔	-	4	-	ms
T8	DVDD18_AP 下电到 VDDQLP 下电的时间间隔	0	50	-	us
T9	VDDQLP 下电到 VDD2 下电的时间间隔		2		ms
T10	VDD2 下电到 VDD1 下电的时间间隔		2		ms
T11	VDD1 下电到 DVDD08_DDR 下电的时间间隔	0	50	-	us
T12	DVDD08_DDR 下电到 DVDD08_CPU_MEM 下电的时间间隔	0	50	-	us
T13	DVDD08_CPU_MEM 下电到 DVDD08_CPU 下电的时间间隔	-	2	-	ms
T14	DVDD08_CPU 下电到 DVDD08_AON 下电的时间间隔	-	2	-	ms
T15	DVDD08_AON 下电到 AVDD33_USB3 下电的时间间隔	-	2	-	ms
T16	AVDD33_USB3 下电到 DVDD18_AON 下电的时间间隔	-	2	-	ms
T17	DVDD18_AON 下电到 VINL3 下电的时间间隔	-	2	-	ms

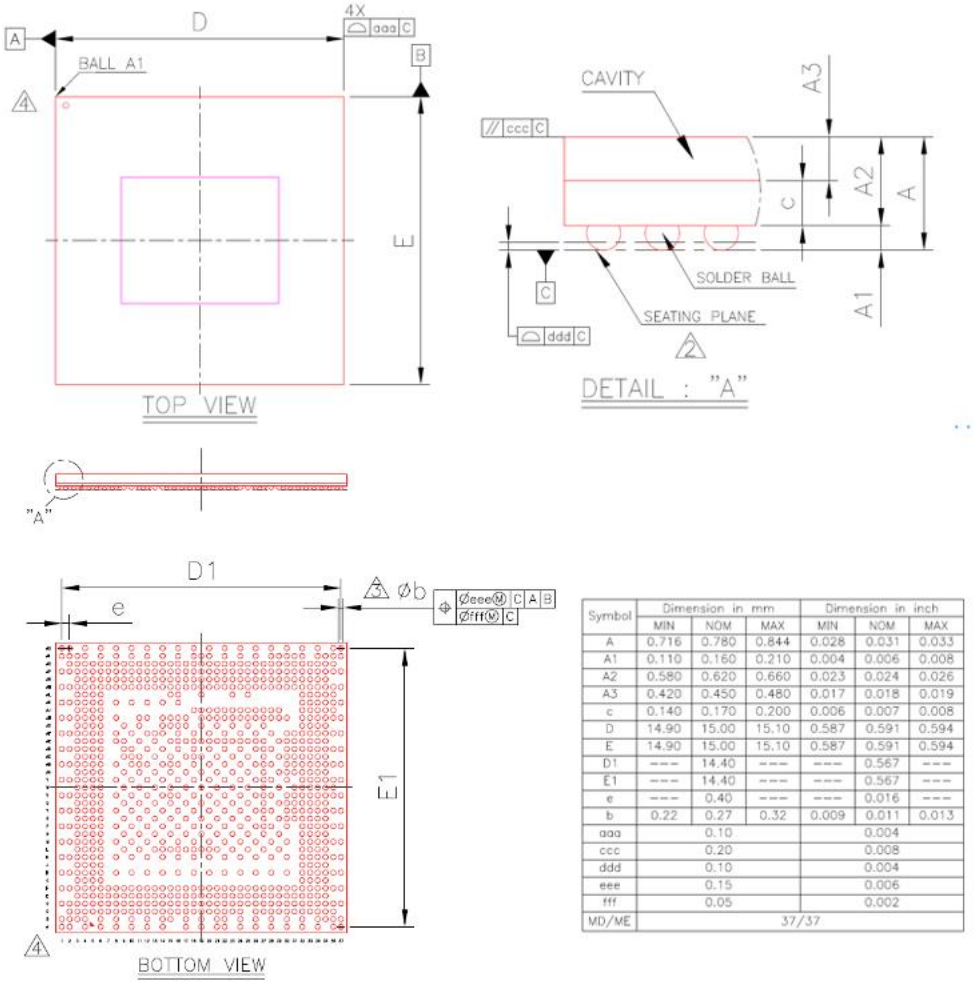
6 封装

6.1 封装参数

根据芯片功耗和性能要求，采用 Exposed Die FCCSP 封装，主要参数如下：

- 封装尺寸：15mm*15mm^2
- Ball pitch 0.4mm
- Ball size 0.27mm
- 矩形阵列，局部镂空

6.2 POD 图



Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.716	0.780	0.844	0.028	0.031	0.033
A1	0.110	0.160	0.210	0.004	0.006	0.008
A2	0.580	0.620	0.660	0.023	0.024	0.026
A3	0.420	0.450	0.480	0.017	0.018	0.019
c	0.140	0.170	0.200	0.006	0.007	0.008
D	14.90	15.00	15.10	0.587	0.591	0.594
E	14.90	15.00	15.10	0.587	0.591	0.594
D1	---	14.40	---	---	0.567	---
E1	---	14.40	---	---	0.567	---
e	---	0.40	---	---	0.016	---
b	0.22	0.27	0.32	0.009	0.011	0.013
aaa	0.10			0.004		
ccc	0.20			0.008		
ddd	0.10			0.004		
eee	0.15			0.006		
fff	0.05			0.002		
MD/ME	37/37					

图表 6-1 封装 POD

6.3 封装类型

图表 6-2 封装类型功能对照表

封装类型	封装
形式	Exposed Die FCCSP
尺寸	15mm*15mm
Ball Number	921
Ball Pitch	0.4mm
Ball Size	0.27mm
DDR（High 32bit）	✓
DDR（Low 32bit）	✓
eMMC	✓
SDIO	✓
SPI NOR/NAND	✓
USB	✓
GMAC	✓
HDMI	✓
MIPI CSI-2 0 4-Lane	✓
MIPI CSI-2 1 2-Lane	✓
MIPI CSI-2 2 2-Lane	✓
MIPI DSI 0 4-Lane	✓
MIPI DSI 1 4-Lane	✓
UART	✓
I2C	✓
PWM	✓
I2S	✓
SPDIF	✓
ADC	✓
GPIO	✓
ISO7816	✓

6.4 热阻参数

图表 6-3 封装热阻参数

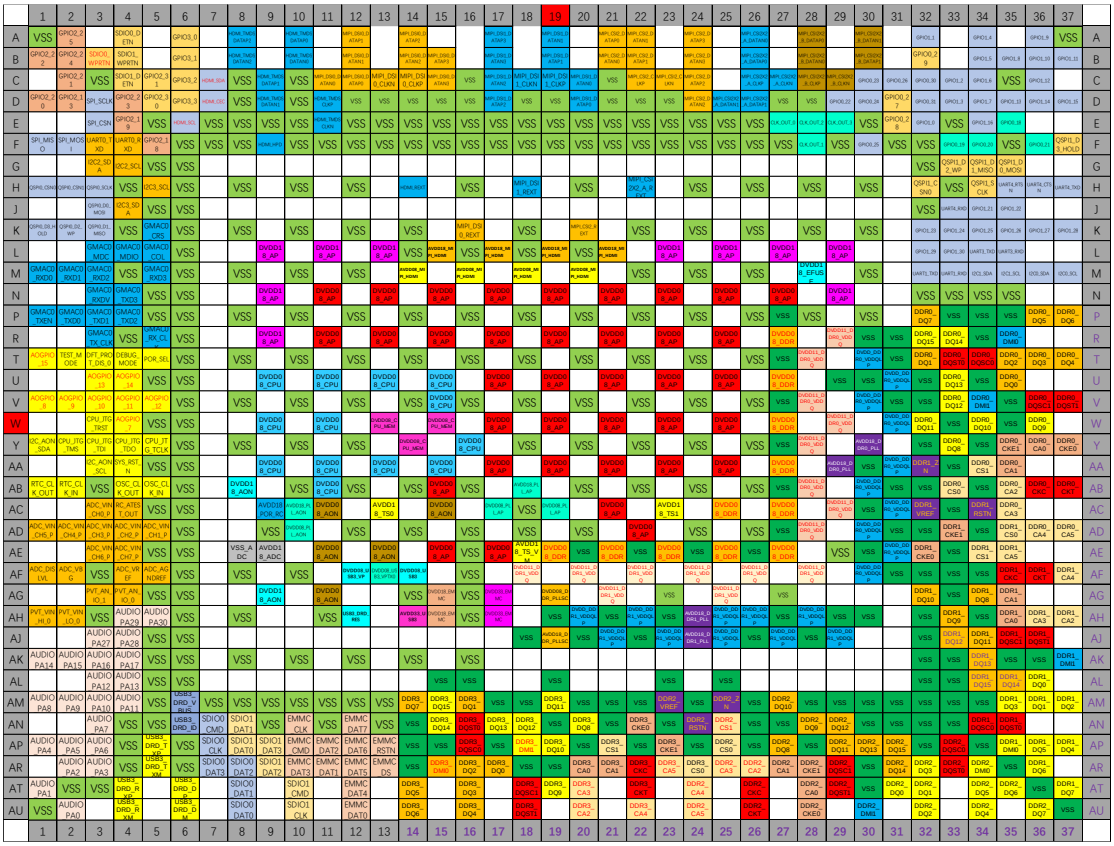
符号	参数	最小	典型	最大	单位
θ_{JA}	结到空气环境的热阻，空气流动速度 0m/s	-	19.68	-	℃/W
θ_{JB}	结到 PCB 的热阻，空气流动速度 0m/s	-	1.83	-	℃/W
θ_{JC}	结到封装外壳的热阻，空气流动速度 0m/s	-	0.05	-	℃/W

6.5 潮敏参数

芯片潮湿敏感等级 MSL 是 3 级。

7 管脚描述

7.1 管脚映射图



图表 7-1 管脚映射图

7.2 管脚定义

图表 7-2 管脚定义

管脚	管脚名	管脚	管脚名	管脚	管脚名
A1	VSS	AM6	USB3_DRD_VBUS	F33	GPIO0_19
A10	HDMI_TMDSDATAP0	AM7	VSS	F34	GPIO0_20
A12	MIPI_DSI0_DATAP1	AM8	VSS	F35	VSS
A14	MIPI_DSI0_DATAP2	AM9	VSS	F36	GPIO0_21
A17	MIPI_DSI1_DATAP3	AN10	EMMC_CLK	F37	QSPI1_D3_HOLD
A19	MIPI_DSI1_DATAN1	AN11	VSS	F4	UART0_RXD
A2	GPIO2_25	AN12	EMMC_DAT7	F5	GPIO2_18
A21	MIPI_CSI2_DATAP0	AN13	VSS	F6	VSS
A22	MIPI_CSI2_DATAN1	AN14	VSS	F7	VSS

A24	MIPI_CSI2_DATAP3	AN15	DDR3_DQ14	F8	VSS
A26	MIPI_CSI2X2_A_DATAN0	AN16	DDR3_DQST0	F9	HDMI_HPD
A28	MIPI_CSI2X2_B_DATAP0	AN17	DDR3_DQ13	G3	I2C2_SDA
A30	MIPI_CSI2X2_B_DATAN1	AN18	DDR3_DQ12	G32	VSS
A32	GPIO1_1	AN19	VSS	G33	QSPI1_D2_WP
A34	GPIO1_4	AN20	DDR3_DQ8	G34	QSPI1_D1_MISO
A36	GPIO1_9	AN21	VSS	G35	QSPI1_D0_MOSI
A37	VSS	AN22	DDR3_CKE0	G4	I2C2_SCL
A4	SDIO0_DETN	AN23	VSS	G5	VSS
A6	GPIO3_0	AN24	DDR2_RSTN	G6	VSS
A8	HDMI_TMDSDATAP2	AN25	DDR2_CS1	H1	QSPI0_CSN0
AA11	DVDD08_CPU	AN26	VSS	H10	VSS
AA13	DVDD08_CPU	AN27	VSS	H12	VSS
AA15	DVDD08_CPU	AN28	DDR2_DQ9	H14	HDMI_REXT
AA17	DVDD08_AP	AN29	DDR2_DQ12	H16	VSS
AA19	DVDD08_AP	AN3	AUDIO_PA7	H18	MIPI_DSI1_REXT
AA21	DVDD08_AP	AN30	VSS	H2	QSPI0_CSN1
AA23	DVDD08_AP	AN31	VSS	H20	VSS
AA25	DVDD08_AP	AN32	VSS	H22	MIPI_CSI2X2_A_REXT
AA27	DVDD08_DDR	AN33	VSS	H24	VSS
AA29	AVDD18_DDR0_PLL	AN34	DDR1_DQSC0	H26	VSS
AA3	I2C_AON_SCL	AN35	DDR1_DQST0	H28	VSS
AA30	VSS	AN4	VSS	H3	QSPI0_SCLK
AA31	DVDD_DDR0_VDDQLP	AN5	VSS	H30	VSS
AA32	DDR1_ZN	AN6	USB3_DRD_ID	H32	QSPI1_CSN0
AA33	VSS	AN7	SDIO0_CMD	H33	VSS
AA34	DDR0_CS1	AN8	SDIO1_DAT1	H34	QSPI1_SCLK
AA35	DDR0_CA1	AN9	VSS	H35	UART4_RTSN
AA4	SYS_RST_N	AP1	AUDIO_PA4	H36	UART4_CTSN
AA5	VSS	AP10	EMMC_CMD	H37	UART4_TXD
AA6	VSS	AP11	EMMC_DAT2	H4	VSS
AA9	DVDD08_CPU	AP12	EMMC_DAT6	H5	I2C3_SCL
AB1	RTC_CLK_OUT	AP13	EMMC_RSTN	H6	VSS
AB10	VSS	AP14	VSS	H8	VSS
AB11	DVDD08_CPU	AP15	VSS	J3	QSPI0_D0_MOSI
AB12	VSS	AP16	DDR3_DQSC0	J32	VSS
AB14	VSS	AP17	VSS	J33	UART4_RXD
AB15	DVDD08_AP	AP18	DDR3_DMI1	J34	GPIO1_21
AB16	VSS	AP19	DDR3_DQ10	J35	GPIO1_22
AB18	AVDD18_PLL_AP	AP2	AUDIO_PA5	J4	I2C3_SDA
AB2	RTC_CLK_IN	AP20	VSS	J5	VSS

AB20	VSS	AP21	DDR3_CS1	J6	VSS
AB22	VSS	AP22	VSS	K1	QSPI0_D3_HOLD
AB24	VSS	AP23	DDR3_CKE1	K10	VSS
AB26	VSS	AP24	VSS	K12	VSS
AB27	VSS	AP25	DDR2_CS0	K14	VSS
AB28	DVDD11_DDR0_VDDQ	AP26	VSS	K16	MIPI_DSI0_REXT
AB3	VSS	AP27	DDR2_DQ8	K18	VSS
AB30	DVDD_DDR0_VDDQLP	AP28	VSS	K2	QSPI0_D2_WP
AB31	VSS	AP29	DDR2_DQ11	K20	MIPI_CSI2_REXT
AB32	VSS	AP3	AUDIO_PA6	K22	VSS
AB33	DDR0_CS0	AP30	DDR2_DQ13	K24	VSS
AB34	VSS	AP31	DDR2_DQ15	K26	VSS
AB35	DDR0_CA2	AP32	VSS	K28	VSS
AB36	DDR0_CKC	AP33	DDR2_DQSC0	K3	QSPI0_D1_MISO
AB37	DDR0_CKT	AP34	VSS	K30	VSS
AB4	OSC_CLK_OUT	AP35	DDR1_DMI0	K32	GPIO1_23
AB5	OSC_CLK_IN	AP36	DDR1_DQ5	K33	GPIO1_24
AB6	VSS	AP37	DDR1_DQ4	K34	GPIO1_25
AB8	DVDD18_AON	AP4	VSS	K35	GPIO1_26
AC10	AVDD18_PLL_AON	AP5	USB3_DRD_TXP	K36	GPIO1_27
AC11	DVDD08_AON	AP6	VSS	K37	GPIO1_28
AC13	AVDD18_TS0	AP7	SDIO0_CLK	K4	VSS
AC15	DVDD08_AON	AP8	SDIO1_DAT0	K5	GMAC0_CRS
AC17	DVDD08_PLL_AP	AP9	SDIO1_DAT3	K6	VSS
AC18	VSS	AR10	EMMC_DAT3	K8	VSS
AC19	DVDD08_PLL_AP	AR11	EMMC_DAT1	L11	DVDD18_AP
AC21	DVDD08_AP	AR12	EMMC_DAT5	L13	DVDD18_AP
AC23	AVDD18_TS1	AR13	EMMC_DS	L14	VSS
AC25	DVDD08_DDR	AR14	VSS	L15	AVDD18_MIPI_HDMI
AC27	DVDD08_DDR	AR15	DDR3_DMI0	L16	VSS
AC29	DVDD11_DDR0_VDDQ	AR16	DDR3_DQ2	L17	AVDD18_MIPI_HDMI
AC3	ADC_VIN_CH0_P	AR17	DDR3_DQ0	L18	VSS
AC30	VSS	AR18	VSS	L19	AVDD18_MIPI_HDMI
AC31	DVDD_DDR0_VDDQLP	AR19	VSS	L20	VSS
AC32	DDR1_VREF	AR2	AUDIO_PA2	L21	AVDD18_MIPI_HDMI
AC33	VSS	AR20	DDR3_CA0	L23	DVDD18_AP
AC34	DDR1_RSTN	AR21	DDR3_CA1	L25	DVDD18_AP
AC35	DDR0_CA3	AR22	DDR3_CKC	L27	DVDD18_AP
AC4	RC_ATEST_OUT	AR23	DDR3_CA5	L29	DVDD18_AP
AC5	VSS	AR24	DDR3_CS0	L3	GMAC0_MDC
AC6	VSS	AR25	DDR2_CA3	L32	GPIO1_29

AC9	AVDD18_POR_RC	AR26	DDR2_CA2	L33	GPIO1_30
AD1	ADC_VIN_CH5_P	AR27	DDR2_CA1	L34	UART3_TXD
AD10	DVDD08_PLL_AON	AR28	DDR2_CKE1	L35	UART3_RXD
AD12	VSS	AR29	DDR2_DQSC1	L4	GMAC0_MDIO
AD14	VSS	AR3	AUDIO_PA3	L5	GMAC0_COL
AD16	VSS	AR30	VSS	L6	VSS
AD18	VSS	AR31	DDR2_DQ14	L9	DVDD18_AP
AD2	ADC_VIN_CH4_P	AR32	DDR2_DQ3	M1	GMAC0_RXD0
AD20	VSS	AR33	DDR2_DQST0	M10	VSS
AD22	DVDD08_AP	AR34	DDR2_DMI0	M12	VSS
AD24	VSS	AR35	VSS	M14	AVDD08_MIPI_HDMI
AD26	VSS	AR36	DDR1_DQ6	M16	AVDD08_MIPI_HDMI
AD27	VSS	AR4	VSS	M18	AVDD08_MIPI_HDMI
AD28	DVDD11_DDR0_VDDQ	AR5	USB3_DRD_TXM	M2	GMAC0_RXD1
AD3	ADC_VIN_CH3_P	AR6	VSS	M20	AVDD08_MIPI_HDMI
AD30	DVDD_DDR0_VDDQLP	AR7	SDIO0_DAT3	M22	VSS
AD31	VSS	AR8	SDIO0_DAT2	M24	VSS
AD32	VSS	AR9	SDIO1_DAT2	M26	VSS
AD33	DDR1_CKE1	AT1	AUDIO_PA1	M28	DVDD18_EFUSE
AD34	VSS	AT10	SDIO1_CMD	M3	GMAC0_RXD2
AD35	DDR1_CS0	AT12	EMMC_DAT4	M30	VSS
AD36	DDR0_CA4	AT14	DDR3_DQ5	M32	UART1_TXD
AD37	DDR0_CA5	AT16	DDR3_DQ3	M33	UART1_RXD
AD4	ADC_VIN_CH2_P	AT18	DDR3_DQSC1	M34	I2C1_SDA
AD5	ADC_VIN_CH1_P	AT19	DDR3_DQ9	M35	I2C1_SCL
AD6	VSS	AT2	VSS	M36	I2C0_SDA
AD9	VSS	AT20	DDR3_CA3	M37	I2C0_SCL
AE11	DVDD08_AON	AT22	DDR3_CKT	M4	VSS
AE13	DVDD08_AON	AT24	DDR2_CA4	M5	GMAC0_RXD3
AE15	DVDD08_AP	AT26	DDR2_CKC	M6	VSS
AE16	VSS	AT28	DDR2_CA0	M8	VSS
AE17	DVDD08_AP	AT29	DDR2_DQST1	N11	DVDD08_AP
AE18	AVDD18_TS_VM	AT3	VSS	N13	DVDD08_AP
AE19	DVDD08_DDR	AT30	VSS	N15	DVDD08_AP
AE20	VSS	AT31	DDR2_DQ0	N17	DVDD08_AP
AE21	DVDD08_DDR	AT32	DDR2_DQ1	N19	DVDD08_AP
AE22	VSS	AT34	DDR2_DQ5	N21	DVDD08_AP
AE23	DVDD08_DDR	AT35	DDR2_DQ6	N23	DVDD08_AP
AE24	VSS	AT36	VSS	N25	DVDD08_AP
AE25	DVDD08_DDR	AT37	DDR1_DQ7	N27	DVDD08_AP
AE26	VSS	AT4	USB3_DRD_RXP	N29	DVDD18_AP

AE27	DVDD08_DDR	AT6	USB3_DRD_DP	N3	GMAC0_RXDV
AE29	VSS	AT8	SDIO0_DAT1	N32	VSS
AE3	ADC_VIN_CH6_P	AU1	VSS	N33	VSS
AE30	VSS	AU10	SDIO1_CLK	N34	VSS
AE31	DVDD_DDR0_VDDQLP	AU12	EMMC_DAT0	N35	VSS
AE32	DDR1_CKE0	AU14	DDR3_DQ6	N4	GMAC0_TXD3
AE33	VSS	AU16	DDR3_DQ4	N5	VSS
AE34	DDR1_CS1	AU18	DDR3_DQST1	N6	VSS
AE35	DDR1_CA5	AU2	AUDIO_PA0	N9	DVDD18_AP
AE4	ADC_VIN_CH7_P	AU20	DDR3_CA2	P1	GMAC0_TXEN
AE5	VSS	AU22	DDR3_CA4	P10	VSS
AE6	VSS	AU24	DDR2_CA5	P12	VSS
AE8	VSS_ADC	AU26	DDR2_CKT	P14	VSS
AE9	AVDD18_ADC	AU28	DDR2_CKE0	P16	VSS
AF1	ADC_DISLVL	AU30	DDR2_DMI1	P18	VSS
AF10	VSS	AU32	DDR2_DQ2	P2	GMAC0_TXD0
AF12	DVDD08_USB3_VP	AU34	DDR2_DQ4	P20	VSS
AF13	DVDD08_USB3_VPTX0	AU36	DDR2_DQ7	P22	VSS
AF14	DVDD08_USB3	AU37	VSS	P24	VSS
AF16	VSS	AU4	USB3_DRD_RXM	P26	VSS
AF18	DVDD11_DDR1_VDDQ	AU6	USB3_DRD_DM	P27	VSS
AF2	ADC_VBG	AU8	SDIO0_DAT0	P28	VSS
AF20	DVDD11_DDR1_VDDQ	B1	GPIO2_22	P3	GMAC0_TXD1
AF22	DVDD11_DDR1_VDDQ	B10	HDMI_TMDSDATAN0	P30	VSS
AF24	DVDD11_DDR1_VDDQ	B12	MIPI_DSI0_DATAN1	P32	DDR0_DQ7
AF26	DVDD11_DDR1_VDDQ	B14	MIPI_DSI0_DATAN2	P33	VSS
AF28	DVDD11_DDR1_VDDQ	B15	MIPI_DSI0_DATAP3	P34	VSS
AF3	VSS	B17	MIPI_DSI1_DATAN3	P35	VSS
AF30	DVDD_DDR0_VDDQLP	B19	MIPI_DSI1_DATAP1	P36	DDR0_DQ5
AF31	VSS	B2	GPIO2_24	P37	DDR0_DQ6
AF32	VSS	B21	MIPI_CSI2_DATAN0	P4	GMAC0_TXD2
AF33	VSS	B22	MIPI_CSI2_DATAP1	P5	VSS
AF34	VSS	B24	MIPI_CSI2_DATAN3	P6	VSS
AF35	DDR1_CKC	B26	MIPI_CSI2X2_A_DATAP0	P8	VSS
AF36	DDR1_CKT	B28	MIPI_CSI2X2_B_DATAN0	R11	DVDD08_AP
AF37	DDR1_CA4	B3	SDIO0_WPRTN	R13	DVDD08_AP
AF4	ADC_VREF	B30	MIPI_CSI2X2_B_DATAP1	R15	DVDD08_AP
AF5	ADC_AGNDREF	B32	GPIO0_29	R17	DVDD08_AP
AF6	VSS	B34	GPIO1_5	R19	DVDD08_AP
AF8	VSS	B35	GPIO1_8	R21	DVDD08_AP
AG11	DVDD08_AON	B36	GPIO1_10	R23	DVDD08_AP

AG14	VSS	B37	GPIO1_11	R25	DVDD08_AP
AG15	DVDD18_EMMC	B4	SDIO1_WPRTN	R27	DVDD08_DDR
AG16	VSS	B6	GPIO3_1	R29	DVDD11_DDR0_VDDQ
AG17	DVDD33_EMMC	B8	HDMI_TMDSDATAN2	R3	GMAC0_TX_CLK
AG19	DVDD08_DDR_PLLSC	C10	VSS	R30	VSS
AG21	DVDD11_DDR1_VDDQ	C11	MIPI_DSI0_DATAN0	R31	VSS
AG23	VSS	C12	MIPI_DSI0_DATAP0	R32	DDR0_DQ15
AG25	DVDD11_DDR1_VDDQ	C13	MIPI_DSI0_CLKN	R33	DDR0_DQ14
AG27	VSS	C14	MIPI_DSI0_CLKP	R34	VSS
AG3	PVT_AN_IO_1	C15	MIPI_DSI0_DATAN3	R35	DDR0_DMI0
AG32	DDR1_DQ10	C16	VSS	R4	VSS
AG33	VSS	C17	MIPI_DSI1_DATAN2	R5	GMAC0_RX_CLK
AG34	DDR1_DQ8	C18	MIPI_DSI1_CLKN	R6	VSS
AG35	DDR1_CA1	C19	MIPI_DSI1_CLKP	R9	DVDD18_AP
AG4	PVT_AN_IO_0	C2	GPIO2_21	T1	AOGPIO_15
AG5	VSS	C20	MIPI_DSI1_DATAN0	T10	VSS
AG6	VSS	C21	VSS	T12	VSS
AG9	DVDD18_AON	C22	MIPI_CSI2_CLKP	T14	VSS
AH1	PVT_VIN_HI_0	C23	MIPI_CSI2_CLKN	T16	VSS
AH11	VSS	C24	MIPI_CSI2_DATAP2	T18	VSS
AH12	USB3_DRD_RES	C26	MIPI_CSI2X2_A_CLKP	T2	TEST_MODE
AH14	AVDD33_USB3	C27	MIPI_CSI2X2_A_CLKN	T20	VSS
AH15	DVDD18_EMMC	C28	MIPI_CSI2X2_B_CLKP	T22	VSS
AH16	VSS	C29	MIPI_CSI2X2_B_CLKN	T24	VSS
AH17	DVDD33_EMMC	C3	VSS	T26	VSS
AH19	VSS	C30	GPIO0_23	T27	VSS
AH2	PVT_VIN_LO_0	C31	GPIO0_26	T28	DVDD11_DDR0_VDDQ
AH20	DVDD_DDR1_VDDQLP	C32	GPIO0_30	T3	NC
AH21	VSS	C33	GPIO1_2	T30	DVDD_DDR0_VDDQLP
AH22	DVDD_DDR1_VDDQLP	C34	GPIO1_6	T31	VSS
AH23	VSS	C35	VSS	T32	DDR0_DQ1
AH24	AVDD18_DDR1_PLL	C36	GPIO1_12	T33	DDR0_DQST0
AH25	DVDD_DDR1_VDDQLP	C4	SDIO1_DETN	T34	DDR0_DQSC0
AH26	DVDD_DDR1_VDDQLP	C5	GPIO2_31	T35	DDR0_DQ2
AH27	VSS	C6	GPIO3_2	T36	DDR0_DQ3
AH28	DVDD_DDR1_VDDQLP	C7	HDMI_SDA	T37	DDR0_DQ4
AH29	VSS	C8	VSS	T4	DEBUG_MODE
AH3	VSS	C9	HDMI_TMDSDATAP1	T5	POR_SEL
AH30	VSS	D1	GPIO2_20	T6	VSS
AH32	VSS	D10	VSS	T8	VSS
AH33	DDR1_DQ9	D11	HDMI_TMDSCLKP	U11	DVDD08_CPU

AH34	VSS	D12	VSS	U13	DVDD08_CPU
AH35	DDR1_CA0	D13	VSS	U15	DVDD08_CPU
AH36	DDR1_CA3	D14	VSS	U17	DVDD08_AP
AH37	DDR1_CA2	D15	VSS	U19	DVDD08_AP
AH4	AUDIO_PA29	D16	VSS	U21	DVDD08_AP
AH5	AUDIO_PA30	D17	MIPI_DSI1_DATAP2	U23	DVDD08_AP
AH6	VSS	D18	VSS	U25	DVDD08_AP
AH8	VSS	D19	VSS	U27	DVDD08_DDR
AJ18	VSS	D2	GPIO2_13	U29	VSS
AJ19	AVDD18_DDR_PLLSC	D20	MIPI_DSI1_DATAP0	U3	AOGPIO_13
AJ20	VSS	D21	VSS	U30	VSS
AJ21	DVDD_DDR1_VDDQLP	D22	VSS	U31	DVDD_DDR0_VDDQLP
AJ22	VSS	D23	VSS	U32	VSS
AJ23	DVDD_DDR1_VDDQLP	D24	MIPI_CSI2_DATAN2	U33	DDR0_DQ13
AJ24	AVDD18_DDR1_PLL	D25	MIPI_CSI2X2_A_DATAN1	U34	VSS
AJ25	DVDD_DDR1_VDDQLP	D26	MIPI_CSI2X2_A_DATAP1	U35	DDR0_DQ0
AJ26	VSS	D27	VSS	U4	AOGPIO_14
AJ27	DVDD_DDR1_VDDQLP	D28	VSS	U5	VSS
AJ28	VSS	D29	GPIO0_22	U6	VSS
AJ29	DVDD_DDR1_VDDQLP	D3	SPI_SCLK	U9	DVDD08_CPU
AJ3	AUDIO_PA27	D30	GPIO0_24	V1	AOGPIO_8
AJ32	VSS	D31	GPIO0_27	V10	VSS
AJ33	DDR1_DQ12	D32	GPIO0_31	V12	VSS
AJ34	DDR1_DQ11	D33	GPIO1_3	V14	VSS
AJ35	DDR1_DQSC1	D34	GPIO1_7	V15	DVDD08_CPU
AJ36	DDR1_DQST1	D35	GPIO1_13	V16	VSS
AJ4	AUDIO_PA28	D36	GPIO1_14	V18	VSS
AJ5	VSS	D37	GPIO1_15	V2	AOGPIO_9
AJ6	VSS	D4	GPIO2_23	V20	VSS
AK1	AUDIO_PA14	D5	GPIO2_30	V22	VSS
AK10	VSS	D6	GPIO3_3	V24	VSS
AK12	VSS	D7	HDMI_CEC	V26	VSS
AK14	VSS	D8	VSS	V27	VSS
AK16	VSS	D9	HDMI_TMDSDATAN1	V28	DVDD11_DDR0_VDDQ
AK2	AUDIO_PA15	E10	VSS	V3	AOGPIO_10
AK3	AUDIO_PA16	E11	HDMI_TMDSCLKN	V30	DVDD_DDR0_VDDQLP
AK32	VSS	E12	VSS	V31	VSS
AK33	VSS	E13	VSS	V32	VSS
AK34	DDR1_DQ13	E14	VSS	V33	DDR0_DQ12
AK35	VSS	E15	VSS	V34	DDR0_DMI1
AK36	VSS	E16	VSS	V35	VSS

AK37	DDR1_DMI1	E17	VSS	V36	DDR0_DQSC1
AK4	AUDIO_PA17	E18	VSS	V37	DDR0_DQST1
AK5	VSS	E19	VSS	V4	AOGPIO_11
AK6	VSS	E20	VSS	V5	AOGPIO_12
AK8	VSS	E21	VSS	V6	VSS
AL15	VSS	E22	VSS	V8	VSS
AL16	VSS	E23	VSS	W11	DVDD08_CPU
AL19	VSS	E24	VSS	W13	DVDD08_CPU_MEM
AL23	VSS	E25	VSS	W15	DVDD08_CPU_MEM
AL25	VSS	E26	VSS	W17	DVDD08_AP
AL3	AUDIO_PA12	E27	CLK_OUT_0	W19	DVDD08_AP
AL32	VSS	E28	CLK_OUT_2	W21	DVDD08_AP
AL33	VSS	E29	CLK_OUT_3	W23	DVDD08_AP
AL34	DDR1_DQ15	E3	SPI_CSN	W25	DVDD08_AP
AL35	DDR1_DQ14	E30	VSS	W27	DVDD08_DDR
AL36	DDR1_DQ0	E31	GPIO0_28	W29	DVDD11_DDR0_VDDQ
AL4	AUDIO_PA13	E32	GPIO1_0	W3	CPU_JTG_TRST
AL5	VSS	E33	VSS	W31	DVDD_DDR0_VDDQLP
AL6	VSS	E34	GPIO1_16	W32	DDR0_DQ11
AM1	AUDIO_PA8	E35	GPIO0_18	W33	VSS
AM10	VSS	E4	GPIO2_19	W34	DDR0_DQ10
AM11	VSS	E5	VSS	W35	VSS
AM12	VSS	E6	HDMI_SCL	W36	DDR0_DQ9
AM13	VSS	E7	VSS	W4	AOGPIO_7
AM14	DDR3_DQ7	E8	VSS	W5	VSS
AM15	DDR3_DQ15	E9	VSS	W6	VSS
AM16	DDR3_DQ1	F1	SPI_MISO	W9	DVDD08_CPU
AM17	VSS	F10	VSS	Y1	I2C_AON_SDA
AM18	VSS	F11	VSS	Y10	VSS
AM19	DDR3_DQ11	F12	VSS	Y12	VSS
AM2	AUDIO_PA9	F13	VSS	Y14	DVDD08_CPU_MEM
AM20	VSS	F14	VSS	Y16	DVDD08_CPU
AM21	VSS	F15	VSS	Y18	VSS
AM22	VSS	F16	VSS	Y2	CPU_JTG_TMS
AM23	DDR2_VREF	F17	VSS	Y20	VSS
AM24	VSS	F18	VSS	Y22	VSS
AM25	DDR2_ZN	F19	VSS	Y24	VSS
AM26	VSS	F2	SPI_MOSI	Y26	VSS
AM27	DDR2_DQ10	F20	VSS	Y27	VSS
AM28	VSS	F21	VSS	Y28	DVDD11_DDR0_VDDQ
AM29	VSS	F22	VSS	Y3	CPU_JTG_TDI

AM3	AUDIO_PA10	F23	VSS	Y30	AVDD18_DDR0_PLL
AM30	VSS	F24	VSS	Y32	VSS
AM31	VSS	F25	VSS	Y33	DDR0_DQ8
AM32	VSS	F26	VSS	Y34	VSS
AM33	VSS	F27	VSS	Y35	DDR0_CKE1
AM34	VSS	F28	CLK_OUT_1	Y36	DDR0_CA0
AM35	DDR1_DQ3	F29	VSS	Y37	DDR0_CKE0
AM36	DDR1_DQ1	F3	UART0_TXD	Y4	CPU_JTG_TDO
AM37	DDR1_DQ2	F30	GPIO0_25	Y5	CPU_JTG_TCLK
AM4	AUDIO_PA11	F31	VSS	Y6	VSS
AM5	VSS	F32	VSS	Y8	VSS

7.3 详细管脚描述

图表 7-3 管脚描述

符号	描述
AI	Analog input
AO	Analog output
AIO	Analog bi-direction
DI	Digital input
DO	Digital output
DIO	Digital bi-direction
P	Power
G	Ground

管脚名称	类型	描述	电源域
ADC_DISLVL	AI	ADC deep power down mode	AVDD18_ADC
ADC_VBG	AI	ADC external voltage reference for built-in reference buffer	AVDD18_ADC
ADC_VIN_CH[i]_P (i=0~7)	AIO	ADC single ended analog input channel [i]	AVDD18_ADC
AOGPIO_10	DIO	AOGPIO data[10]	DVDD18_AON
AOGPIO_11	DIO	AOGPIO data[11]	DVDD18_AON
AOGPIO_12	DIO	AOGPIO data[12]	DVDD18_AON
AOGPIO_13	DIO	AOGPIO data[13]	DVDD18_AON
AOGPIO_14	DIO	AOGPIO data[14]	DVDD18_AON
AOGPIO_15	DIO	AOGPIO data[15]	DVDD18_AON
AOGPIO_7	DIO	AOGPIO data[7]	DVDD18_AON
AOGPIO_8	DIO	AOGPIO data[8]	DVDD18_AON
AOGPIO_9	DIO	AOGPIO data[9]	DVDD18_AON

AUDIO_PA0	DIO	Audio subsys GPIO data[0]	DVDD18_AON
AUDIO_PA1	DIO	Audio subsys GPIO data[1]	DVDD18_AON
AUDIO_PA10	DIO	Audio subsys GPIO data[10]	DVDD18_AON
AUDIO_PA11	DIO	Audio subsys GPIO data[11]	DVDD18_AON
AUDIO_PA12	DIO	Audio subsys GPIO data[12]	DVDD18_AON
AUDIO_PA13	DIO	Audio subsys GPIO data[13]	DVDD18_AON
AUDIO_PA14	DIO	Audio subsys GPIO data[14]	DVDD18_AON
AUDIO_PA15	DIO	Audio subsys GPIO data[15]	DVDD18_AON
AUDIO_PA16	DIO	Audio subsys GPIO data[16]	DVDD18_AON
AUDIO_PA17	DIO	Audio subsys GPIO data[17]	DVDD18_AON
AUDIO_PA2	DIO	Audio subsys GPIO data[2]	DVDD18_AON
AUDIO_PA27	DIO	Audio subsys GPIO data[27]	DVDD18_AON
AUDIO_PA28	DIO	Audio subsys GPIO data[28]	DVDD18_AON
AUDIO_PA29	DIO	Audio subsys GPIO data[29]	DVDD18_AON
AUDIO_PA3	DIO	Audio subsys GPIO data[3]	DVDD18_AON
AUDIO_PA30	DIO	Audio subsys GPIO data[30]	DVDD18_AON
AUDIO_PA4	DIO	Audio subsys GPIO data[4]	DVDD18_AON
AUDIO_PA5	DIO	Audio subsys GPIO data[5]	DVDD18_AON
AUDIO_PA6	DIO	Audio subsys GPIO data[6]	DVDD18_AON
AUDIO_PA7	DIO	Audio subsys GPIO data[7]	DVDD18_AON
AUDIO_PA8	DIO	Audio subsys GPIO data[8]	DVDD18_AON
AUDIO_PA9	DIO	Audio subsys GPIO data[9]	DVDD18_AON
CLK_OUT_0	DO	Digital clock output signal	DVDD18_AP
CLK_OUT_1	DO	Digital clock output signal	DVDD18_AP
CLK_OUT_2	DO	Digital clock output signal	DVDD18_AP
CLK_OUT_3	DO	Digital clock output signal	DVDD18_AP
CPU_JTG_TCLK	DI	CPU JTAG test clock input	DVDD18_AON
CPU_JTG_TDI	DI	CPU JTAG test data input	DVDD18_AON
CPU_JTG_TDO	DO	CPU JTAG test data output	DVDD18_AON
CPU_JTG_TMS	DI	CPU JTAG test mode select	DVDD18_AON
CPU_JTG_TRST	DI	CPU JTAG test reset input, active low	DVDD18_AON
DDR0_CA[i] (i=0~5)	DO	DDR command/address output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_CKC	DO	DDR differential clock output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_CKE0	DO	DDR clock enable output, active high	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_CKE1	DO	DDR clock enable output, active high	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP

DDR0_CKT	DO	DDR differential clock output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_CS0	DO	DDR channel 0 chip select output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_CS1	DO	DDR channel 1 chip select output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DMI0	DIO	DDR channel 0 data mask inversion	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DMI1	DO	DDR channel 1 data mask inversion	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DQ[i] (i=0~15)	DIO	DDR input/output data bus	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DQSC0	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DQSC1	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DQST0	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR0_DQST1	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CA[i] (i=0~5)	DO	DDR command/address output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CKC	DO	DDR differential clock output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CKE0	DO	DDR clock enable output, active high	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CKE1	DO	DDR clock enable output, active high	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CKT	DO	DDR differential clock output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CS0	DO	DDR channel 0 chip select output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_CS1	DO	DDR channel 1 chip select output	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_DMI0	DO	DDR channel 0 data mask inversion	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_DMI1	DO	DDR channel 1 data mask inversion	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_DQ[i] (i=0~15)	DIO	DDR input/output data bus	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_DQSC0	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP

DDR1_DQSC1	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_DQST0	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_DQST1	DIO	DDR differential data strobe signal	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_RSTN	DO	DDR reset output, active low	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_VREF	AI	DDR reference voltage for receivers in AC and DAT	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR1_ZN	AI	DDR calibration resistor	DVDD11_DDR0_VDDQ/ DVDD_DDR0_VDDQLP
DDR2_CA[i] (i=0~5)	DO	DDR command/address output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_CKC	DO	DDR differential clock output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_CKE0	DO	DDR clock enable output, active high	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_CKE1	DO	DDR clock enable output, active high	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_CKT	DO	DDR differential clock output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_CS0	DO	DDR channel 0 chip select output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_CS1	DO	DDR channel 1 chip select output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DMI0	DO	DDR channel 0 data mask inversion	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DMI1	DO	DDR channel 1 data mask inversion	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DQ[i] (i=0~15)	DIO	DDR input/output data bus	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DQSC0	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DQSC1	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DQST0	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_DQST1	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_RSTN	DO	DDR reset output, active low	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP

DDR2_VREF	AI	DDR reference voltage for receivers in AC and DAT	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR2_ZN	AI	DDR calibration resistor connection	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CA[i] (i=0~5)	DO	DDR command/address output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CKC	DO	DDR differential clock output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CKE0	DO	DDR clock enable output, active high	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CKE1	DO	DDR clock enable output, active high	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CKT	DO	DDR differential clock output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CS0	DO	DDR channel 0 chip select output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_CS1	DO	DDR channel 1 chip select output	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DMI0	DO	DDR channel 0 data mask inversion	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DMI1	DO	DDR channel 1 data mask inversion	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DQ[i] (i=0~15)	DIO	DDR input/output data bus	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DQSC0	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DQSC1	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DQST0	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DDR3_DQST1	DIO	DDR differential data strobe signal	DVDD11_DDR1_VDDQ/ DVDD_DDR1_VDDQLP
DEBUG_MODE	DI	Debug mode select, active high	DVDD18_AON
EMMC_CLK	DO	EMMC clock output	DVDD18_EMMC/DVDD 33_EMMC
EMMC_CMD	DIO	EMMC command	DVDD18_EMMC/DVDD 33_EMMC
EMMC_DAT[i] (i=0~7)	DIO	EMMC data bus	DVDD18_EMMC/DVDD 33_EMMC
EMMC_DS	DIO	EMMC data strobe	DVDD18_EMMC/DVDD 33_EMMC
EMMC_RSTN	DO	EMMC reset output, active low	DVDD18_EMMC/DVDD 33_EMMC

GMAC0_COL	DI	GMAC PHY collision signal	DVDD18_AP
GMAC0_CRS	DI	GMAC PHY CRS signal	DVDD18_AP
GMAC0_MDC	DIO	GMAC management interface clock	DVDD18_AP
GMAC0_MDIO	DO	GMAC management interface data	DVDD18_AP
GMAC0_RX_CLK	DI	GMAC RGMII RX clock input	DVDD18_AP
GMAC0_RXD[i] (i=0~3)	DI	GMAC RX data bus	DVDD18_AP
GMAC0_RXDV	DI	GMAC RX data valid	DVDD18_AP
GMAC0_TX_CLK	DO	GMAC RGMII TX clock output	DVDD18_AP
GMAC0_TXD[i] (i=0~3)	DO	GMAC TX data bus	DVDD18_AP
GMAC0_TXEN	DO	GMAC TX data enable	DVDD18_AP
GPIO0_18	DIO	GPIO0 data[18]	DVDD18_AP
GPIO0_19	DIO	GPIO0 data[19]	DVDD18_AP
GPIO0_20	DIO	GPIO0 data[20]	DVDD18_AP
GPIO0_21	DIO	GPIO0 data[21]	DVDD18_AP
GPIO0_22	DIO	GPIO0 data[22]	DVDD18_AP
GPIO0_23	DIO	GPIO0 data[23]	DVDD18_AP
GPIO0_24	DIO	GPIO0 data[24]	DVDD18_AP
GPIO0_25	DIO	GPIO0 data[25]	DVDD18_AP
GPIO0_26	DIO	GPIO0 data[26]	DVDD18_AP
GPIO0_27	DIO	GPIO0 data[27]	DVDD18_AP
GPIO0_28	DIO	GPIO0 data[28]	DVDD18_AP
GPIO0_29	DIO	GPIO0 data[29]	DVDD18_AP
GPIO0_30	DIO	GPIO0 data[30]	DVDD18_AP
GPIO0_31	DIO	GPIO0 data[31]	DVDD18_AP
GPIO1_0	DIO	GPIO1 data[0]	DVDD18_AP
GPIO1_1	DIO	GPIO1 data[1]	DVDD18_AP
GPIO1_10	DIO	GPIO1 data[10]	DVDD18_AP
GPIO1_11	DIO	GPIO1 data[11]	DVDD18_AP
GPIO1_12	DIO	GPIO1 data[12]	DVDD18_AP
GPIO1_13	DIO	GPIO1 data[13]	DVDD18_AP
GPIO1_14	DIO	GPIO1 data[14]	DVDD18_AP
GPIO1_15	DIO	GPIO1 data[15]	DVDD18_AP
GPIO1_16	DIO	GPIO1 data[16]	DVDD18_AP
GPIO1_2	DIO	GPIO1 data[2]	DVDD18_AP
GPIO1_21	DIO	GPIO1 data[21]	DVDD18_AP
GPIO1_22	DIO	GPIO1 data[22]	DVDD18_AP
GPIO1_23	DIO	GPIO1 data[23]	DVDD18_AP

GPIO1_24	DIO	GPIO1 data[24]	DVDD18_AP
GPIO1_25	DIO	GPIO1 data[25]	DVDD18_AP
GPIO1_26	DIO	GPIO1 data[26]	DVDD18_AP
GPIO1_27	DIO	GPIO1 data[27]	DVDD18_AP
GPIO1_28	DIO	GPIO1 data[28]	DVDD18_AP
GPIO1_29	DIO	GPIO1 data[29]	DVDD18_AP
GPIO1_3	DIO	GPIO1 data[3]	DVDD18_AP
GPIO1_30	DIO	GPIO1 data[30]	DVDD18_AP
GPIO1_4	DIO	GPIO1 data[4]	DVDD18_AP
GPIO1_5	DIO	GPIO1 data[5]	DVDD18_AP
GPIO1_6	DIO	GPIO1 data[6]	DVDD18_AP
GPIO1_7	DIO	GPIO1 data[7]	DVDD18_AP
GPIO1_8	DIO	GPIO1 data[8]	DVDD18_AP
GPIO1_9	DIO	GPIO1 data[9]	DVDD18_AP
GPIO2_13	DIO	GPIO2 data[13]	DVDD18_AP
GPIO2_18	DIO	GPIO2 data[18]	DVDD18_AP
GPIO2_19	DIO	GPIO2 data[19]	DVDD18_AP
GPIO2_20	DIO	GPIO2 data[20]	DVDD18_AP
GPIO2_21	DIO	GPIO2 data[21]	DVDD18_AP
GPIO2_22	DIO	GPIO2 data[22]	DVDD18_AP
GPIO2_23	DIO	GPIO2 data[23]	DVDD18_AP
GPIO2_24	DIO	GPIO2 data[24]	DVDD18_AP
GPIO2_25	DIO	GPIO2 data[25]	DVDD18_AP
GPIO2_30	DIO	GPIO2 data[30]	DVDD18_AP
GPIO2_31	DIO	GPIO2 data[31]	DVDD18_AP
GPIO3_0	DIO	GPIO3 data[0]	DVDD18_AP
GPIO3_1	DIO	GPIO3 data[1]	DVDD18_AP
GPIO3_2	DIO	GPIO3 data[2]	DVDD18_AP
GPIO3_3	DIO	GPIO3 data[3]	DVDD18_AP
HDMI_CEC	DIO	HDMI CEC signal	DVDD18_AP
HDMI_HPD	DI	HDMI hot plug detect signal	AVDD18_MIPI_HDMI
HDMI_REXT	AIO	HDMI reference resister connection	AVDD18_MIPI_HDMI
HDMI_SCL	DIO	HDMI I2C clock line	DVDD18_AP
HDMI_SDA	DIO	HDMI I2C data line	DVDD18_AP
HDMI_TMDSCLKN	DO	HDMI negative TMDS differential line driver clock output	AVDD18_MIPI_HDMI
HDMI_TMDSCLKP	DO	HDMI positive TMDS differential line driver clock output	AVDD18_MIPI_HDMI

HDMI_TMDSDATAN[i] (i=0~2)	DO	HDMI negative TMDS differential line driver data output	AVDD18_MIPI_HDMI
HDMI_TMDSDATAP[i] (i=0~2)	DO	HDMI positive TMDS differential line driver data output	AVDD18_MIPI_HDMI
I2C_AON_SCL	DIO	I2C_AON clock line	DVDD18_AON
I2C_AON_SDA	DIO	I2C_AON data line	DVDD18_AON
I2C0_SCL	DIO	I2C0 clock line	DVDD18_AP
I2C0_SDA	DIO	I2C0 data line	DVDD18_AP
I2C1_SCL	DIO	I2C1 clock line	DVDD18_AP
I2C1_SDA	DIO	I2C1 data line	DVDD18_AP
I2C2_SCL	DIO	I2C1 clock line	DVDD18_AP
I2C2_SDA	DIO	I2C1 data line	DVDD18_AP
I2C3_SCL	DIO	I2C2 clock line	DVDD18_AP
I2C3_SDA	DIO	I2C2 data line	DVDD18_AP
MIPI_CSI2_CLKN	DI	MIPI CSI negative differential clock lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2_CLKP	DI	MIPI CSI positive differential clock lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2_DATAN[i] (i=0~3)	DI	MIPI CSI negative differential data lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2_DATAP[i] (i=0~3)	DI	MIPI CSI positive differential data lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2_REXT	AIO	MIPI CSI external resistor connection	AVDD18_MIPI_HDMI
MIPI_CSI2X2_A_CLKN	DI	MIPI CSI2X2_A negative differential clock lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_A_CLKP	DI	MIPI CSI2X2_A positive differential clock lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_A_DATAN[i] (i=0~1)	DI	MIPI CSI2X2_A negative differential data lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_A_DATAP[i] (i=0~1)	DI	MIPI CSI2X2_A positive differential data lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_A_REXT	AIO	MIPI CSI2X2_A external resistor connection	AVDD18_MIPI_HDMI
MIPI_CSI2X2_B_CLKN	DI	MIPI CSI2X2_B negative differential clock lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_B_CLKP	DI	MIPI CSI2X2_B positive differential clock lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_B_DATAN[i] (i=0~1)	DI	MIPI CSI2X2_B negative differential data lane receiver input	AVDD18_MIPI_HDMI
MIPI_CSI2X2_B_DATAP[i] (i=0~1)	DI	MIPI CSI2X2_B positive differential data lane receiver input	AVDD18_MIPI_HDMI

MIPI_DSI0_CLKN	DO	MIPI DSI0 negative differential clock lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI0_CLKP	DO	MIPI DSI0 positive differential clock lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI0_DATAN[i] (i=0~3)	DO	MIPI DSI0 negative differential data lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI0_DATAP[i] (i=0~3)	DO	MIPI DSI0 positive differential data lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI0_REXT	AIO	MIPI DSI0 external resistor connection	AVDD18_MIPI_HDMI
MIPI_DSI1_CLKN	DO	MIPI DSI1 negative differential clock lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI1_CLKP	DO	MIPI DSI1 positive differential clock lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI1_DATAN[i] (i=0~3)	DO	MIPI DSI1 negative differential data lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI1_DATAP[i] (i=0~3)	DO	MIPI DSI1 positive differential data lane transceiver output	AVDD18_MIPI_HDMI
MIPI_DSI1_REXT	AIO	MIPI DSI1 external resistor connection	AVDD18_MIPI_HDMI
OSC_CLK_IN	AI	Clock input of 24MHz crystal	DVDD18_AON
OSC_CLK_OUT	AO	Clock output of 24MHz crystal	DVDD18_AON
POR_SEL	DI	Internal POR enable, active high	DVDD18_AON
PVT_AN_IO_0	AIO	PVT analog test IO	AVDD18_ADC
PVT_AN_IO_1	AIO	PVT analog test IO	AVDD18_ADC
PVT_VIN_HI_0	AI	PVT VM external positive differential input channel	AVDD18_ADC
PVT_VIN_LO_0	AI	PVT VM external negative differential input channel	AVDD18_ADC
QSPI0_CSN0	DO	QSPI0 chip select channel 0 signal, active low	DVDD18_AP
QSPI0_CSN1	DO	QSPI0 chip select channel 1 signal, active low	DVDD18_AP
QSPI0_D0_MOSI	DIO	QSPI0 serial data output in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI0_D1_MISO	DIO	QSPI0 serial data input in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI0_D2_WP	DIO	QSPI0 write protect output in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI0_D3_HOLD	DIO	QSPI0 hold output in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI0_SCLK	DO	QSPI0 serial clock output	DVDD18_AP
QSPI1_CSN0	DO	QSPI1 chip select channel 0 signal, active low	DVDD18_AP

QSPI1_D0_MOSI	DIO	QSPI1 serial data output in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI1_D1_MISO	DIO	QSPI1 serial data input in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI1_D2_WP	DIO	QSPI1 write protect output in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI1_D3_HOLD	DIO	QSPI1 hold output in SPI mode, data bus in QSPI mode	DVDD18_AP
QSPI1_SCLK	DO	QSPI1 serial clock output	DVDD18_AP
RC_ATEST_OUT	AO	Internal RC analog test output	AVDD18_ADC
RTC_CLK_IN	AI	Clock input of 32kHz crystal	DVDD08_AON
RTC_CLK_OUT	AO	Clock output of 32kHz crystal	DVDD08_AON
SDIO0_CLK	DO	SDIO0 clock output	DVDD18_EMMC/DVDD33_EMMC
SDIO0_CMD	DIO	SDIO0 command	DVDD18_EMMC/DVDD33_EMMC
SDIO0_DAT[i] (i=0~3)	DIO	SDIO0 data bus	DVDD18_EMMC/DVDD33_EMMC
SDIO0_DETN	DI	SDIO0 card detect input, active low	DVDD18_AP
SDIO0_WPRTN	DI	SDIO0 write protect input, active low	DVDD18_AP
SDIO1_CLK	DO	SDIO1 clock output	DVDD18_EMMC/DVDD33_EMMC
SDIO1_CMD	DIO	SDIO1 command	DVDD18_EMMC/DVDD33_EMMC
SDIO1_DAT[i] (i=0~3)	DIO	SDIO1 data bus	DVDD18_EMMC/DVDD33_EMMC
SDIO1_DETN	DI	SDIO1 card detect input, active low	DVDD18_AP
SDIO1_WPRTN	DI	SDIO1 write protect input, active low	DVDD18_AP
SPI_CSN	DO	SPI chip select output, active low	DVDD18_AP
SPI_MISO	DI	SPI serial data input	DVDD18_AP
SPI_MOSI	DO	SPI serial data output	DVDD18_AP
SPI_SCLK	DO	SPI serial clock output	DVDD18_AP
SYS_RST_N	DI	System reset input, active low	DVDD18_AON
TEST_MODE	DI	Test mode input, active high	DVDD18_AON
UART0_RXD	DI	UART0 serial data input	DVDD18_AP
UART0_TXD	DO	UART0 serial data output	DVDD18_AP
UART1_RXD	DI	UART1 serial data input	DVDD18_AP
UART1_TXD	DO	UART1 serial data output	DVDD18_AP
UART3_RXD	DI	UART3 serial data input	DVDD18_AP
UART3_TXD	DO	UART3 serial data output	DVDD18_AP
UART4_CTSN	DI	UART4 clear to send flow control input	DVDD18_AP

UART4_RTSN	DO	UART4 request to send flow control output	DVDD18_AP
UART4_RXD	DI	UART4 serial data input	DVDD18_AP
UART4_TXD	DO	UART4 serial data output	DVDD18_AP
USB3_DRD_DM	DIO	USB 2.0 D- signal	AVDD33_USB3
USB3_DRD_DP	DIO	USB 2.0 D+ signal	AVDD33_USB3
USB3_DRD_ID	DI	USB 2.0 OTG ID detection	AVDD33_USB3
USB3_DRD_RES	AI	USB reference resistor connection	AVDD33_USB3
USB3_DRD_RXM	DI	USB 3.0 negative differential receiver input	AVDD33_USB3
USB3_DRD_RXP	DI	USB 3.0 positive differential receiver input	AVDD33_USB3
USB3_DRD_TXM	DO	USB 3.0 negative differential transceiver output	AVDD33_USB3
USB3_DRD_TXP	DO	USB 3.0 positive differential transceiver output	AVDD33_USB3
USB3_DRD_VBUS	AI	USB 5-V power supply pin	AVDD33_USB3
ADC_VREF	P	ADC voltage reference positive input	-
AVDD08_MIPI_HDMI	P	Analog core power supply for HDMI and MIPI	-
AVDD18_ADC	P	Analog power supply for analog IO	-
AVDD18_DDR_PLLSC	P	Analog power supply for PLL in DDR_SUBSYS	-
AVDD18_DDR0_PLL	P	Analog power supply for VAA of PLL in DDR0	-
AVDD18_DDR1_PLL	P	Analog power supply for VAA of PLL in DDR1	-
AVDD18_MIPI_HDMI	P	Analog IO power supply for HDMI and MIPI	-
AVDD18_PLL_AON	P	Analog power supply for PLL in AON power domain	-
AVDD18_PLL_AP	P	Analog power supply for PLL in AP power domain	-
AVDD18_POR_RC	P	Analog power supply for internal POR and RC	-
AVDD18_TS_VM	P	Analog power supply for voltage sensor in AP power domain	-
AVDD18_TS0	P	Analog power supply for temperature sensor0 in AP power domain	-
AVDD18_TS1	P	Analog power supply for temperature sensor1 in AP power domain	-
AVDD33_USB3	P	Analog power supply for USB3 PHY	-
DVDD_DDR0_VDDQLP	P	DDR IO power supply for LP4X, connect to VDDQ if not in LP4X mode	-

DVDD_DDR1_VDDQLP	P	DDR IO power supply for LP4X, connect to VDDQ if not in LP4X mode	-
DVDD08_AON	P	Digital core power supply for AON power domain	-
DVDD08_AP	P	Digital core power supply for AP power domain	-
DVDD08_CPU	P	Digital core power supply for CPU	-
DVDD08_CPU_MEM	P	Digital core power supply for CPU memory	-
DVDD08_DDR	P	Digital core power supply for DDR controller	-
DVDD08_DDR_PLLSC	P	Digital power supply for PLL in DDR_SUBSYS	-
DVDD08_PLL_AON	P	Digital power supply for PLL in AON power domain	-
DVDD08_PLL_AP	P	Digital power supply for PLL in AP power domain	-
DVDD08_USB3	P	Power supply for USB3 PHY	-
DVDD08_USB3_VP	P	Power supply for USB3 PHY	-
DVDD08_USB3_VPTX0	P	Power supply for USB3 PHY transmitter	-
DVDD11_DDR0_VDDQ	P	DDR IO power supply	-
DVDD11_DDR1_VDDQ	P	DDR IO power supply	-
DVDD18_AON	P	Digital power supply for IO in AON power domain	-
DVDD18_AP	P	Digital power supply for IO in AP power domain	-
DVDD18_EFUSE	P	EFUSE programming voltage supply	-
DVDD18_EMMC	P	Power supply for EMMC IO	-
DVDD33_EMMC	P	Power supply for EMMC IO	-
ADC_AGNDREF	G	ADC voltage reference negative input	-
VSS	G	Ground	-
VSS_ADC	G	Analog ground	-

7.4 管脚复用表

图表 7-4 数字管脚复用

管脚名	缺省功能	功能 1	功能 2	功能 3	功能 4	功能 5	配置寄存器	上拉/下拉	缺省电流
SYS_RST_N	SYS_RST_N	-	-	-	-	-	-	PU	13mA
TEST_MODE	TEST_MODE	-	-	-	-	-	-	PD	13mA
DEBUG_MODE	DEBUG_MODE	-	-	GPIO4_22	-	-	DEBUG_MODE_MUX	PD	13mA
POR_SEL	POR_SEL	-	-	-	-	-	-	PU	13mA
I2C_AON_SCL	I2C_AON_SCL	-	-	AOGPIO_0	-	-	I2C_AON_SCL_MUX	PU	13mA
I2C_AON_SDA	I2C_AON_SDA	-	-	AOGPIO_1	-	-	I2C_AON_SDA_MUX	PU	13mA
CPU_JTG_TCLK	CPU_JTG_TCLK	-	-	AOGPIO_2	-	-	CPU_JTG_TCLK_MUX	none	13mA
CPU_JTG_TMS	CPU_JTG_TMS	-	-	AOGPIO_3	-	-	CPU_JTG_TMS_MUX	PU	13mA
CPU_JTG_TDI	CPU_JTG_TDI	-	-	AOGPIO_4	-	-	CPU_JTG_TDI_MUX	none	13mA
CPU_JTG_TDO	CPU_JTG_TDO	-	-	AOGPIO_5	-	-	CPU_JTG_TDO_MUX	none	13mA

CPU_JTG_TRST	CPU_JTG_TRST	-	-	AOGPIO_6	-	-	CPU_JTG_TRST_MUX	PU	13mA
AOGPIO_7	PLL_DSKEW_BYPASS	AUDIO_PA18	-	AOGPIO_7	-	-	AOGPIO_7_MUX	PD	13mA
AOGPIO_8	AOUART_TXD	AUDIO_PA19	AOUART_IR_OUT	AOGPIO_8	-	-	AOGPIO_8_MUX	none	13mA
AOGPIO_9	AOUART_RXD	AUDIO_PA20	AOUART_IR_IN	AOGPIO_9	-	-	AOGPIO_9_MUX	none	13mA
AOGPIO_10	BISR_BYPASS	AUDIO_PA21	-	AOGPIO_10	-	-	AOGPIO_10_MUX	PD	13mA
AOGPIO_11	AOGPIO_11	AUDIO_PA22	-	-	-	-	AOGPIO_11_MUX	none	13mA
AOGPIO_12	AOGPIO_12	AUDIO_PA23	-	-	-	-	AOGPIO_12_MUX	none	13mA
AOGPIO_13	AOGPIO_13	AUDIO_PA24	-	-	-	-	AOGPIO_13_MUX	none	13mA
AOGPIO_14	AOGPIO_14	AUDIO_PA25	-	-	-	-	AOGPIO_14_MUX	none	13mA
AOGPIO_15	AOGPIO_15	AUDIO_PA26	-	-	-	-	AOGPIO_15_MUX	none	13mA
AUDIO_PA0	AUDIO_PA0	-	-	GPIO4_0	-	-	AUDIO_PA0_MUX	none	13mA
AUDIO_PA1	AUDIO_PA1	-	-	GPIO4_1	-	-	AUDIO_PA1_MUX	none	13mA
AUDIO_PA2	AUDIO_PA2	-	-	GPIO4_2	-	-	AUDIO_PA2_MUX	none	13mA
AUDIO_PA3	AUDIO_PA3	-	-	GPIO4_3	-	-	AUDIO_PA3_MUX	none	13mA
AUDIO_PA4	AUDIO_PA4	-	-	GPIO4_4	-	-	AUDIO_PA4_MUX	none	13mA

AUDIO_PA5	AUDIO_PA5	-	-	GPIO4_5	-	-	AUDIO_PA5_MUX	none	13mA
AUDIO_PA6	AUDIO_PA6	-	-	GPIO4_6	-	-	AUDIO_PA6_MUX	none	13mA
AUDIO_PA7	AUDIO_PA7	-	-	GPIO4_7	-	-	AUDIO_PA7_MUX	none	13mA
AUDIO_PA8	AUDIO_PA8	-	-	GPIO4_8	-	-	AUDIO_PA8_MUX	none	13mA
AUDIO_PA9	AUDIO_PA9	-	-	GPIO4_9	-	-	AUDIO_PA9_MUX	none	13mA
AUDIO_PA10	AUDIO_PA10	-	-	GPIO4_10	-	-	AUDIO_PA10_MUX	none	13mA
AUDIO_PA11	AUDIO_PA11	-	-	GPIO4_11	-	-	AUDIO_PA11_MUX	none	13mA
AUDIO_PA12	AUDIO_PA12	-	-	GPIO4_12	-	-	AUDIO_PA12_MUX	none	13mA
AUDIO_PA13	AUDIO_PA13	-	-	GPIO4_13	-	-	AUDIO_PA13_MUX	none	13mA
AUDIO_PA14	AUDIO_PA14	-	-	GPIO4_14	-	-	AUDIO_PA14_MUX	none	13mA
AUDIO_PA15	AUDIO_PA15	-	-	GPIO4_15	-	-	AUDIO_PA15_MUX	none	13mA
AUDIO_PA16	AUDIO_PA16	-	-	GPIO4_16	-	-	AUDIO_PA16_MUX	none	13mA

AUDIO_PA17	AUDIO_PA17	-	-	GPIO4_17	-	-	AUDIO_PA17_MUX	none	13mA
AUDIO_PA27	AUDIO_PA27	-	-	GPIO4_18	-	-	AUDIO_PA27_MUX	none	13mA
AUDIO_PA28	AUDIO_PA28	-	-	GPIO4_19	-	-	AUDIO_PA28_MUX	none	13mA
AUDIO_PA29	AUDIO_PA29	-	-	GPIO4_20	-	-	AUDIO_PA29_MUX	none	13mA
AUDIO_PA30	AUDIO_PA30	SE_RSTN	-	GPIO4_21	-	-	AUDIO_PA30_MUX	none	13mA
QSPI1_SCLK	QSPI1_SCLK	ISO7816_DET	-	GPIO0_0	EFUSE_SPI_CLK	-	QSPI1_SCLK_MUX	none	13mA
QSPI1_CSN0	QSPI1_SSN0	-	I2C5_SCL	GPIO0_1	EFUSE_SPI_NSS	-	QSPI1_CSN0_MUX	none	13mA
QSPI1_D0_MOSI	QSPI1_M0_MOSI	ISO7816_CVCC_EN	I2C5_SDA	GPIO0_2	EFUSE_SPI_SI	-	QSPI1_D0_MOSI_MUX	none	13mA
QSPI1_D1_MISO	QSPI1_M1_MISO	ISO7816_CLK	-	GPIO0_3	EFUSE_SPI_SO	-	QSPI1_D1_MISO_MUX	none	13mA
QSPI1_D2_WP	QSPI1_M2_WP	ISO7816_RST	UART5_TXD	GPIO0_4	EFUSE_BUSY	-	QSPI1_D2_WP_MUX	none	13mA
QSPI1_D3_HOLD	QSPI1_M3_HOLD	ISO7816_DAT	UART5_RXD	GPIO0_5	-	-	QSPI1_D3_HOLD_MUX	none	13mA
I2C0_SCL	I2C0_SCL	-	-	GPIO0_6	-	-	I2C0_SCL_MUX	PU	13mA
I2C0_SDA	I2C0_SDA	-	-	GPIO0_7	-	-	I2C0_SDA_MUX	PU	13mA
I2C1_SCL	I2C1_SCL	-	-	GPIO0_8	-	-	I2C1_SCL_MUX	PU	13mA

I2C1_SDA	I2C1_SDA	-	-	GPIO0_9	-	-	I2C1_SDA_MUX	PU	13mA
UART1_TXD	UART1_TXD	-	-	GPIO0_10	-	-	UART1_TXD_MUX	none	13mA
UART1_RXD	UART1_RXD	-	-	GPIO0_11	-	-	UART1_RXD_MUX	none	13mA
UART4_TXD	UART4_TXD	-	-	GPIO0_12	-	-	UART4_TXD_MUX	none	13mA
UART4_RXD	UART4_RXD	-	-	GPIO0_13	-	-	UART4_RXD_MUX	none	13mA
UART4_CTSN	UART4_CTSN	-	-	GPIO0_14	-	-	UART4_CTSN_MUX	none	13mA
UART4_RTSN	UART4_RTSN	-	-	GPIO0_15	-	-	UART4_RTSN_MUX	none	13mA
UART3_TXD	CHIP_DBG_TXD	UART3_TXD	-	GPIO0_16	-	-	UART3_TXD_MUX	none	13mA
UART3_RXD	CHIP_DBG_RXD	UART3_RXD	-	GPIO0_17	-	-	UART3_RXD_MUX	none	13mA
GPIO0_18	GPIO0_18	I2C4_SCL	-	-	-	-	GPIO0_18_MUX	none	13mA
GPIO0_19	GPIO0_19	I2C4_SDA	-	-	-	-	GPIO0_19_MUX	none	13mA
GPIO0_20	GPIO0_20	UART3_TXD	UART3_IR_OUT	-	-	-	GPIO0_20_MUX	none	13mA
GPIO0_21	GPIO0_21	UART3_RXD	UART3_IR_IN	-	DPU_COLOR_0	DPU1_COLOR_0	GPIO0_21_MUX	none	13mA
GPIO0_22	GPIO0_22	DSP0_JTG_TRST	I2C4_SCL	-	DPU_COLOR_1	DPU1_COLOR_1	GPIO0_22_MUX	none	13mA

GPIO0_23	GPIO0_23	DSP0_JTG_TMS	I2C4_SDA	-	DPU_COLOR_2	DPU1_COLOR_2	GPIO0_23_MUX	none	13mA
GPIO0_24	GPIO0_24	DSP0_JTG_TDI	QSPI1_SSN1	-	DPU_COLOR_3	DPU1_COLOR_3	GPIO0_24_MUX	none	13mA
GPIO0_25	GPIO0_25	DSP0_JTG_TDO	-	-	DPU_COLOR_4	DPU1_COLOR_4	GPIO0_25_MUX	none	13mA
GPIO0_26	GPIO0_26	DSP0_JTG_TCLK	-	-	DPU_COLOR_5	DPU1_COLOR_5	GPIO0_26_MUX	none	13mA
GPIO0_27	GPIO0_27	-	I2C1_SCL	-	DPU_COLOR_6	DPU1_COLOR_6	GPIO0_27_MUX	none	13mA
GPIO0_28	GPIO0_28	-	I2C1_SDA	-	DPU_COLOR_7	DPU1_COLOR_7	GPIO0_28_MUX	none	13mA
GPIO0_29	GPIO0_29	-	-	-	DPU_COLOR_8	DPU1_COLOR_8	GPIO0_29_MUX	none	13mA
GPIO0_30	GPIO0_30	-	-	-	DPU_COLOR_9	DPU1_COLOR_9	GPIO0_30_MUX	none	13mA
GPIO0_31	GPIO0_31	-	-	-	DPU_COLOR_10	DPU1_COLOR_10	GPIO0_31_MUX	none	13mA
GPIO1_0	GPIO1_0	DSP1_JTG_TRST	-	-	DPU_COLOR_11	DPU1_COLOR_11	GPIO1_0_MUX	none	13mA
GPIO1_1	GPIO1_1	DSP1_JTG_TMS	-	-	DPU_COLOR_12	DPU1_COLOR_12	GPIO1_1_MUX	none	13mA
GPIO1_2	GPIO1_2	DSP1_JTG_TDI	-	-	DPU_COLOR_13	DPU1_COLOR_13	GPIO1_2_MUX	none	13mA
GPIO1_3	GPIO1_3	DSP1_JTG_TDO	-	-	DPU_COLOR_14	DPU1_COLOR_14	GPIO1_3_MUX	none	13mA
GPIO1_4	GPIO1_4	DSP1_JTG_TCLK	-	-	DPU_COLOR_15	DPU1_COLOR_15	GPIO1_4_MUX	none	13mA
GPIO1_5	GPIO1_5	-	-	-	DPU_COLOR_16	DPU1_COLOR_16	GPIO1_5_MUX	none	13mA
GPIO1_6	GPIO1_6	-	-	-	DPU_COLOR_17	DPU1_COLOR_17	GPIO1_6_MUX	none	13mA
GPIO1_7	GPIO1_7	QSPI1_SCLK	-	-	DPU_COLOR_18	DPU1_COLOR_18	GPIO1_7_MUX	none	13mA

GPIO1_8	GPIO1_8	QSPI1_SSN0	-	-	DPU_COLOR_19	DPU1_COLOR_19	GPIO1_8_MUX	none	13mA
GPIO1_9	GPIO1_9	QSPI1_M0_MOSI	-	-	DPU_COLOR_20	DPU1_COLOR_20	GPIO1_9_MUX	none	13mA
GPIO1_10	GPIO1_10	QSPI1_M1_MISO	-	-	DPU_COLOR_21	DPU1_COLOR_21	GPIO1_10_MUX	none	13mA
GPIO1_11	GPIO1_11	QSPI1_M2_WP	-	-	DPU_COLOR_22	DPU1_COLOR_22	GPIO1_11_MUX	none	13mA
GPIO1_12	GPIO1_12	QSPI1_M3_HOLD	-	-	DPU_COLOR_23	DPU1_COLOR_23	GPIO1_12_MUX	none	13mA
GPIO1_13	GPIO1_13	UART4_TXD	-	-	DPU_COLOR_EN	DPU1_COLOR_EN	GPIO1_13_MUX	none	13mA
GPIO1_14	GPIO1_14	UART4_RXD	-	-	DPU_HSYNC	DPU1_HSYNC	GPIO1_14_MUX	none	13mA
GPIO1_15	GPIO1_15	UART4_CTSN	-	-	DPU_VSYNC	DPU1_VSYNC	GPIO1_15_MUX	none	13mA
GPIO1_16	GPIO1_16	UART4_RTSN	-	-	DPU_PIXELCLK	DPU1_PIXELCLK	GPIO1_16_MUX	none	13mA
CLK_OUT_0	BOOT_SEL0	CLK_OUT_0	-	GPIO1_17	-	-	CLK_OUT_0_MUX	none	13mA
CLK_OUT_1	BOOT_SEL1	CLK_OUT_1	-	GPIO1_18	-	-	CLK_OUT_1_MUX	none	13mA
CLK_OUT_2	BOOT_SEL2	CLK_OUT_2	-	GPIO1_19	-	-	CLK_OUT_2_MUX	none	13mA
CLK_OUT_3	BOOT_SEL3	CLK_OUT_3	-	GPIO1_20	-	-	CLK_OUT_3_MUX	none	13mA
GPIO1_21	GPIO1_21	-	ISP0_FL_TRIG	GPIO1_21	-	-	GPIO1_21_MUX	none	13mA
GPIO1_22	GPIO1_22	-	ISP0_FLASH_TRIG	GPIO1_22	-	-	GPIO1_22_MUX	none	13mA

GPIO1_23	GPIO1_23	-	ISP0_PRELIGHT_TRIG	GPIO1_23	-	-	GPIO1_23_MUX	none	13mA
GPIO1_24	GPIO1_24	-	ISP0_SHUTTER_TRIG	GPIO1_24	-	-	GPIO1_24_MUX	none	13mA
GPIO1_25	GPIO1_25	-	ISP0_SHUTTER_OPEN	GPIO1_25	-	-	GPIO1_25_MUX	none	13mA
GPIO1_26	GPIO1_26	-	ISP1_FL_TRIG	-	-	-	GPIO1_26_MUX	none	13mA
GPIO1_27	GPIO1_27	-	ISP1_FLASH_TRIG	-	-	-	GPIO1_27_MUX	none	13mA
GPIO1_28	GPIO1_28	-	ISP1_PRELIGHT_TRIG	-	-	-	GPIO1_28_MUX	none	13mA
GPIO1_29	GPIO1_29	-	ISP1_SHUTTER_TRIG	-	-	-	GPIO1_29_MUX	none	13mA
GPIO1_30	GPIO1_30	-	ISP1_SHUTTER_OPEN	-	-	-	GPIO1_30_MUX	none	13mA
UART0_TXD	UART0_TXD	-	-	GPIO2_0	-	-	UART0_TXD_MUX	none	13mA
UART0_RXD	UART0_RXD	-	-	GPIO2_1	-	-	UART0_RXD_MUX	none	13mA
QSPI0_SCLK	QSPI0_SCLK	PWM0	I2S_SDA0	GPIO2_2	-	-	QSPI0_SCLK_MUX	none	13mA
QSPI0_CSN0	QSPI0_SSN0	PWM1	I2S_SDA1	GPIO2_3	-	-	QSPI0_CSN0_MUX	none	13mA
QSPI0_CSN1	QSPI0_SSN1	PWM2	I2S_SDA2	GPIO2_4	-	-	QSPI0_CSN1_MUX	none	13mA

QSPI0_D0_MOSI	QSPI0_M0_MOSI	PWM3	I2S_SDA3	GPIO2_5	-	-	QSPI0_D0_MOSI_MUX	none	13mA
QSPI0_D1_MISO	QSPI0_M1_MISO	PWM4	I2S_MCLK	GPIO2_6	-	-	QSPI0_D1_MISO_MUX	none	13mA
QSPI0_D2_WP	QSPI0_M2_WP	PWM5	I2S_SCLK	GPIO2_7	-	-	QSPI0_D2_WP_MUX	none	13mA
QSPI0_D3_HOLD	QSPI0_M3_HOLD	-	I2S_WS	GPIO2_8	-	-	QSPI0_D3_HOLD_MUX	none	13mA
I2C2_SCL	I2C2_SCL	UART2_TXD	-	GPIO2_9	-	-	I2C2_SCL_MUX	none	13mA
I2C2_SDA	I2C2_SDA	UART2_RXD	-	GPIO2_10	-	-	I2C2_SDA_MUX	none	13mA
I2C3_SCL	I2C3_SCL	-	-	GPIO2_11	-	-	I2C3_SCL_MUX	none	13mA
I2C3_SDA	I2C3_SDA	-	-	GPIO2_12	-	-	I2C3_SDA_MUX	none	13mA
GPIO2_13	GPIO2_13	SPI_SSN1	-	-	-	-	GPIO2_13_MUX	none	13mA
SPI_SCLK	SPI_SCLK	UART2_TXD	UART2_IR_OUT	GPIO2_14	-	-	SPI_SCLK_MUX	none	13mA
SPI_CSN	SPI_SSN0	UART2_RXD	UART2_IR_IN	GPIO2_15	-	-	SPI_CSN_MUX	none	13mA
SPI_MOSI	SPI_MOSI	-	-	GPIO2_16	-	-	SPI_MOSI_MUX	none	13mA
SPI_MISO	SPI_MISO	-	-	GPIO2_17	-	-	SPI_MISO_MUX	none	13mA
GPIO2_18	GPIO2_18	GMAC1_TX_CLK	-	-	-	-	GPIO2_18_MUX	none	13mA
GPIO2_19	GPIO2_19	GMAC1_RX_CLK	-	-	-	-	GPIO2_19_MUX	none	13mA
GPIO2_20	GPIO2_20	GMAC1_TXEN	-	-	-	-	GPIO2_20_MUX	none	13mA
GPIO2_21	GPIO2_21	GMAC1_TXD0	-	-	-	-	GPIO2_21_MUX	none	13mA
GPIO2_22	GPIO2_22	GMAC1_TXD1	-	-	-	-	GPIO2_22_MUX	none	13mA

GPIO2_23	GPIO2_23	GMAC1_TXD2	-	-	-	-	GPIO2_23_MUX	none	13mA
GPIO2_24	GPIO2_24	GMAC1_TXD3	-	-	-	-	GPIO2_24_MUX	none	13mA
GPIO2_25	GPIO2_25	GMAC1_RXDV	-	-	-	-	GPIO2_25_MUX	none	13mA
SDIO0_WPRTN	SDIO0_WPRTN	-	-	GPIO2_26	-	-	SDIO0_WPRTN_MUX	none	13mA
SDIO0_DETN	SDIO0_DETN	-	-	GPIO2_27	-	-	SDIO0_DETN_MUX	none	13mA
SDIO1_WPRTN	SDIO1_WPRTN	-	-	GPIO2_28	-	-	SDIO1_WPRTN_MUX	none	13mA
SDIO1_DETN	SDIO1_DETN	-	-	GPIO2_29	-	-	SDIO1_DETN_MUX	none	13mA
GPIO2_30	GPIO2_30	GMAC1_RXD0	-	-	-	-	GPIO2_30_MUX	none	13mA
GPIO2_31	GPIO2_31	GMAC1_RXD1	-	-	-	-	GPIO2_31_MUX	none	13mA
GPIO3_0	GPIO3_0	GMAC1_RXD2	-	-	-	-	GPIO3_0_MUX	none	13mA
GPIO3_1	GPIO3_1	GMAC1_RXD3	-	-	-	-	GPIO3_1_MUX	none	13mA
GPIO3_2	GPIO3_2	PWM0	-	-	-	-	GPIO3_2_MUX	none	13mA
GPIO3_3	GPIO3_3	PWM1	-	-	-	-	GPIO3_3_MUX	none	13mA
HDMI_SCL	HDMI_SCL	PWM2	-	GPIO3_4	-	-	HDMI_SCL_MUX	PU	13mA
HDMI_SDA	HDMI_SDA	PWM3	-	GPIO3_5	-	-	HDMI_SDA_MUX	PU	13mA
HDMI_CEC	HDMI_CEC	-	-	GPIO3_6	-	-	HDMI_CEC_MUX	PU	13mA
GMAC0_TX_CLK	GMAC0_TX_CLK	-	-	GPIO3_7	-	-	GMAC0_TX_CLK_MUX	none	13mA
GMAC0_RX_CLK	GMAC0_RX_CLK	-	-	GPIO3_8	-	-	GMAC0_RX_CLK_MUX	none	13mA

GMAC0_TXEN	GMAC0_TXEN	UART2_TXD	-	GPIO3_9	-	-	GMAC0_TXEN_MUX	none	13mA
GMAC0_TXD0	GMAC0_TXD0	UART2_RXD	-	GPIO3_10	-	-	GMAC0_TXD0_MUX	none	13mA
GMAC0_TXD1	GMAC0_TXD1	UART0_TXD	-	GPIO3_11	-	-	GMAC0_TXD1_MUX	none	13mA
GMAC0_TXD2	GMAC0_TXD2	UART0_RXD	-	GPIO3_12	-	-	GMAC0_TXD2_MUX	none	13mA
GMAC0_TXD3	GMAC0_TXD3	I2C2_SCL	-	GPIO3_13	-	-	GMAC0_TXD3_MUX	none	13mA
GMAC0_RXDV	GMAC0_RXDV	I2C2_SDA	-	GPIO3_14	-	-	GMAC0_RXDV_MUX	none	13mA
GMAC0_RXD0	GMAC0_RXD0	I2C3_SCL	-	GPIO3_15	-	-	GMAC0_RXD0_MUX	none	13mA
GMAC0_RXD1	GMAC0_RXD1	I2C3_SDA	-	GPIO3_16	-	-	GMAC0_RXD1_MUX	none	13mA
GMAC0_RXD2	GMAC0_RXD2	SPI_SCLK	-	GPIO3_17	-	-	GMAC0_RXD2_MUX	none	13mA
GMAC0_RXD3	GMAC0_RXD3	SPI_SSN0	-	GPIO3_18	-	-	GMAC0_RXD3_MUX	none	13mA
GMAC0_MDC	GMAC0_MDC	SPI_MOSI	GMAC1_MDC	GPIO3_19	-	-	GMAC0_MDC_MUX	none	13mA
GMAC0_MDIO	GMAC0_MDIO	SPI_MISO	GMAC1_MDIO	GPIO3_20	-	-	GMAC0_MDIO_MUX	none	13mA

GMAC0_COL	GMAC0_COL	PWM4	-	GPIO3_21	-	-	GMAC0_COL_MUX	none	13mA
GMAC0_CRS	GMAC0_CRS	PWM5	-	GPIO3_22	-	-	GMAC0_CRS_MUX	none	13mA

8 电气特性

8.1 绝对最大额定值

图表 8-1 绝对最大额定值

符号	参数	最大	单位
AVDD08_MIPI_HDMI	Analog core power supply for HDMI and MIPI	0.88	V
AVDD18_ADC	Analog power supply for analog IO	1.98	V
AVDD18_DDR_PLLSC	Analog power supply for PLL in DDR_SUBSYS	1.98	V
AVDD18_DDR0_PLL	Analog power supply for VAA of PLL in DDR0	1.98	V
AVDD18_DDR1_PLL	Analog power supply for VAA of PLL in DDR1	1.98	V
AVDD18_MIPI_HDMI	Analog IO power supply for HDMI and MIPI	1.98	V
AVDD18_PLL_AON	Analog power supply for PLL in AON power domain	1.98	V
AVDD18_PLL_AP	Analog power supply for PLL in AP power domain	1.98	V
AVDD18_POR_RC	Analog power supply for internal POR and RC	1.98	V
AVDD18_TS_VM	Analog power supply for voltage sensor in AP power domain	1.98	V
AVDD18_TS0	Analog power supply for temperature sensor0 in AP power domain	1.98	V
AVDD18_TS1	Analog power supply for temperature sensor1 in AP power domain	1.98	V
AVDD33_USB3	Analog power supply for USB3 PHY	3.63	V
DVDD_DDR0_VDDQLP	DDR IO power supply for LP4X DDR IO power supply for LP4	0.65 1.17	V
DVDD_DDR1_VDDQLP	DDR IO power supply for LP4X DDR IO power supply for LP4	0.65 1.17	V
DVDD08_AON	Digital core power supply for AON power domain	0.88	V
DVDD08_AP	Digital core power supply for AP power domain	0.88	V
DVDD08_CPU	Digital core power supply for CPU	1.05	V
DVDD08_CPU_MEM	Digital core power supply for CPU memory	1.05	V
DVDD08_DDR	Digital core power supply for DDR controller	0.88	V
DVDD08_DDR_PLLSC	Digital power supply for PLL in DDR_SUBSYS	0.88	V
DVDD08_PLL_AON	Digital power supply for PLL in AON power domain	0.88	V
DVDD08_PLL_AP	Digital power supply for PLL in AP power domain	0.88	V
DVDD08_USB3	Power supply for USB3 PHY	0.88	V
DVDD08_USB3_VP	Power supply for USB3 PHY	0.88	V
DVDD08_USB3_VPTX0	Power supply for USB3 PHY transmitter	0.88	V
DVDD11_DDR0_VDDQ	DDR IO power supply	1.17	V
DVDD11_DDR1_VDDQ	DDR IO power supply	1.17	V
DVDD18_AON	Digital power supply for IO in AON power domain	1.98	V

DVDD18_AP	Digital power supply for IO in AP power domain	1.98	V
DVDD18_EFUSE	EFUSE programming voltage supply	1.98	V
DVDD18_EMMC	Power supply for EMMC IO	1.98	V
DVDD33_EMMC	Power supply for EMMC IO	3.63	V
V_I	Digital I/O input voltage	1.98	V
$T_{STORAGE}$	Storage temperature	125	℃

8.2 推荐操作条件

图表 8-2 推荐操作条件

符号	参数	最小	典型	最大	单位
AVDD08_MIPI_HDMI	Analog core power supply for HDMI and MIPI	0.76	0.8	0.84	V
AVDD18_ADC	Analog power supply for analog IO	1.71	1.8	1.89	V
AVDD18_DDR_PLLSC	Analog power supply for PLL in DDR_SUBSYS	1.71	1.8	1.89	V
AVDD18_DDR0_PLL	Analog power supply for VAA of PLL in DDR0	1.71	1.8	1.89	V
AVDD18_DDR1_PLL	Analog power supply for VAA of PLL in DDR1	1.71	1.8	1.89	V
AVDD18_MIPI_HDMI	Analog IO power supply for HDMI and MIPI	1.71	1.8	1.89	V
AVDD18_PLL_AON	Analog power supply for PLL in AON power domain	1.71	1.8	1.89	V
AVDD18_PLL_AP	Analog power supply for PLL in AP power domain	1.71	1.8	1.89	V
AVDD18_POR_RC	Analog power supply for internal POR and RC	1.71	1.8	1.89	V
AVDD18_TS_VM	Analog power supply for voltage sensor in AP power domain	1.71	1.8	1.89	V
AVDD18_TS0	Analog power supply for temperature sensor0 in AP power domain	1.71	1.8	1.89	V
AVDD18_TS1	Analog power supply for temperature sensor1 in AP power domain	1.71	1.8	1.89	V
AVDD33_USB3	Analog power supply for USB3 PHY	3.15	3.3	3.45	V
DVDD_DDR0_VDDQLP	DDR IO power supply for LP4X DDR IO power supply for LP4	0.57 1.06	0.6 1.1	0.63 1.17	V
DVDD_DDR1_VDDQLP	DDR IO power supply for LP4X DDR IO power supply for LP4	0.57 1.06	0.6 1.1	0.63 1.17	V
DVDD08_AON	Digital core power supply for AON power domain	0.76	0.8	0.84	V

DVDD08_AP	Digital core power supply for AP power domain	0.76	0.8	0.84	V
DVDD08_CPU	Digital core power supply for CPU	-	1.0	1.05	V
		-	2	-	GHz
DVDD08_CPU_MEM	Digital core power supply for CPU	-	1.0	1.05	V
		-	2	-	GHz
DVDD08_CPU	Digital core power supply for CPU	0.95	1.0	1.05	V
		1.85	-	-	GHz
DVDD08_CPU_MEM	Digital core power supply for CPU	0.95	1.0	1.05	V
		1.85	-	-	GHz
DVDD08_CPU	Digital core power supply for CPU	0.76	0.8	0.84	V
		1.5	-	-	GHz
DVDD08_CPU_MEM	Digital core power supply for CPU	0.76	0.8	0.84	V
		1.5	-	-	GHz
DVDD08_CPU	Digital core power supply for CPU	0.665	0.7	0.735	V
		800	-	-	MHz
DVDD08_CPU_MEM	Digital core power supply for CPU	0.76	0.8	0.84	V
		800	-	-	MHz
DVDD08_CPU	Digital core power supply for CPU	0.57	0.6	0.63	V
		300	-	-	MHz
DVDD08_CPU_MEM	Digital core power supply for CPU	0.71	0.75	0.79	V
		300	-	-	MHz
DVDD08_DDR	Digital core power supply for DDR controller	0.76	0.8	0.84	V
DVDD08_DDR_PLLSC	Digital power supply for PLL in DDR_SUBSYS	0.76	0.8	0.84	V
DVDD08_PLL_AON	Digital power supply for PLL in AON power domain	0.76	0.8	0.84	V
DVDD08_PLL_AP	Digital power supply for PLL in AP power domain	0.76	0.8	0.84	V
DVDD08_USB3	Power supply for USB3 PHY	0.76	0.8	0.84	V
DVDD08_USB3_VP	Power supply for USB3 PHY	0.76	0.8	0.84	V
DVDD08_USB3_VPTX0	Power supply for USB3 PHY transmitter	0.76	0.8	0.84	V
DVDD11_DDR0_VDDQ	DDR IO power supply	1.06	1.1	1.17	V
DVDD11_DDR1_VDDQ	DDR IO power supply	1.06	1.1	1.17	V
DVDD18_AON	Digital power supply for IO in AON power domain	1.71	1.8	1.89	V
DVDD18_AP	Digital power supply for IO in AP power domain	1.71	1.8	1.89	V
DVDD18_EFUSE	EFUSE programming voltage supply	1.71	1.8	1.89	V
DVDD18_EMMC	Power supply for EMMC IO	1.71	1.8	1.89	V
DVDD33_EMMC	Power supply for EMMC IO	3.15	3.3	3.45	V

T_A	Ambient operation temperature	-20	-	60	℃
T_J	Junction temperature	-40	-	125	℃
HBM	Human Body Model	-	-	2000	V
CDM	Charged-Device Model	-	-	250	V

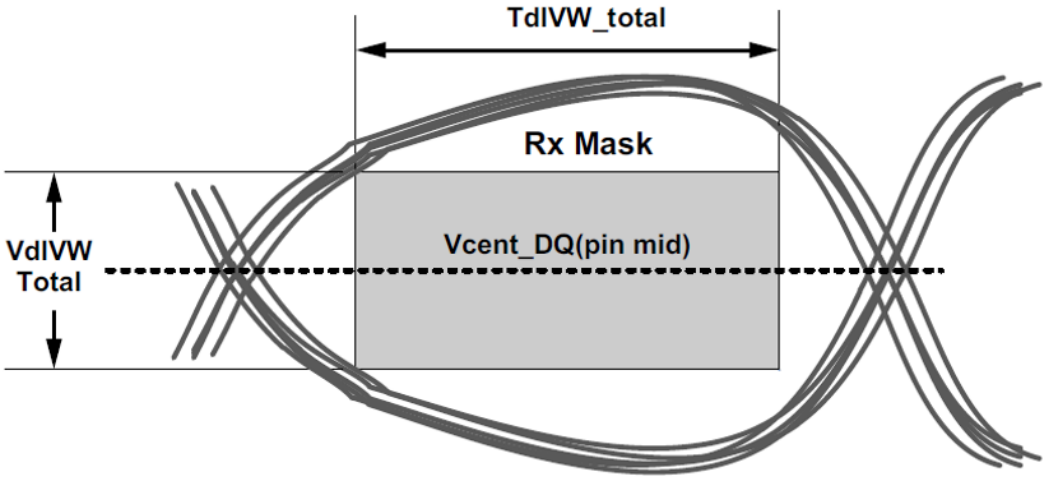
8.3 电气特性

图表 8-3 电气特性

符号		参数	最小	典型	最大	单位
	F3	frequency mode 3	1.85	-	-	GHz
	F2	frequency mode 2	1.5	-	-	GHz
	F1	frequency mode 1	0.8	-	-	GHz
	F0	frequency mode 0	0.3	-	-	GHz
Digital GPIO @1.8V	VIH	Input High Voltage	0.65*VDDIO	-	VDDIO+0.3	V
	VIL	Input Low Voltage	-0.3	-	0.35*VDDIO	V
	VOH	Output High Voltage	VDDIO-0.45	-	-	V
	VOL	Output Low Voltage	-	-	0.45	V
	I_I	Input leakage current (Vin=1.8V or 0V)	-10	-	10	uA
	I_{OZ}	Tri-state output leakage current (Vout=1.8V or 0V)	-10	-	10	uA
	IOH	High level output current	0.7	-	15.7	mA
	IOL	Low level output current	0.7	-	16.3	mA
	RPU	Pull up resistor	32	48	79	kΩ
	RPD	Pull down resistor	30	44	68	kΩ

8.3.1 DDR

符合 LPDDR4X 和 LPDDR4 Spec。



符号	参数	2133/2400		3200		4266		单位
		最小	最大	最小	最大	最小	最大	
VdlVW_total	Rx Mask voltage-p-p total	-	140	-	140	-	120	mV
TdlVW_total	Rx timing window total (At VdlVW voltage levels)	-	0.22	-	0.25	-	0.25	UI

图表 8-4 DDR 眼图参数

8.3.2 HDMI2.0

符合 HDMI2.0 Spec。

图表 8-5 HDMI 参数表

参数	最小	最大	单位
Single-Ended Low Level Voltage (data channel)	AVcc - 1000	AVcc - 400	mV
Single-Ended Low Level Voltage (clock channel)	AVcc - 1000	AVcc - 200	mV
Single-Ended Swing Voltage (data channel)	400	600	mV
Single-Ended Swing Voltage (clock channel)	200	600	mV
Trise/Tfall (data channel)	42.5	-	ps
Trise/Tfall (clock channel)	75	-	ps
Inter-pair skew	-	0.2*Tcharacter	
Intra-pair skew	-	0.15*Tbit	
Differential Voltage	-780	780	mV
Clock duty cycle	40	60	%
Clock jitter	-	0.3*Tbit	
Data eye diagram eye width（@5.94Gbps）	67.3	-	ps
Data eye diagram eye height（@5.94Gbps）	150	-	mV

8.3.3 MIPI D-PHY

符合 MIPI D-PHY v1.2 Spec。

图表 8-6 MIPI 参数

参数	测试基线	最小	最大	单位
HS Data TX 测试	Static Common Mode Voltage(Vcmtx)	150	250	mV
	Common-Level Variations Above 450MHz (Vcmtx (HF))	-	15	mV
	Common-Level Variations Between 50-450MHz (Vcmtx (LF))	-	25	mV
	Differential Voltage(VOD0 Pulse)	-270	-140	mV
	Differential Voltage(VOD1 Pulse)	140	270	mV
	Differential Voltage Mismatch (Pulse)	-	14	mV
	Single Ended Output High Voltage(VOHHS Pulse)	-	360	mV
	20%-80% Rise Time (tR)[Burst Data]（>1.5Gbps）	-	0.4	UI
	80%-20% Fall Time (tF)[Burst Data]	-	0.4	UI
HS Clock TX 测试	Static Common Mode Voltage(Vcmtx)	150	250	mV
	Vcmtx Mismatch	-	5	mV
	Common-Level Variations Above 450MHz (Vcmtx (HF))	-	15	mV
	Common-Level Variations Between 50-450MHz (Vcmtx (LF))	-	25	mV
	Differential Voltage(VOD0 Pulse)	-270	-140	mV
	Differential Voltage(VOD1 Pulse)	140	270	mV
	Differential Voltage Mismatch (Pulse)	-	14	mV
	Single Ended Output High Voltage(VOHHS Pulse)	-	360	mV
	20%-80% Rise Time (tR)[Burst Clock]	-	0.4	UI
	80%-20% Fall Time (tF)[Burst Clock]	-	0.4	UI
	HS Clock Instantaneous (UIinst)(Max)	-	12.5	ns
	Clock Lane HS Clock Delta UI (UI variation)	-5%	5%	UI
Global Operation Data TX 测试	HS Entry: DATA TLPX	50	-	ns
	HS Entry: DATA TX THS-PREPARE	40ns + 4*UI	85ns + 6*UI	
	HS Entry: DATA TX THS-PREPARE+THS-ZERO	145ns + 10*UI	-	
	HS Exit: DATA TX THS-TRAIL	60 ns + 4*UI	-	
	HS Exit: DATA TX TREOT	-	35	ns
	HS Exit: DATA TX TEOT	-	105 ns + 12*UI	
	HS Exit: DATA TX THS-EXIT	100	-	ns
Global Operation Clock TX 测试	HS Entry: CLK TX TLPX	50	-	ns
	HS Entry: CLK TX TCLK-PREPARE	38	95	ns
	HS Entry: CLK TX TCLK-PREPARE+TCLK-ZERO	300	-	ns
	HS Exit: CLK TX TCLK-POST	60 ns + 52*UI	-	ns
	HS Exit: CLK TX TCLK-TRAIL	60	-	ns
	HS Exit: CLK TX TREOT	-	35	ns

	HS Exit: CLK TX TEOT	-	105ns + 12*UI	ns
	HS Exit: CLK TX THS-EXIT	100	-	ns
HS Data-Clock timing 测试	Data-to-Clock Skew (TSKEW(TX))(Max,Min)	-0.2	0.2	UI
	Data-to-Clock Skew (TSKEW(TX))(Mean)	-0.2	0.2	UI

8.3.4 USB3.0

符合 USB3.0 Super Speed GEN1 Spec。

图表 8-7 USB3 参数

参数	测试基线	最小	典型	最大	单位
LFPS test	VTX-DIFF-PP-LFPS	800	-	1200	mV
	5G LFPS Period (tPeriod)	20	-	100	ns
	5G LFPS Burst Width (tBurst)	600	1000	1400	ns
	5G LFPS Repeat Time Interval (tRepeat)	6	10	14	us
	5G LFPS Rise Time (tRiseFall2080)	-	-	4	ns
	5G LFPS Fall Time (tRiseFall2080)	-	-	4	ns
	5G LFPS Duty cycle	40	-	60	%
	5G LFPS AC Common Mode Voltage (VCM-AC-LFPS)	-	-	100	mV
SSC test	5G TSSC-Freq-Dev-Min (tSSC-FREQ-DEVIATION)	-5300	-	-3700	ppm
	5G TSSC-Freq-Dev-Max	TSSCMin	-	TSSCMax	ppm
	5G SSC Modulation Rate (tSSC-MOD-RATE)	30	-	33	kHz
	5G SSC Slew Rate (tCDR_SLEW_MAX)	-	-	10	ms/s
Eye diagram test	5G Short Channel Random Jitter	-	-	46	ps
	5G Short Channel Maximum Deterministic Jitter	-	-	86	ps
	5G Short Channel Total Jitter at BER-12	-	-	132	ps
	5G Short Channel Differential Output Voltage	100	-	1200	mV
	5G Random Jitter (CTLE ON)	-	-	46	ps
	5G Far End Maximum Deterministic Jitter (CTLE ON)	-	-	46	ps
	5G Far End Total Jitter at BER-12 (CTLE ON)	-	-	132	ps
	5G Far End Differential Output Voltage (CTLE ON)	100	-	1200	mV
RX TEST	jitter tolerance（SJ frequency=0.5MHz）	2	-	-	UI
	jitter tolerance（SJ frequency=1MHz）	1	-	-	UI
	jitter tolerance（SJ frequency=2MHz）	0.5	-	-	UI
	jitter tolerance（SJ frequency=4.9MHz）	0.2	-	-	UI
	jitter tolerance（SJ frequency=10MHz）	0.2	-	-	UI
	jitter tolerance（SJ frequency=20MHz）	0.2	-	-	UI

	jitter tolerance（SJ frequency=33MHz）	0.2	-	-	UI
	jitter tolerance（SJ frequency=50MHz）	0.2	-	-	UI

8.3.5 USB2.0

符合 USB2.0 Full Speed spec。

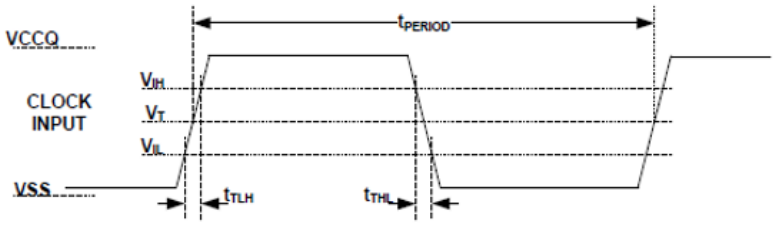
图表 8-8 USB2 参数

参数	测试基线	最小	典型	最大	单位
信号质量测试	Rise Time	300	-	-	ps
	Fall Time	300	-	-	ps
K and J signal amplitudes	Device J Test	-20	-	20	mV
	Device K Test	-20	-	20	mV
device PACKET 参数测试	Sync Field Length Test	63.61	-	65.61	ns
	EOP Length Test	15.62	-	-	ns
	Interpacket Gap Between Second and Third Packets	16.64	-	399.4	ns
	Interpacket Gap Between First and Second Packets	16.64	-	399.4	ns
chirp timing	chirp-K latency	2.5	-	6000	us
	chirp-K duration	1	-	7	ms
suspend/Resume/Reset Timing 测试	suspend timing response	3	-	3.125	ms
	chirp response to reset from Hi-speed operation	3.1	-	6	ms
	chirp response to reset from suspend	2.5	-	6000	us

8.3.6 eMMC

符合 JESD84-B51 spec。

1）HS200 时钟时序



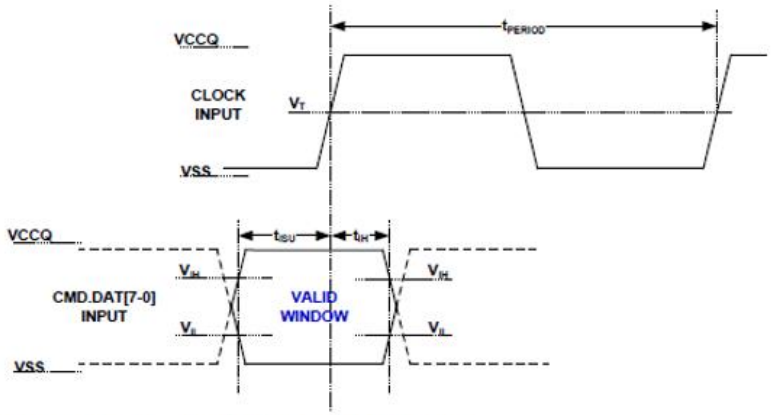
NOTE 1 V_{IH} denote V_{IH}(min.) and V_{IL} denotes V_{IL}(max.).
NOTE 2 V_T = 50% of V_{CCQ}, indicates clock reference point for timing measurements.

符号	最小	最大	单位	备注
tPERIOD	5	-	ns	200MHz(max),between rising edges

t_{TLH},t_{THL}	-	0.2*t_{PERIOD}	ns	t_{TLH}, t_{THL}<1ns(max) at 200MHz, C_{DEVICE}=6pF， the absolute maximum value of t_{TLH}, t_{THL} is 10ns regardless of clock frequency
Duty Cycle	30	70	%	

图表 8-9 HS200 时钟时序

2）HS200 输入信号时序

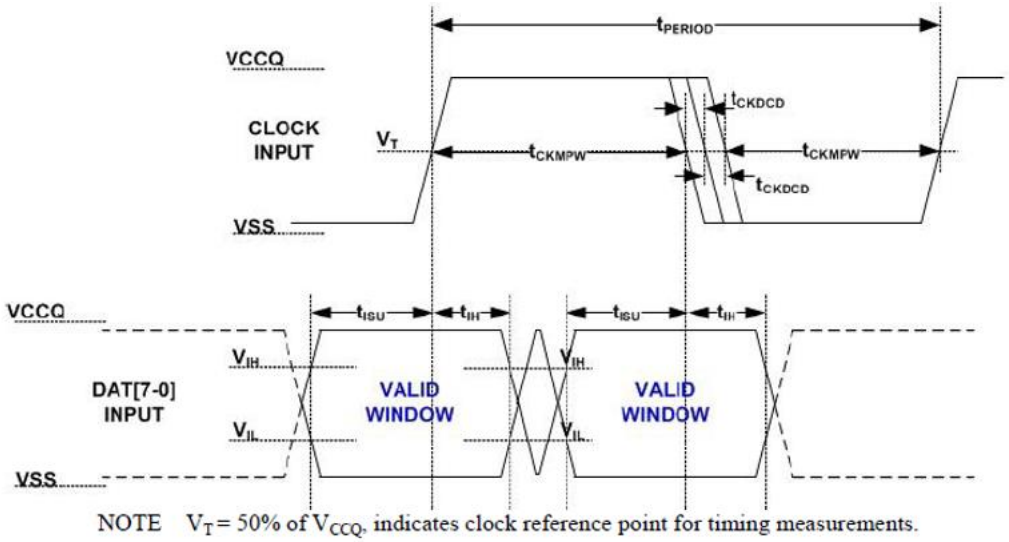


NOTE 1 t_{ISU} and t_{IH} are measured at V_{IL}(max) and V_{IH}(min).
NOTE 2 V_{IH} denote V_{IH}(min) and V_{IL} denotes V_{IL}(max).

符号	最小	最大	单位	备注
t_{ISU}	1.40	-	ns	C_{DEVICE}≤6pF
t_{IH}	0.8	-	ns	C_{DEVICE}≤6pF

图表 8-10 HS200 输入信号时序

3）HS400 时钟/输入信号时序



NOTE V_T = 50% of V_{CCQ}, indicates clock reference point for timing measurements.

参数	符号	最小	最大	单位	备注
Input CLK					

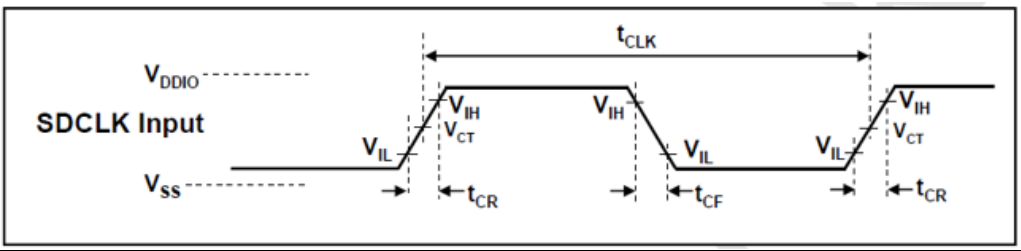
Cycle time data transfer mode	t_{PERIOD}	5	-	ns	200MHz(max),between rising edges with respect to Vt
Slew rate	SR	1.125	-	V/ns	With respect to V_{IH}/V_{IL}
Duty cycle distortion	t_{CKDCD}	0.0	0.3	ns	Allowable deviation from an idea 50% duty cycle With respect to Vt Includes jitter, phase noise
Minimum pulse width	t_{CKMPW}	2.2	-	ns	With respect to Vt
Input DAT(referenced to CLK)					
Input set-up time	t_{ISUddr}	0.4	-	ns	C_{Device}≤6pF With respect to V_{IH}/V_{IL}
Input hold time	t_{IHddr}	0.4	-	ns	C_{Device}≤6pF With respect to V_{IH}/V_{IL}
Slew rate	SR	1.125	-	V/ns	With respect to V_{IH}/V_{IL}

图表 8-11 HS400 时钟/输入信号时序

8.3.7 SD

符合 Physical Layer Specification version3.00 Spec。

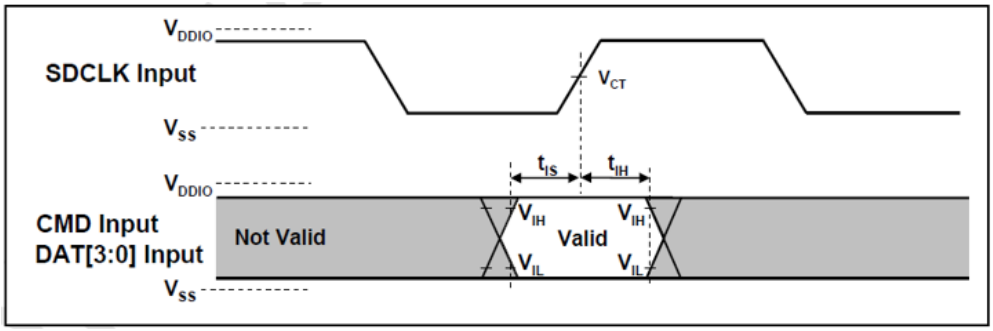
1)时钟信号时序



符号	最小	最大	单位	备注
t_{CLK}	4.80	-	ns	208MHz(max), between rising edges, V_{CT}=0.975V
t_{CR}, t_{CF}	-	0.2*t_{CLK}	ns	t_{CR}, t_{CF}<0.96ns(max) at 208MHz, C_{CARD}=10pF t_{CR}, t_{CF}<2.00ns(max) at 100MHz, C_{CARD}=10pF
Duty Cycle	30	70	%	

图表 8-12 时钟信号时序

2）SDR50/SDR104 输入信号时序



参数	符号	最小	最大	单位	备注
SDR104 mode	t_{IS}	1.40	-	ns	C_{CARD}=10pF，V_{CT}=0.975V
	t_{IH}	0.8	-	ns	C_{CARD}=5pF，V_{CT}=0.975V
SDR50 mode	t_{IS}	3.00	-	ns	C_{CARD}=10pF，V_{CT}=0.975V
	t_{IH}	0.8	-	ns	C_{CARD}=5pF，V_{CT}=0.975V

图表 8-13 SDR50/SDR104 输入信号时序

8.3.8 GMAC

图表 8-14 GMAC 参数

参数	测试基线	最小	典型	最大	单位
Tcyc	Clock Cycle Duration	7.2	8	8.8	ns
Duty_G	Duty Cycle for Gigabit	45	50	55	%
trCLK	Clock Fall Time（20%-80%）	-	-	0.75	ns
tfCLK	Clock Fall Time（20%-80%）	-	-	0.75	ns
Tskew_DATA	Data0 to Clock output Skew	-0.5	-	0.5	ns
tVaild_window_high_DATA	Data0 high vaild window	2	-	-	ns
tVaild_window_low_DATA	Data0 low vaild window	2	-	-	ns

8.3.9 I2C

符合 I2C Spec。

图表 8-15 I2C 参数

参数	测试基线	最小	典型	最大	单位
100kbps	SCL 时钟频率 fSCL	0	-	100	kHz
	SCL 上升时间 tr	-	-	1000	ns
	SCL 下降时间 tf	-	-	300	ns
	SDA 上升时间 tr	-	-	1000	ns
	SDA 下降时间 tf	-	-	300	ns
	SCL 低电平脉宽 tLOW	4.7	-	-	us
	SCL 高电平脉宽 tHIGH	4	-	-	us
	数据信号建立时间 tSU;DAT	250	-	-	ns
	数据信号保持时间 tHD;DAT	0	-	-	ns

	启动信号保持时间 th;STA	4	-	-	us
	结束信号建立时间 tSU;STO	4	-	-	us
400kbps	SCL 时钟频率 fSCL	0	-	400	kHz
	SCL 上升时间 tr	20	-	300	ns
	SCL 下降时间 tf	6.5	-	300	ns
	SDA 上升时间 tr	20	-	300	ns
	SDA 下降时间 tf	6.5	-	300	ns
	SCL 低电平脉宽 tLOW	1.3	-	-	us
	SCL 高电平脉宽 tHIGH	0.6	-	-	us
	数据信号建立时间 tSU;DAT	100	-	-	ns
	数据信号保持时间 tHD;DAT	0	-	-	ns
	启动信号保持时间 th;STA	0.6	-	-	us
	结束信号建立时间 tSU;STO	0.6	-	-	us
1.7Mbps	SCL 时钟频率 fSCL	0	-	1700	kHz
	SCL 上升时间 tr	20	-	80	ns
	SCL 下降时间 tf	20	-	80	ns
	SDA 上升时间 tr	20	-	160	ns
	SDA 下降时间 tf	20	-	160	ns
	SCL 低电平脉宽 tLOW	0.32	-	-	us
	SCL 高电平脉宽 tHIGH	0.12	-	-	us
	数据信号建立时间 tSU;DAT	10	-	-	ns
	数据信号保持时间 tHD;DAT	0	-	150	ns
	启动信号保持时间 th;STA	0.16	-	-	us
	结束信号建立时间 tSU;STO	0.16	-	-	us

8.3.10 PLL/RC/CLOCK

图表 8-16 时钟参数

符号		参数	最小	典型	最大	单位
PLL	Fout	Output frequency range	16	-	3200	MHz
	Tlock	Lock time	-	256	512	cycle
		Power consumption (FVCO = 3200MHz)	-	12.6	15.12	mW
		Period jitter (random, VCO = 3200MHz)	-	-	0.26	ps
		Junction temperature	-40	25	125	℃
RC		Intrinsic Oscillator Frequency	-	24	-	MHz
		Duty Cycle on FOUT	47	-	53	%
		Total frequency Variation	-3	-	3	%
		Initial Settling Time	-	140	220	us
		Period Jitter (RMS)	-	-	0.45	ns
Clock	FOSC	Input clock frequency	-	24	-	MHz
	FRTC	Input clock frequency	-	32.768	-	kHz
	DCRTC	Duty cycle	45	50	55	%

8.3.11 TDM/PDM/I2S/SPDIF/7816

图表 8-17 低速接口时序

符号		参数	最小	典型	最大	单位
I2S	fMCK	I2S main clock output	-	256fs or 384fs	-	kHz
	tHC/tLC	clock HIGH/LOW	0.35T	-	-	ns
	thtr	hold time	0	-	-	ns
	tdtr	delay	-	-	0.8T	ns
TDM	F(BCLK)	BCLK Frequency	-	fs*bits*channels	-	kHz
	tr(BCLK)	BCLK rise time	-	-	20	ns
	tf(BCLK)	BCLK fall time	-	-	20	ns
	td(D-B)	BCLK to SDOUT delay	-	-	20	ns
PDM	f(PDMCLK)	PDMCLK clock frequency	-	0.768 or 1.536	-	MHz
	tSETUP	PDM_DATA to PDM_CLK Setup Time	10	-	-	ns
	tHOLD	PDM_DATA to PDM_CLK Hold Time	10	-	-	ns
SPDIF	f(CLK)	Bit rate	-	64*FS	-	Mbit/s
ISO7816	CLK	frequency	-	1.0417	15.625	MHz
	Ta	IO set to state H time	-	-	200/f	
	Tb	RST at state L time	400/f	-	-	
	Tc	answer on IO after RST rise	400/f	-	40000/f	

8.3.12 ADC

图表 8-18 ADC 时序参数

符号		参数	最小	典型	最大	单位
ADC		Resolution	-	10	-	bits
	Cin	Input capacitance	-	2.56	-	pF
	Vfsr	Input full-scale range voltage	-	vref	-	V
	Vrefint	Intermal reference voltage	1.1	1.2	1.3	V
	Vrefext	External reference voltage	1.1	avdd	avdd	V
	f_{CLK}	Clock frequency	0.7	-	70	MHz
	Fs	Conversion time	-	12	-	t_{CLK}
	DNL	Differential Non Linearity	-0.97	-	1.9	LSB
	INL	Integral Nn Linearity	-2.2	-	2.2	LSB

	SINADext	Signal-to-Noise and Distortion Ratio /Vrefint	-	60.2	-	dB
	SINADint	Signal-to-Noise and Distortion Ratio /Vrefext	-	57.7	-	dB
	Eo	Offset Error	-	±1	-	%FS
	Eg	Gain Error	-	±1	-	%FS
	I_{AVDD}	Analog Supply Current	-	1590	-	uA
	I_{VDD}	Digital Supply Current	-	58	-	uA
		Power Down Current from AVDD	-	0.6	-	uA
		Power Down Current from DVDD	-	1.43	-	uA
	tenadc	ADC Enable time	-	5	-	t_{CLK}

8.3.13 T SENSOR/eFUSE

图表 8-19 TS/eFUSE 参数

符号		参数	最小	典型	最大	单位
Tsensor		Range	-40	-	125	℃
	Eun-cal	Un-cal error from -40~125℃	-3	-	3	℃
	Eone-cal	error with one-point-calibration 100℃ cal (range 80~120℃)	-1	-	1	℃
	Etwo-cal	error with 20/100℃ two-point-calibration (range 20~100℃)	-1.25	-	1.25	℃
eFUSE	Ipgm_vdd	VDD current in PGM mode	2	4	190	uA
	Ipgm_vqps	VQPS current in PGM mode	-	61.349	98.280	mA
	Istandby_vdd	VDD current in standby mode	0.242	0.398	21.785	uA

9 产品信息

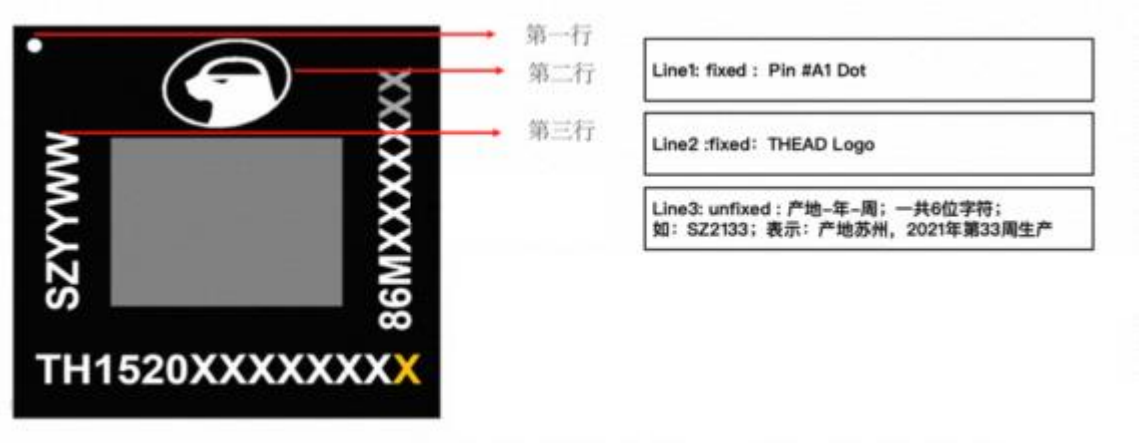
9.1 产品类型

应用场景的差异会对 CPU 算力和功耗特性有不同要求，芯片 CPU 可以运行在不同频率，低功耗特性也有品类差异。

图表 9-1 产品分类信息表

产品代号	主要特征	用途
TH1520-C0X-XXXX1	CPU 最高运行频率 1.85GHz	标准产品

9.2 Mark 定义



图表 9-2 曳影 1520 标记定义