

Ciclo de Reloj: 1

Instrucción en cola : MUL R2 R0 R1

RS_sumador 0	Bit de validez : 1		Registro de destino : 0		Realizando : 0		Valor 1 : 0		Valor 2 : 0
--------------	--------------------	--	-------------------------	--	----------------	--	-------------	--	-------------

RS_sumador 1	Bit de validez : 1		Registro de destino : 0		Realizando : 0		Valor 1 : 0		Valor 2 : 0
--------------	--------------------	--	-------------------------	--	----------------	--	-------------	--	-------------

RS_sumador 2	Bit de validez : 0		Registro de destino : 0		Realizando : 0		Valor 1 : 0		Valor 2 : 0
--------------	--------------------	--	-------------------------	--	----------------	--	-------------	--	-------------

RS_mul 0	Bit de validez : 1		Registro de destino : R2		Realizando : MUL		Valor 1 : 1		Valor 2 : 2
----------	--------------------	--	--------------------------	--	------------------	--	-------------	--	-------------

RS_mul 1	Bit de validez : 1		Registro de destino : 0		Realizando : 0		Valor 1 : 0		Valor 2 : 0
----------	--------------------	--	-------------------------	--	----------------	--	-------------	--	-------------

R0: 1		Bit de validez 0: 1
-------	--	---------------------

R1: 2		Bit de validez 1: 1
-------	--	---------------------

R2: 3		Bit de validez 2: 0
-------	--	---------------------

R3: 4		Bit de validez 3: 1
-------	--	---------------------

R4: 5		Bit de validez 4: 1
-------	--	---------------------

R5: 6		Bit de validez 5: 1
-------	--	---------------------

R6: 7		Bit de validez 6: 1
-------	--	---------------------

R7: 8		Bit de validez 7: 1
-------	--	---------------------

R8: 9		Bit de validez 8: 1
-------	--	---------------------

R9: 10		Bit de validez 9: 1
--------	--	---------------------

R10: 11		Bit de validez 10: 1
---------	--	----------------------

R11: 12		Bit de validez 11: 1
---------	--	----------------------

Ciclo de Reloj: 2

Instrucción en cola : ADD R4 R2 R3

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : R2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : 0 | Realizando : 0 | Valor 1 : 0 | Valor 2 : 0

RS_sumador 2 Bit de validez : 0 | Registro de destino : 0 | Realizando : 0 | Valor 1 : 0 | Valor 2 : 0

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : 0 | Realizando : 0 | Valor 1 : 0 | Valor 2 : 0

Multiplicador 0 ha iniciado la operación : MUL 1 2 | Registro de destino : R2 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 3 | Bit de validez 2: 0

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 7 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 3

Instrucción en cola : ADD R6 R1 R5

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : R2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 0 | Registro de destino : 0 | Realizando : 0 | Valor 1 : 0 | Valor 2 : 0

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : 0 | Realizando : 0 | Valor 1 : 0 | Valor 2 : 0

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 3 | Bit de validez 2: 0

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 7 | Bit de validez 6: 0

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 4

Instrucción en cola : ADD R9 R7 R8

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : R2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 0 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : 0 | Realizando : 0 | Valor 1 : 0 | Valor 2 : 0

Sumador 1 ha iniciado la operación : ADD 2 6 | Registro de destino : R6 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 3 | Bit de validez 2: 0

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 7 | Bit de validez 6: 0

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 0

R10: 11 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 5

Instrucción en cola : MUL R10 R6 R9

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : R2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 0 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : R6 | Valor 2 : R9

Sumador 2 ha iniciado la operación : ADD 8 9 | Registro de destino : R9 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 3 | Bit de validez 2: 0

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 7 | Bit de validez 6: 0

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 0

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 6

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : R2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 0 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : R6 | Valor 2 : R9

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 3 | Bit de validez 2: 0

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 7 | Bit de validez 6: 0

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 0

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 7

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : R2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 0 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : R6 | Valor 2 : R9

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 3 | Bit de validez 2: 0

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 7 | Bit de validez 6: 0

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 0

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 8

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : R9

Sumador 1 ha iniciado la operación : ADD 2 6 | Registro de destino : R6 enviado en CDB

Multiplicador 0 ha iniciado la operación : MUL 1 2 | Registro de destino : R2 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 10 | Bit de validez 9: 0

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 9

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

Sumador 0 ha iniciado la operación : ADD 2 4 | Registro de destino : R4 enviado en CDB

Sumador 2 ha iniciado la operación : ADD 8 9 | Registro de destino : R9 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 10

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

Multiplicador 1 ha iniciado la operación : MUL 8 17 | Registro de destino : R10 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 11

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 12

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 5 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 13

Stall

Instrucción en cola : 0 0 0 0

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 4

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

Sumador 0 ha iniciado la operación : ADD 2 4 | Registro de destino : R4 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 1

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 14

Stall

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : R10

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 15

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : R10

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 11 | Bit de validez 10: 0

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 16
Instrucción en cola : ADD R4 R4 R10

RS_sumador 0	Bit de validez : 1		Registro de destino : R4		Realizando : ADD		Valor 1 : 6		Valor 2 : 136
RS_sumador 1	Bit de validez : 1		Registro de destino : R6		Realizando : ADD		Valor 1 : 2		Valor 2 : 6
RS_sumador 2	Bit de validez : 1		Registro de destino : R9		Realizando : ADD		Valor 1 : 8		Valor 2 : 9
RS_mul 0	Bit de validez : 1		Registro de destino : R2		Realizando : MUL		Valor 1 : 1		Valor 2 : 2
RS_mul 1	Bit de validez : 1		Registro de destino : R10		Realizando : MUL		Valor 1 : 8		Valor 2 : 17

Multiplicador 1 ha iniciado la operación : MUL 8 17 | Registro de destino : R10 enviado en CDB

R0: 1 | Bit de validez 0: 1
R1: 2 | Bit de validez 1: 1
R2: 2 | Bit de validez 2: 1
R3: 4 | Bit de validez 3: 1
R4: 6 | Bit de validez 4: 0
R5: 6 | Bit de validez 5: 1
R6: 8 | Bit de validez 6: 1
R7: 8 | Bit de validez 7: 1
R8: 9 | Bit de validez 8: 1
R9: 17 | Bit de validez 9: 1
R10: 136 | Bit de validez 10: 1
R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 17

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : 136

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

Sumador 0 ha iniciado la operación : ADD 6 136 | Registro de destino : R4 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 136 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 18

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : 136

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 136 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 19

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : 136

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 136 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 20

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : 136

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 6 | Bit de validez 4: 0

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 136 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1

Ciclo de Reloj: 21

Instrucción en cola : ADD R4 R4 R10

RS_sumador 0 Bit de validez : 1 | Registro de destino : R4 | Realizando : ADD | Valor 1 : 6 | Valor 2 : 136

RS_sumador 1 Bit de validez : 1 | Registro de destino : R6 | Realizando : ADD | Valor 1 : 2 | Valor 2 : 6

RS_sumador 2 Bit de validez : 1 | Registro de destino : R9 | Realizando : ADD | Valor 1 : 8 | Valor 2 : 9

RS_mul 0 Bit de validez : 1 | Registro de destino : R2 | Realizando : MUL | Valor 1 : 1 | Valor 2 : 2

RS_mul 1 Bit de validez : 1 | Registro de destino : R10 | Realizando : MUL | Valor 1 : 8 | Valor 2 : 17

Sumador 0 ha iniciado la operación : ADD 6 136 | Registro de destino : R4 enviado en CDB

R0: 1 | Bit de validez 0: 1

R1: 2 | Bit de validez 1: 1

R2: 2 | Bit de validez 2: 1

R3: 4 | Bit de validez 3: 1

R4: 142 | Bit de validez 4: 1

R5: 6 | Bit de validez 5: 1

R6: 8 | Bit de validez 6: 1

R7: 8 | Bit de validez 7: 1

R8: 9 | Bit de validez 8: 1

R9: 17 | Bit de validez 9: 1

R10: 136 | Bit de validez 10: 1

R11: 12 | Bit de validez 11: 1