

Aufgabe 1

(10 + 20 Punkte)

Lernziele: Machen Sie sich zuerst mit der Entwicklungsumgebung vertraut. Sie besteht aus dem graphischen VHDL-Compiler/-Simulator *ModelSim* von Mentor Graphics und aus der VHDL-Synthesesoftware *Libero SoC* von Microsemi. In dieser Aufgabe lernen Sie auch:

- Implementierung von VHDL-Komponenten bei vorgegebener Schnittstelle,
- synthesegerechte Verhaltensbeschreibung einfacher Schaltnetze mit Hilfe selektierter und bedingter Signalzuweisungen,
- synthesegerechte Verhaltensbeschreibung einfacher Zähler mit Hilfe von PROCESS- und IF-Anweisungen und
- Strukturbeschreibung im hierarchischen Entwurf durch Instanzierung von Komponenten

Hinweise:

- Vorgegebene Schnittstellen oder bereitgestellte Komponenten dürfen weder geändert noch durch andere ersetzt werden.
- Der Takt in synchronen Systemen ist eine „unantastbare“ Größe und darf auf keinen Fall über Gatter mit anderen Signalen verknüpft werden. So etwas ist ein schlechter Programmierstil und Hinweis auf mangelnde Kenntnisse der Digitaltechnik. Der Takt darf nur direkt an die Clock-Eingänge von Flipflops angeschlossen werden.

Aufgabenstellung

Es ist ein sog. BCD-Transcoder zu implementieren, der eine 4-stellige BCD-Zahl auf einer 4-stelligen 7-Segmentanzeige darstellt. Der Transcoder ist in VHDL zu modellieren, zu simulieren (eine Testumgebung steht zur Verfügung) und für den FPGA-Baustein M2S005-TQG144 auf dem Entwicklungsboard zu synthetisieren.

Die Schnittstelle des BCD-Transcoders:

```
ENTITY hex4x7seg IS
  GENERIC(RSTDEF: std_logic := '0');
  PORT(rst: IN std_logic; -- reset
        clk: IN std_logic; -- clock (rising edge)
        data: IN std_logic_vector(15 DOWNTO 0); -- data input
        dpin: IN std_logic_vector( 3 DOWNTO 0); -- 4 decimal point
        cc: OUT std_logic_vector( 3 DOWNTO 0); -- 4 digit enable signals
        dp: OUT std_logic; -- 1 decimal point output
        seg: OUT std_logic_vector( 7 DOWNTO 1)); -- 7 connections to display
END hex4x7seg;
```

Im Bild 1 ist die Belegung einer 7-Segmentanzeige mit ihren einzelnen Segmenten dargestellt. Diese Segmente sind hier anders als im Datenblatt, wo sie mit den Buchstaben A bis G markiert sind, mit den Ziffern 1 bis 7 durchnummeriert. Außerdem ist in diesem Bild zu sehen, welche Segmente leuchten (markiert mit Schwarz) und welche ausge-

schaltet bleiben (markiert mit Hellgrau), und zwar in der Abhängigkeit vom „erweiterten“ BCD-Wert ($0000_2 \dots 1111_2$), also inklusive der sechs Hexadezimalziffer (A, B, C, D, E und F). Beispielsweise sollen für den BCD-Wert 0101_2 die Segmente (1, 3, 4, 6, 7) leuchten und die anderen (2, 5) dunkel bleiben.

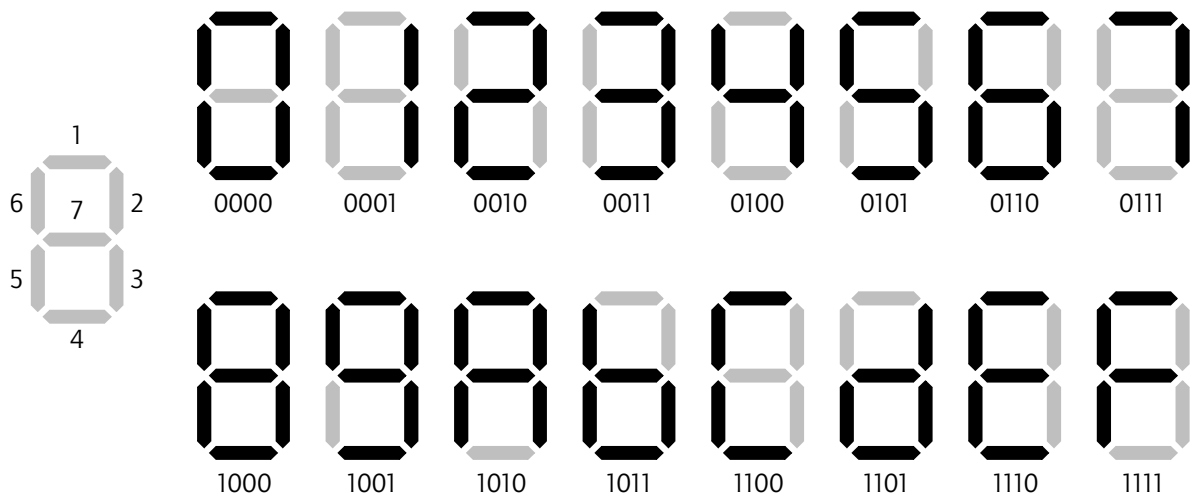


Bild 1: Darstellung von erweiterten BCD-Werten $0000_2 \dots 1111_2$ in der 7-Segmentanzeige.

Aufbau und Funktionsweise. Diese Schaltung, dessen Blockschaltbild in Bild 3 zu sehen ist, lässt sich aus sechs elementaren Komponenten zusammenbauen. Der Frequenzteiler ist ein synchroner Modulo- 2^{14} -Zähler, der die Eingangsfrequenz von 50 MHz auf ca. 3 kHz reduziert. In periodischen Zeitabständen (ca. 328 μ s) generiert er das Steuersignal *en*, mit dem ein synchroner Modulo-4-Zähler gesteuert wird. Die in diesem Zähler generierte Zählsequenz wird in einem 1-aus-4-Decoder dazu verwendet, vier nicht überlappende Phasensignale ($cc_0 \dots cc_3$) zur Ansteuerung jeweils einer Stelle in der 4-stelligen 7-Segmentanzeige zu erzeugen, so wie das im Bild 2 dargestellt ist.

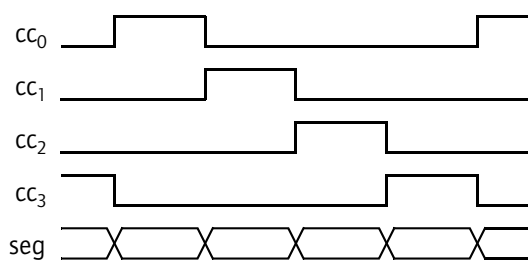


Bild 2: Impulsplan mit vier nicht überlappenden Phasensignalen.

Diese Zählsequenz dient gleichzeitig dazu, mit Hilfe eines 1-aus-4-Multiplexers die acht Schiebeschalter SW8..SW1 in zwei 4-Bit-Blöcken für den Decodiervorgang auszuwählen. Die Einstellung der Schiebeschalter SW8..SW5 wird auf DIGIT4 und DIGIT2, und SW4..SW1 auf DIGIT3 und DIGIT1 angezeigt. Dieselbe Zählsequenz dient auch dazu, einen zweiten 1-aus-4-Multiplexer anzusteuern, mit dessen Hilfe Dezimalpunkte

in den Anzeigen DIGIT4..DIGIT1 aktiviert werden. Beim Betätigen eines Tasters BTN_i leuchtet der Dezimalpunkt in der Anzeige $DIGIT_i$, wobei i aus 1, 2, 3 oder 4 ist. Die letzte Komponente ist der 7-aus-4-Decoder, der eine Umcodierung eines 4-stelligen Bitmusters in einen 7-stelligen Bitmuster entsprechend der Darstellung im Bild 1 vornimmt.

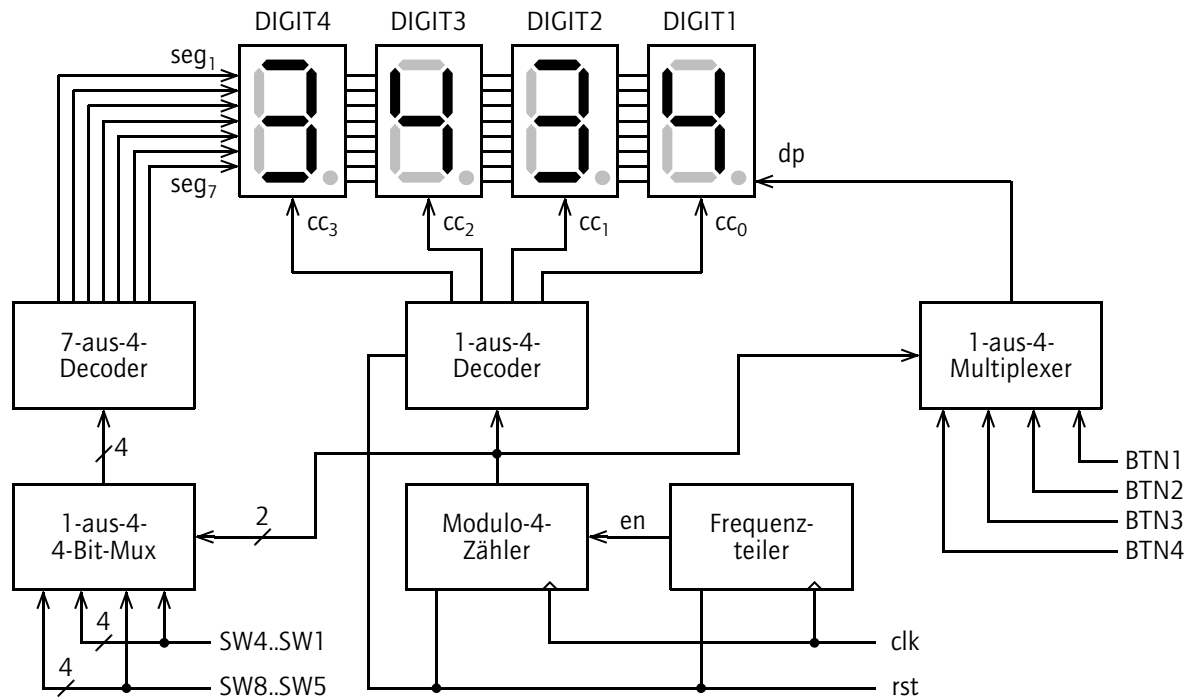


Bild 3: Blockschaltbild des BCD-Transcoders.

Resetphase. Während der Resetphase, d.h. wenn der Reset-Taster auf der Hauptplatine betätigt ist, sollen alle LED-Segmente der 4-stelligen 7-Segmentanzeige ausgeschaltet werden. In dieser Phase sollen auch der Modulo-4-Zähler und der Frequenzteiler zurückgesetzt werden.

Beispiel. Bei folgender Einstellung der Schiebeschalter $SW8..SW1 = (Lo, Lo, Hi, Hi, Lo, Hi, Lo, Lo)$ erscheinen in der 4-stelligen 7-Segmentanzeige die Ziffern (3, 4, 3, 4).