



V_L لیت منطقی: مدارهایی هستند که آنها تابعی از سطوح و تأثیرات پیهای ورودی باشند. در این موارد اگر مایه هار سطح ولتاژ ترا را ب V_L آسمانه از پارامترهای لیت منطقی است قرار گیرد سطح صفر را که از ولتاژ آسمانی بالای V_H سیستم باشد منطبق نماید تلفی میگردد.

پالیترهای محتمم در لیت های منطقی:

عرض کنترل: فاصله بین آسمانی بالای V_H و طایی V_{IL} ورودی را عرض کنترل لیت منطقی نویسید.

$$T_W = V_{LH} - V_{IL}$$

اگر ویدن بین کوره V_{IL} و V_{LH} توانایی در حروفی لیت عالی بسته باشد که این ای روآسمانه مایه مجموعه برای ورودی است.

حسابیه نویی بالا و پایین: اگر حروفی لیت منطقی در منطق صفر برابر با V_{OL} و در منطق یک برابر با V_{OH} باشد حاسبه نویز بالایی برای اینستا:

$$NM_H = V_{OH} - V_{IL}$$

و حاسبه نویز پائینی برای اینستا:

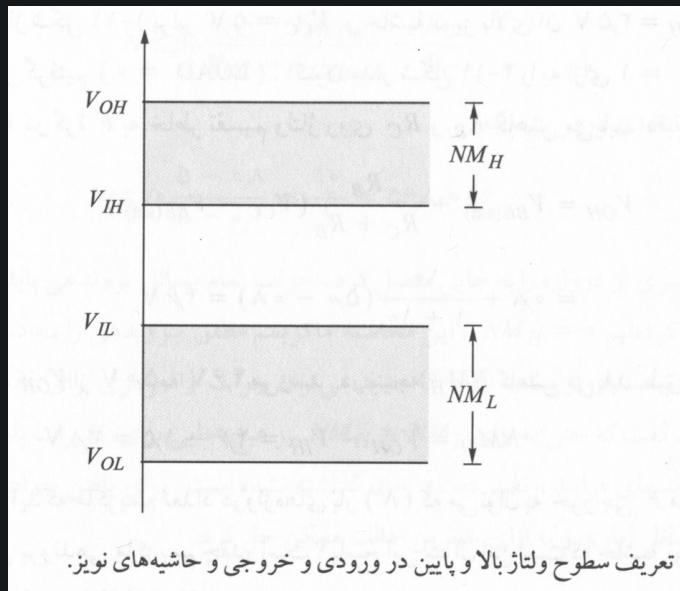
این حاسبه های نویز تغییر میکند اگر حروفی لیت منطقی بورودی لیت دیگری را در سود داشته باشد نویزی که دستولده منطبق آنرا بجزء را حداکثر میگیرد



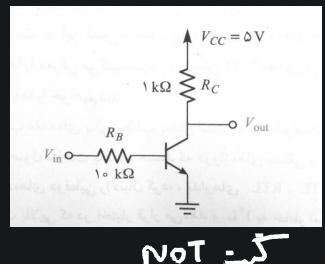
$$L_0 = V_{D0} - V_{D1}$$

داننه منطقی: اصطلاح سطح دستاری خروجی را سطح یک و صفر را رامه منطقی خروجی می‌بینیم.

محیط لیست های منطقی در برگرفته از مواد مختلف احتمال حالتی نمایی، اینها سه حالت درودی و خروجی و سرت تغیر لیست منطقی بستگی دارد.



تعریف سطوح ولتاژ بالا و پایین در ورودی و خروجی و حاشیه های نویز.



$$V_{O_H} = V_{CC} = 5 \text{ Volts}$$

$$V_{O_L} = V_{CE(Sat)} = 0.1 \text{ Volts}$$

$$V_{I_H} = V_{BE(ON)} = 0.7 \text{ Volts}$$

$$V_{I_L} = V_{BE(ON)} + \frac{V_{CC} - V_{CE(Sat)}}{R_C \cdot \beta} \cdot R_B = 1.5 \text{ Volts}$$

بُون دهی: حداکثر گیت های مستبد را حروفی بیانیت می کنند به این ترتیب

$$T_w = 1.5 - 0.7 = 0.8 \text{ Volt}$$

$$N_{MH} = V_{O_H} - V_{I_H} = 5 - 1.5 = 3.5 \text{ Volt}$$

$$N_{ML} = V_{I_L} - V_{O_L} = 0.7 - 0.1 = 0.6 \text{ Volt}$$

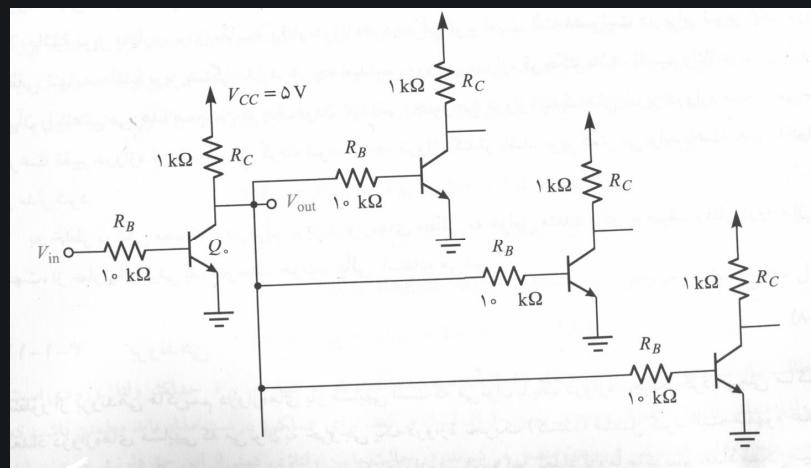
Fanout

حاسیتی خواهد بود که با افزایش تعداد گیت های می خواهد ۰.۳ ولت راست.

سوال: چه تعداد گیت در حرفی گیت اول می توان فرازداد تا منطق خروجی را حالت یک تو سطح سایر گیت ها نمایان نمایند تا تلفی سود ۹

$$V_{out} = V_{BE(ON)} + \frac{V_{CC} - V_{BE(ON)}}{R_C + \frac{R_B}{N}} \quad \frac{R_B}{N} \geq V_{I_H}$$

$$N \leq \frac{\beta \frac{V_{CC} - V_{BE}}{V_{CC} - V_{CE(Sat)}} - \frac{R_B}{R_C}}{\frac{R_B}{R_C}} = 56.8 \Rightarrow N_{max} = 56$$



قطعه ای برداشته شده ای معادله ها و بار استخراجی تغییر دهنده ای اینجا این اثربخشی را نشان می دهد



تا **زمان تأخیر تغییر فرودی** بیت منطقی از کم تفسیر بروردی را زمان استاری مامد.

Propagation time

مطابق سُلْعِ فرود و دروری بیت منطقی است. این سُلْعِ صفر بیت تغییری نهاده و پس از این که طاقی

حدر آن بیت منطق صفر کری گردد.

$$t_{PHL} = t_d + \frac{t_r}{2}$$

زمان رسید و ترسی اینتریه سقدار ۰.۷ دهفم رمل تراز تسویه

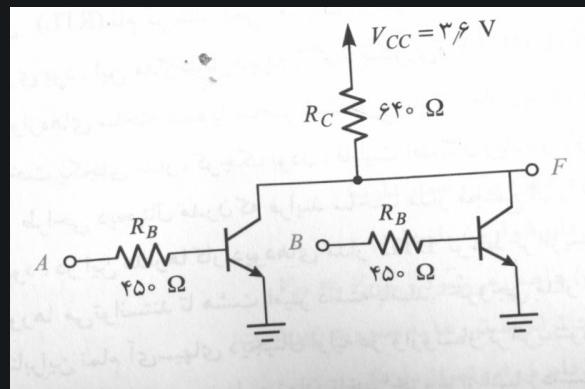
t (زمان تمرل) درای زمان تراز تسویه را حالت فعلی با اسباب میرسد

زمان دخیره حلولی) مدت زمانی است که رای حاج سدن تراز تسویه را اشاع و رسیدن به حالت فعلی لازم است



زمان صعود (z) مدت زمانی لازم است تراز تسویه را حالت فعلی به قطع برور

$$t_{PLH} = t_s + \frac{t_r}{2} \rightarrow t_p = \frac{t_{PHL} + t_{PLH}}{2}$$



بک موڑ نو رو و رو ری

جدول ۱-۱۱ مشخصات الکتریکی دروازه‌های RTL				
۵	بروندهی	$1.2V / 0.2V$	$\min V_{OH} / \max V_{OL}$	
$+3.6V$	ولتاژ تعذیب	$0.8V / 0.8V$	$\min V_{IH} / \max V_{IL}$	
۱۶ mW	توان مصرفی هر دروازه	$0.4V / 0.5V$	$\min NM_H / \min NM_L$	
۱۲ ns	تاخیر انتشار	$0.1V$	می‌نیم تغییر دامنه منطقی	

برای کاهش تاخیر استارتاپ یک راهکار این است که بین مدار رامتریسیون را در دلی توانیم به سرعت افزایش داد.

$$P_D(\text{avg}) = \frac{V_{CC} (I_{CCH} + I_{CCL})}{2}$$

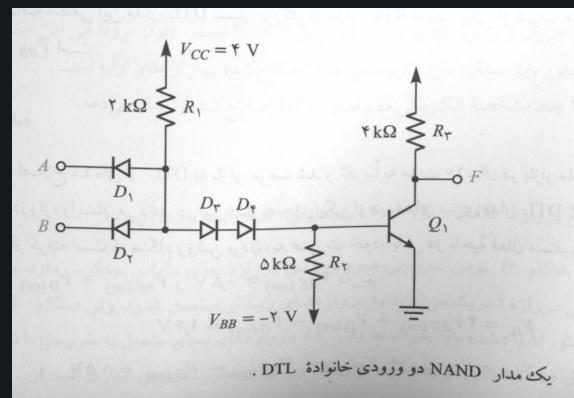
حاصصفه بـ اـ نـوـسـطـاـمـهـرـنـگـارـهـ تـهـرـ آـسـاـ سـهـلـانـ مـیـ اـيـهـاـ هـلـ حـورـ رـوـحـهـ لـهـ استـ

$$PDP = t_p P_D (\text{avg}) = (12 \text{ ns})(16 \text{ mW}) = 192 \text{ pJ}$$

مزیت مراحلی RLT سادگی، توان بصری و متعاب : کوچکی داره سطعی و حاستیه، نوک



دکتر علیرضا احمدی فرد - دانشکده مهندسی برق - دانشگاه صنعتی شهرود - موضوع پیاده سازی گیت های منطقی



A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$$V_{OH} = 4 \text{ volt}$$

$$V_{OL} = 0.1 \text{ volt}$$

ب) سطق دیودی - ترازتیوری DTL:

هفته سیمینه، در آستانه‌های نهاده است:

$$V_{AD_3} = 2V_D + V_{BE} = 2.1 \text{ volt}$$

$$V_{I_L} = 1.4 \text{ volt} \quad \leftarrow V_B \downarrow \quad VA = 2 \cdot 1 - 0.7 = 1.6 \text{ volt}$$

و مقیم Q روت است و دیود D2 در آستانه‌های روت است:

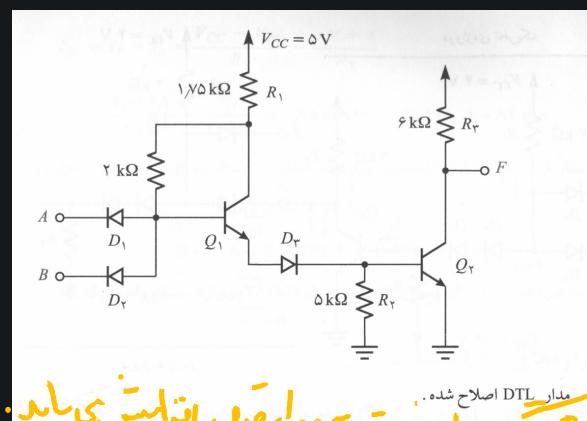
$$V_{AD_3} = 2V_D + V_{BE} (\text{sat}) = 2.2 \text{ volt}$$

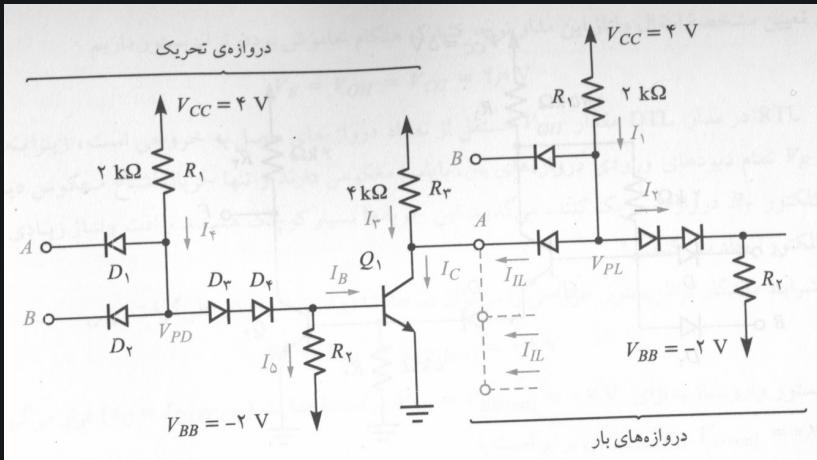
$$V_{I_H} = 1.5 \text{ volt} \quad \leftarrow V_B \downarrow \quad VA = 2 \cdot 2 - 0.7 = 1.5$$

$$N_{M_H} = V_{OH} - V_{I_H} = 4 - 1.5 = 2.5 \quad N_{M_L} = V_{I_L} - V_{OL} = 1.4 - 0.1 = 1.3$$

$$LS = V_{OH} - V_{OL} = 4 - 0.1 = 3.9$$

DTL اصلاح شده مطابق شعل هر بر مدار اویی بخوبی اصلاح شده تا تغییر متفاوت VBB نباشد زیرا نداشت ما ترازتیور Q در هفتم و سیمینه در راهی بفال است لذا VBE = 0.7 می باشد دیود D4 در مدار بالای عمل می کند مزبت مدار اصلاح شده ب مدار بالای این ایستگی قدرت ب افزایش کرده و جریان بیس Q را بین می کند لذا پردازه های تیت نیست به سارچی اولیه می باید.





مُول، محابه بُونزهی بیت $(\beta = 50)$ DTL

$$I_{C_1} = I_{R_3} + N I_L \quad , \quad I_{R_3} = \frac{V_{CC} - V_{CE1sat}}{R_3} = 0.97 \text{ mA}$$

وَقْتِ حِيَاةِ I_L حَدَّ الْرُّعْيٌ وَدَرْدِي دِبْرِي $\frac{V_{PL}}{R_1}$
جَوَاتِرْ هَاجَهْ I_L مَنْصَلْ بَرَدْ .

$$I_{Lmax} = \frac{1 - (0.7 + 0.1)}{2 R_1} - \frac{(0.7 + 0.1) - 2 \times 0.7 - (-2)}{20k\Omega R_2} = 1.53 \text{ mA}$$

$$I_{B_1} = I_4 - I_5 = \frac{1 - 2 \cdot 1}{2} - \frac{0.7 - (-2)}{20} = 0.82 \text{ mA}$$

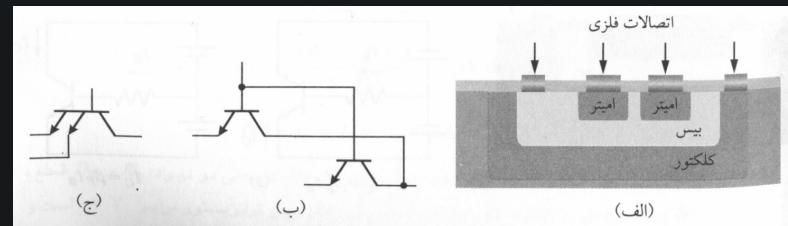
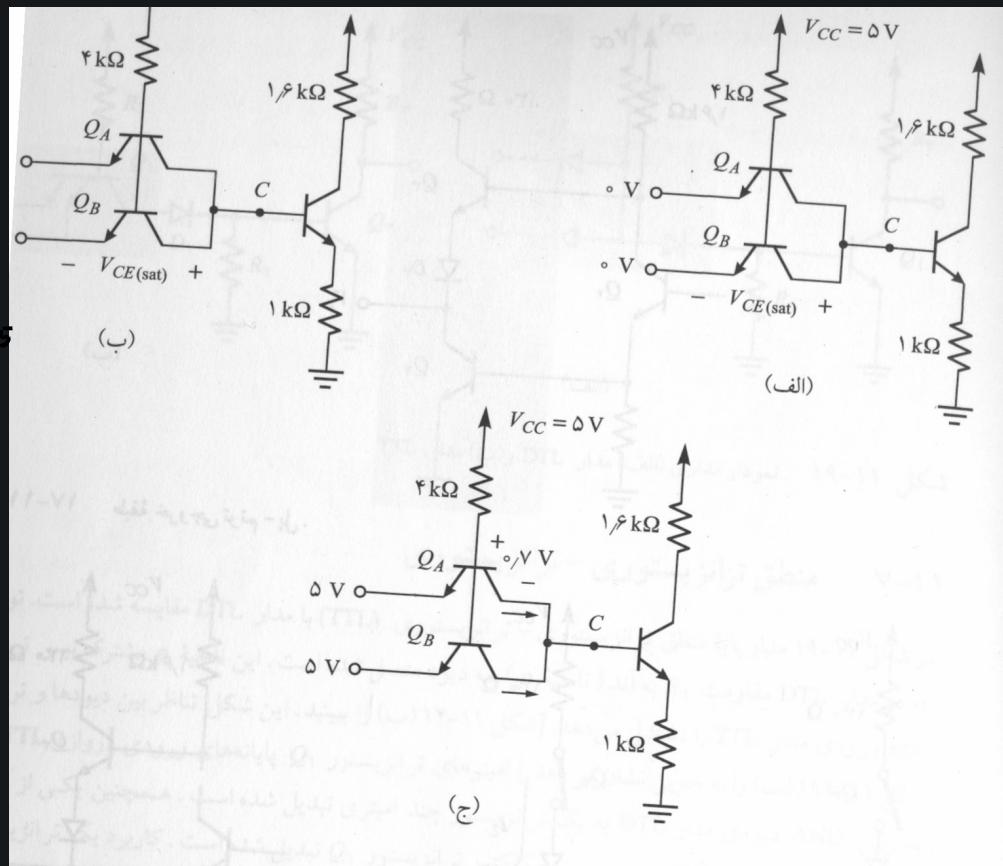
شرط ایجاد $\beta_1 I_{B_1} \geq I_{C_1}$

$$50 \times 0.82 \geq 0.97 + N \times 1.53$$

$N_{max} = 26$ بُونزهی بیت

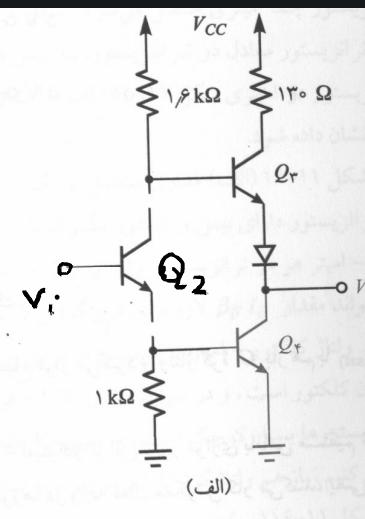
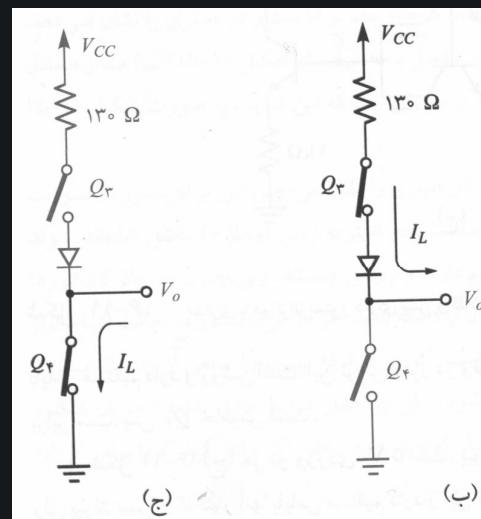
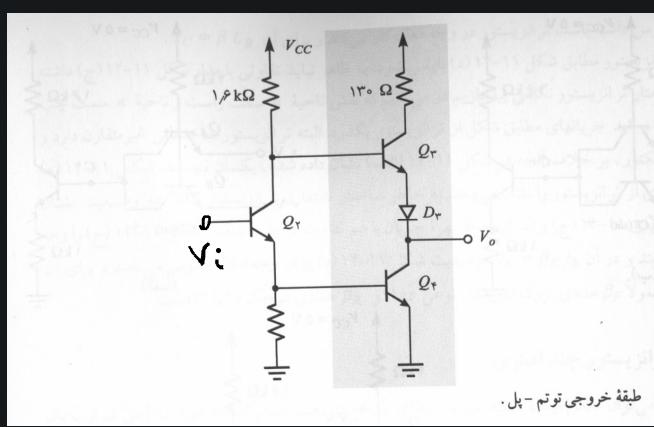


استفاده از ترانزیستورهایی برای تأمین پایه های ورودی لیست:





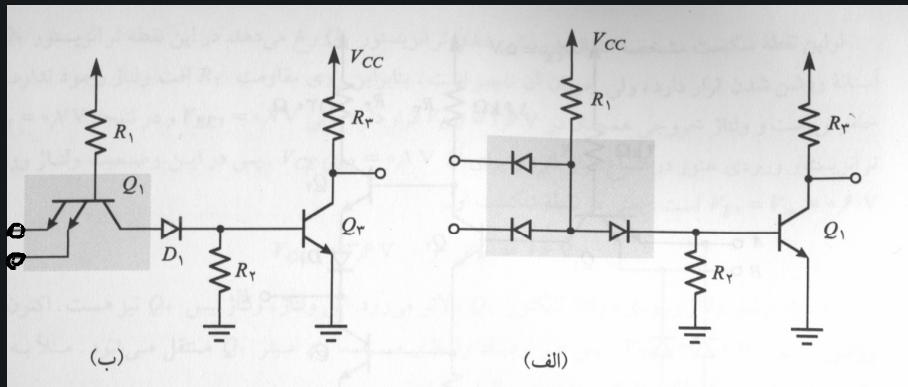
طبقة خروجي توتم پل :
Totem-pole



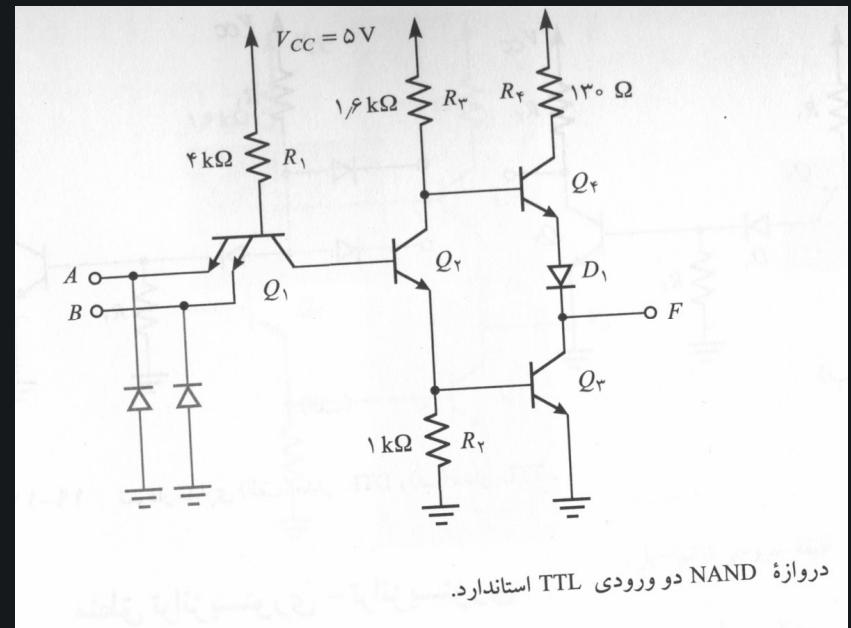


دکتر علیرضا احمدی فرد- دانشکده مهندسی برق- دانشگاه صنعتی شهرود- موضوع پیاده سازی گیت های منطقی

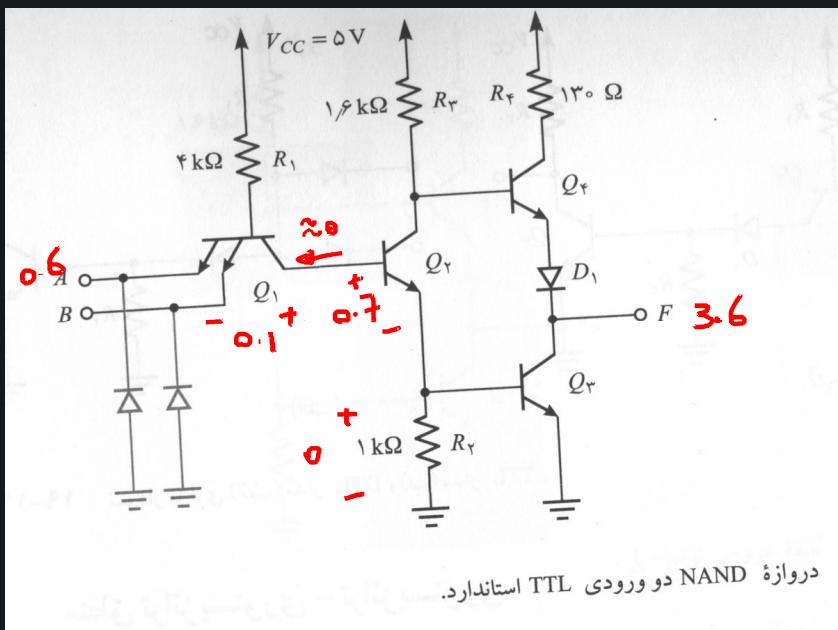
ج) متفق تریستوری- ترازتریستوری TTL:



نمودار مداری (الف) مدار DTL و (ب) مدار TTL .



دروازه NAND دو ورودی TTL استاندارد.



نتیجه نهاده: هردو ورودی یا یکی از ورودی‌ها در حالت سیماست.

اگر ورودی یا از ورودی‌ها نمایر از ۰.۶ ولت باشد، رحالت اسیاع، Q_2 در آستانه وصل، Q_3 حاموش و Q_4 روشن است:

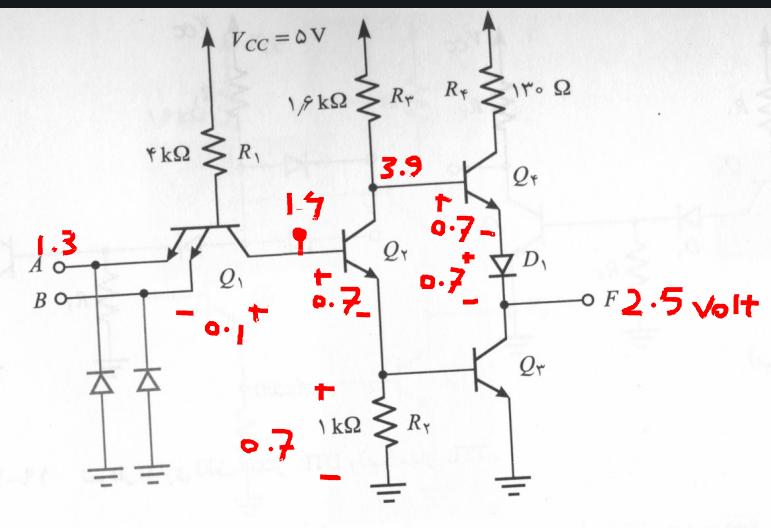
ولت $V_B = 0.6 \rightarrow Q_1 \rightarrow V_{BE1} = 0.1 \rightarrow V_{BE2} = 0.1$ اسیاع اگر

\downarrow همان قلمروی را استخراج کنید \rightarrow در این میان Q_4 از طریق معارضت ۱۰ نامن

\downarrow $V_{R2} = 0 \leftarrow Q_3$ حاموش

$$V_o \approx V_{CC} - V_{BE4} - V_{D1} = 3.6$$

حالت میانی یا خردی



$$\begin{aligned}
 & 0.6 < V_A < 1.3 : \text{نقطه کم} \\
 & V_A = 1.3 \rightarrow V_{BEC_2} = 1.3 + 0.1 = 1.4 \\
 & V_{BEC_2} = 0.7 \rightarrow V_{R_2} = 0.7 \rightarrow \text{نقطه میان} \\
 & I_{R_2} = 0.7 \text{mA} \\
 & V_{CE_2} = 3.2 \text{ Volt} \quad \Leftarrow \\
 & Q_2 \text{ بغل} \\
 & V_{C_2} = 5 - 1.6 \times 0.7 = 3.9 \text{ Volt} \\
 & V_o = V_{C_2} - V_{BEC_1} - V_{D_1} = 2.5 \text{ Volt}
 \end{aligned}$$

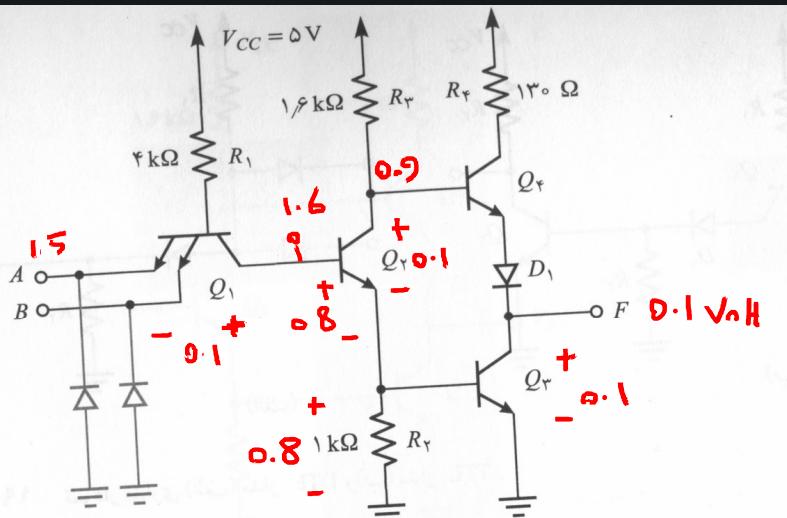


نقاط حلخت ۳: مارسین V_A و V_{out} داریم

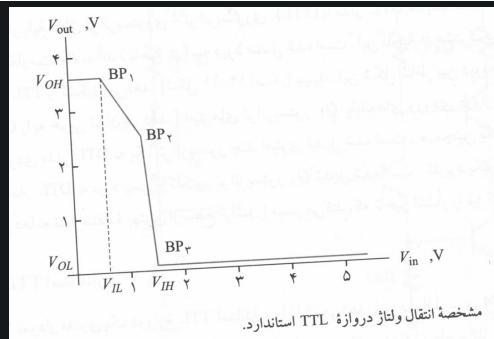
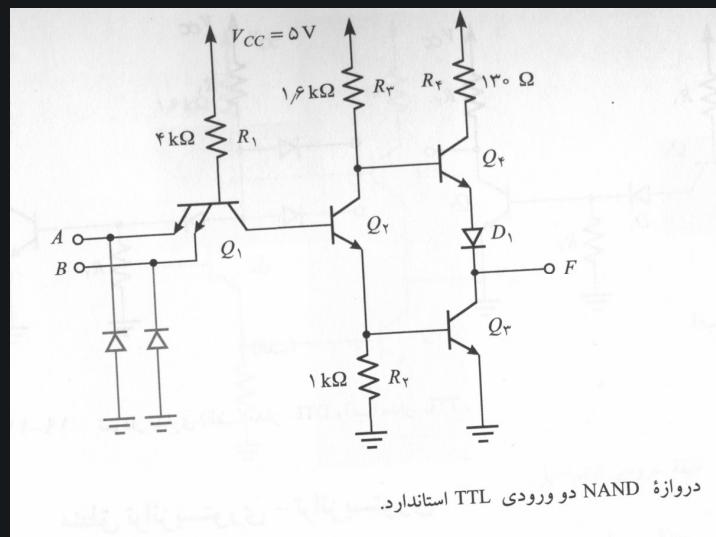
$$V_{BEz} = V_{BE3} = 0.8 \leftarrow V_{C1} = V_A + 0.1 = 1.6 \leftarrow \text{ Volt}$$

$$\downarrow \quad \text{اشباع} \quad Q_2, Q_3 \rightarrow V_o = 0.1 \text{ Volt}$$

$$V_{B4} = V_{E4} + 0.1 = 0.9 \text{ Volt} \rightarrow \text{ خاموشی } Q_4$$



دروازه NAND دو ورودی TTL استاندارد.



$$\text{ ولت و سار } V_A > 1.5 \text{ Volt}$$

$$V_{C_1} = 1.6 \text{ Volt}$$

$$\downarrow$$

$$V_{B_{C_1}} = 0.7 \rightarrow V_{B_1} = 1.6 + 0.7 = 2.3 \text{ Volt}$$

در اینجا مثال معنوس

$$\left\{ \begin{array}{l} V_{B_{\bar{C}_1}} = 0.3 \\ V_{B_{C_1}} = 0.7 \end{array} \right. \quad \left. \begin{array}{l} \text{ ولت 2} \\ \text{ مدل} \end{array} \right. \quad V_A = 2$$



جربان سی
جربان رحمت عمال

$$I_{LH} = \frac{\beta_R I_{B1}}{M}$$

تعداد امیرحای ترازرسور
ورودی لست

(مسئل)

$$\beta_R = 0.2$$

$$M = 2$$

$$I_{B1} = \frac{V_{CC} - V_{BE}}{RB_1} = \frac{5 - 2.3}{4}$$

کیوسک: جربان پایه های ورودی لست ها در حالت High .
Fan out

$$I_{LH} = 67 \mu A$$

کاچو و تار سهایک پایه ورودی لست ترازرسور ورودی در حالت ایساع قرار می گیرد .

در این حالت جربان ورودی در حالت D می باشد و داریم :

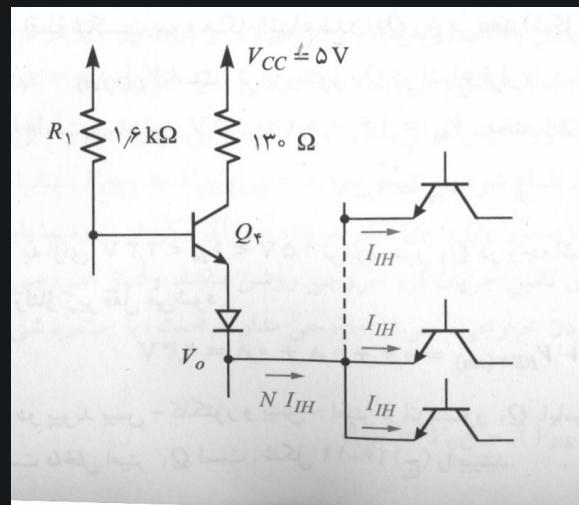
$$I_{LL} = I_{B1} + I_{C1} \approx I_{B1}$$

جربان ایساع معکوس ۰.۸
محزات

(مسئل) $V_{in} = 0.1 V \rightarrow I_{LL} = I_{B1} = \frac{V_{CC} - V_{BE(sat)} - V_{in}}{RB_1}$

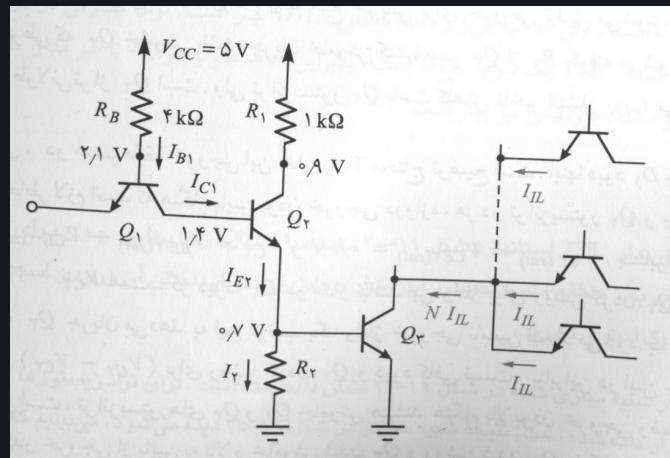
$$I_{LL} = \frac{5 - 0.8 - 0.1}{4} = 1.03 mA$$

مسئل: رویرهی گیت استاندارد 221 را صنعای خروجی آن را حالت H و I_{IH} است. هر کوئی تغییر کنید که در این مدار از ولتاژ خروجی کمتر از 0.4 ولت کاهش نیابد: حل:



$$N I_{IH} \times 130 \Omega \leq 0.4 \text{ Volt}$$

$$N < 45.9$$



معلم: گوینده تیپ TTL را در حدیّت حروفی سما، سمت صاحب نیمه:

$$I_{B1} = \frac{V_{CC} - V_{B1}}{R_B} = \frac{5 - 1}{4} = 1.25mA$$

با فرض $\beta_R = 100$ برای $\beta_R = 0.1$

$$I_{C1} = (\beta_R + 1) I_{B1} = 1.25mA$$

$$I_{E2} = I_{C1} + I_{C2} = I_{C1} + \frac{V_{CC} - V_{CE2}}{R_1} = 1.25 + \frac{5 - 0.9}{1.6k\Omega} = 3.36mA$$

$$I_{B3} = I_{E2} - I_2 = I_{E2} - \frac{V_{B2}}{R_2} = 3.36 - \frac{0.7}{1k\Omega} = 2.66mA$$

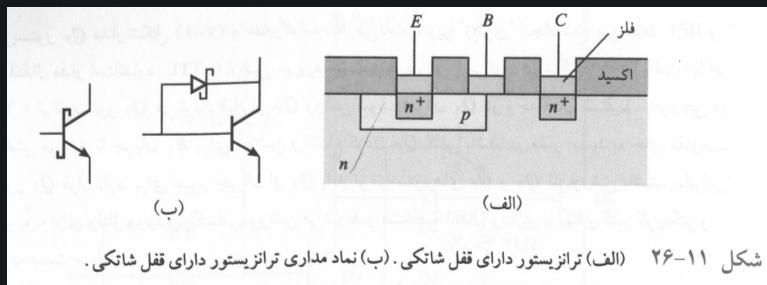
حال بگذاریم $I_{B3} \geq N I_{IL}$ و $N \leq \frac{\beta I_{B3}}{I_{IL}} = \frac{50 \times 2.66}{1.03} = 129$ ($\beta = 50$):



جدول ۳-۱۱ مدار TTL استاندارد (سری 54/74) : مشخصات الکتریکی نوعی

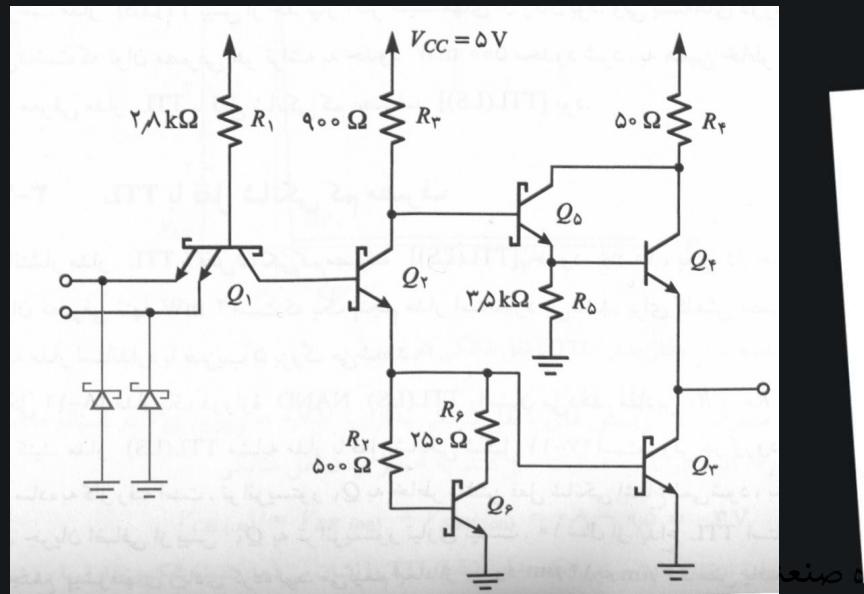
. $T_A = 25^\circ\text{C}$ در

۱۰ + ۵/۰ V	بروندهی ولتاژ تغذیه	۳/۵ V / ۰/۲ V ۱/۵ V / ۰/۵ V	V_{OH} / V_{OL} V_{IH} / V_{IL}
۱۰ mW	توان مصرفی هر دروازه	۲/۰ V / ۰/۳ V	NM_H / NM_L
۱۰ ns	تاخیر انتشار	۳/۳ V	دامنه منطقی

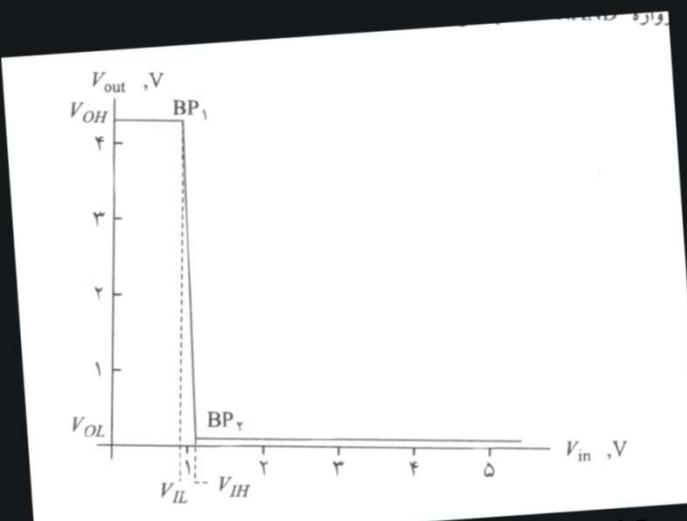


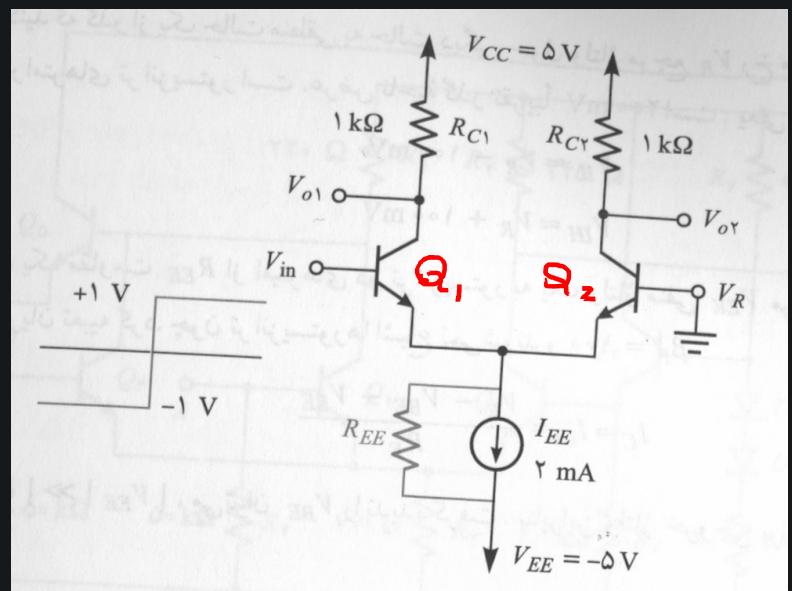
شکل ۲۶-۱۱ (الف) ترانزیستور دارای قفل شاتکی. (ب) نماد مداری ترانزیستور دارای قفل شاتکی.

TTL با قفل شاتکی : پیوند فلترا سیلیکون ایجاد سوینت‌ساتکی می‌نمای و تمارا نیز پیوند کتر از سوینه رعدخای معکوسی است. از این ترتیب رای جلویی از استباع سدن تراستورها می‌گردد.



صنعت





نمودار زیر امتحانی ECL:

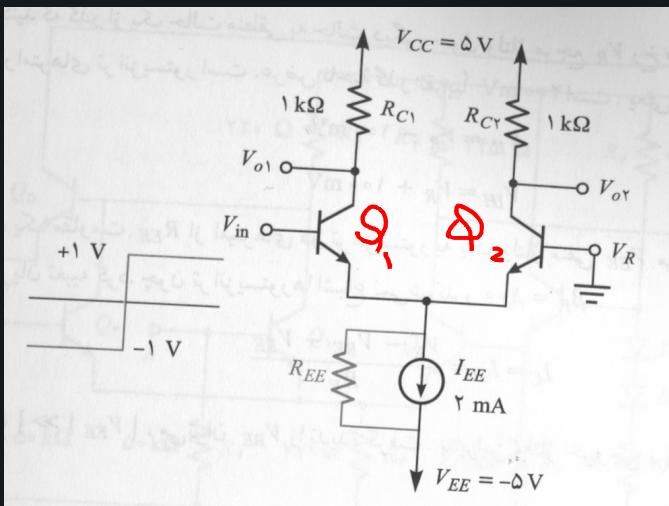
در این تبلو اوثری نولیل آنچه تراستورها در رابطه استبعاد هر ارکمی سرعت تغیر و صعیت لیت بالای باشد

طبق سکل عریه اگر $V_{BE2} = 0.7$ و $V_{BE1} = -0.3$ باشد مطابق با $\sqrt{V_{BE2}} = \sqrt{0.7} = 0.84$ و $\sqrt{V_{BE1}} = \sqrt{-0.3} = 0.577$ تمام حیان از لیدر حرایه دارد

$$V_{o2} = V_{CC} - R_C2 I_{E2} = 5 - 1 \times 0.84 = 4.16 \text{ Volt}$$

$$V_{o1} = V_{CC} = 5 \text{ Volt}$$

برای اعمال ولتاژ همراهی لیت ها و مردمی طبق عداید توسطی مدل اصلی سمع ۴ ولتی احیان برد معنی خروجی را کاهش داد تا به سطح ۱.۲ ولت مساوی با مردمی لیت طبق عداید سه ایلی محدود.



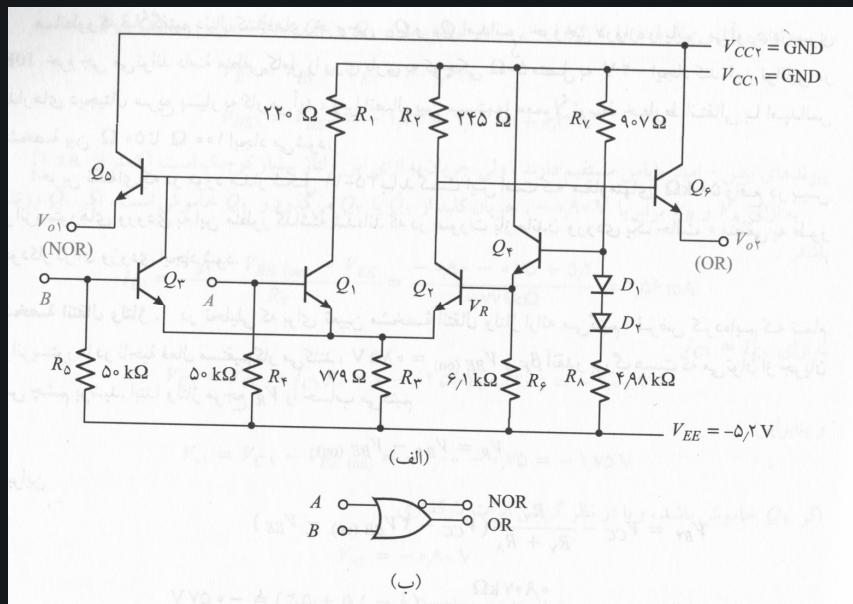
دریج مطرح ساره رئی توان بجای سمع جریان $I_{CE} = 2mA$ از مقاومت R_{EE}

رای تامیں جریان امید رئی لستور وصل استهاره نمود.

اگر $V_{in} = -1V$ باشد، $\beta_Q = 50$ وصل می سودو $V_{CE2} = -0.7V$ خواهد شد

$$I_{R_{EE}} = \frac{V_R - 0.7 - V_{CE2}}{R_{EE}}$$

$$V_{o2} = V_{cc} - R_{C2} I_{R_{EE}} = V_{cc} - \frac{R_{C2}}{R_{EE}} (V_R - 0.7 - V_{CE2})$$



سری ECL : 10k

$$V_{B_4} = \frac{V_{CC_1} - V_{EE} - V_{O_1} - V_{D_2}}{R_7 + R_8} \cdot R_8 + V_{D_1} + V_{D_2} = -0.57$$

$$V_R = V_{B_4} - V_{BE_4} = -1.32$$

اگر Q_2 را سُن و Q_1 را حاموس باشند داریم :

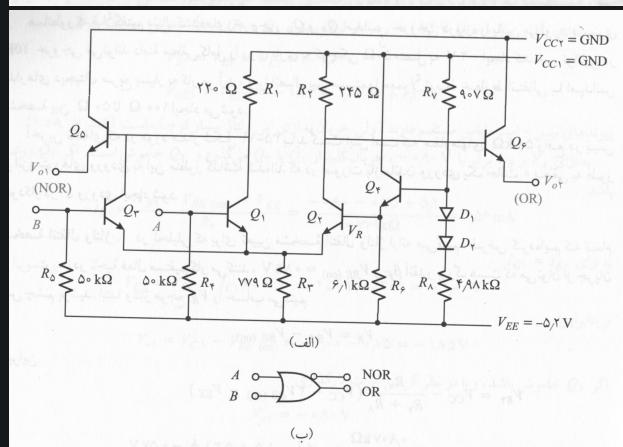
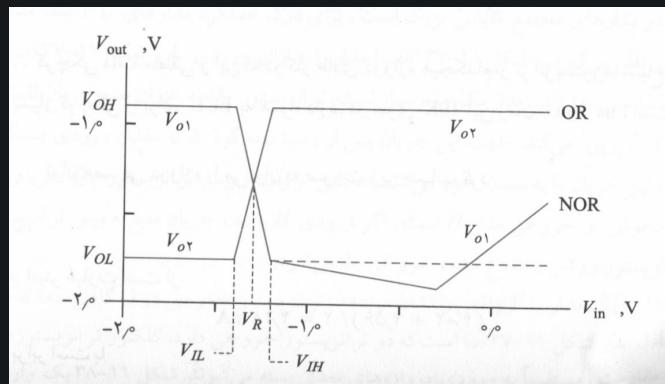
$$V_{CE_2} = V_R - V_{BE_2} = -1.32 - 0.75 = -2.07$$

$$I_{E_2} = \frac{\sqrt{E_2} - V_{EE}}{R_3} = 4.02 \text{ mA}$$

$$V_{C_2} = V_{CC} - I_{C_2} R_2 = 9 - 4.02 \times 0.245 = -0.984$$

$$V_{CE_2} = V_{C_2} - V_{CE_2} = 1.086 \rightarrow \text{وست} \quad \text{فعال} \quad Q_2$$

$$V_{O_2} = V_{C_2} - V_{BE_6} = -0.984 - 0.75 = -1.734$$

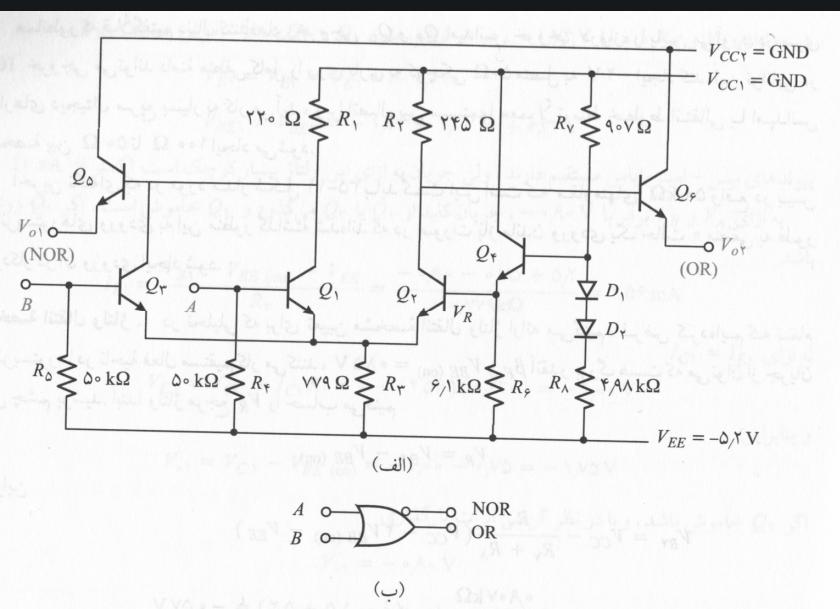


مشهدهای رتاری هر لسی مرتع VR لئارن دارند. هرچویی NOR به ازی ورودی های سین از VR قدری متفاوت تملکی نهان، رسیل آن توسعه را دیگر وقیع نمی کند. از این قدری متفاوت تملکی نهان، رسیل آن توسعه را دیگر وقیع نمی کند. از این قدری متفاوت تملکی نهان، رسیل آن توسعه را دیگر وقیع نمی کند.

$$V_{CE_1} = V_{C_1} = V_{CC} - \frac{R_1}{R_1 + R_3} (V_{CC} - V_{CE}) = -1.15 \text{ Volt}$$

$$V_A = V_{E_1} - V_{BE_1} = -0.4 \text{ Volt}$$

$$V_{D1} = V_{C1} - \sqrt{B} \cdot E_S = -1.9 \text{ volt}$$



سطوح و سرحدات مزدوجی
 حول ولتاً بارجع $V_R = -1.32$ معاشر دسته لذامی توان
 مستقیماً مزدوجی یکتی است $V_A = V_B$ و دری نیت بعدی متصل کرد
 اگر V_B به منطقی یک -0.9 وست بود، V_A و V_E کی کوچک
 و V_E حاموسی خواهد شد.



مشخصات دسته هاره تلریوئری نا C =:

کروزه‌ی: خرمجی است از کمپانی کلتورنیک (Bayer) استفاده شده و درجه حریقی بیشتر است. در فرکانس حاکم ۲۷/۵۰ تقریباً برابر ۱۰۰ است. وکی در فرکانس کاری بالا باشد. حارنهای بیش از ۵٪ متفاوت باشند و درجه حریقی بیشتر است. کروزه‌ی به ۱۵ تغییل می‌باشد.

تاخیر است: به دردیل بی لوچی دامنه منطبق (۰.۸۴ = ۰.۹ - ۱.۷۴ - ولت) و هاستابع نصف تر لسو را باید کسر کرد تا تاخیر است درایط نواره کم و حدود ۲۷۵۰۰ باشد.

توان مصرفی: توان مصرفی در فرآیند بصورت زیر محاسبه می‌شود:

$$\frac{(4.02 + 4.56)}{2} = 4.28 \text{ mA} \rightarrow 5.2 \times 4.28 = 22.3 \text{ mW}$$

متوسط آن مصرفی نیز
سوزنیچه های
متراحت این است

$$I_{R6} = \frac{V_{R6}}{R_6} = \frac{(-1.32 + 5.2)}{6.1} = 0.64 \text{ mA} \quad \Delta V = 5.2 \times (0.64 + 0.63) = 6.6 \text{ mA}$$

$$I_{R7} = \frac{V_{R7}}{R_7} = \frac{1.0 - 0.57}{0.907} = 0.43 \text{ mA}$$

معنی رله های
معنی رله های



دکتر علیرضا احمدی فرد- دانشکده مهندسی برق- دانشگاه صنعتی شاهرود- موضوع پیاده سازی گیت های منطقی

یک مدار سرچ را^۱ تواند^۲ چید^۳ چهار^۴ مدار سرچ باشد. مثلاً اگر^۵ مدار سرچ برای ۴ چید^۶ می‌باشد اسرآهاره سو^۷ د

$$\text{توان سرچی هر گیت} = \frac{22.3 + \frac{6}{4}}{4} = 24 \text{mW}$$

$$= \text{توان سرچی} \times \text{تعداد گیت} = 24 \text{mW} \times 2776 = 48 \text{PJ}$$

مقدار سری از ۷۷۷ چهار^۸ با تأخیر توان PJ^۹ دارد وی از ساتنی پستره با ۳۰PJ^{۱۰} بدتر می‌گیرد

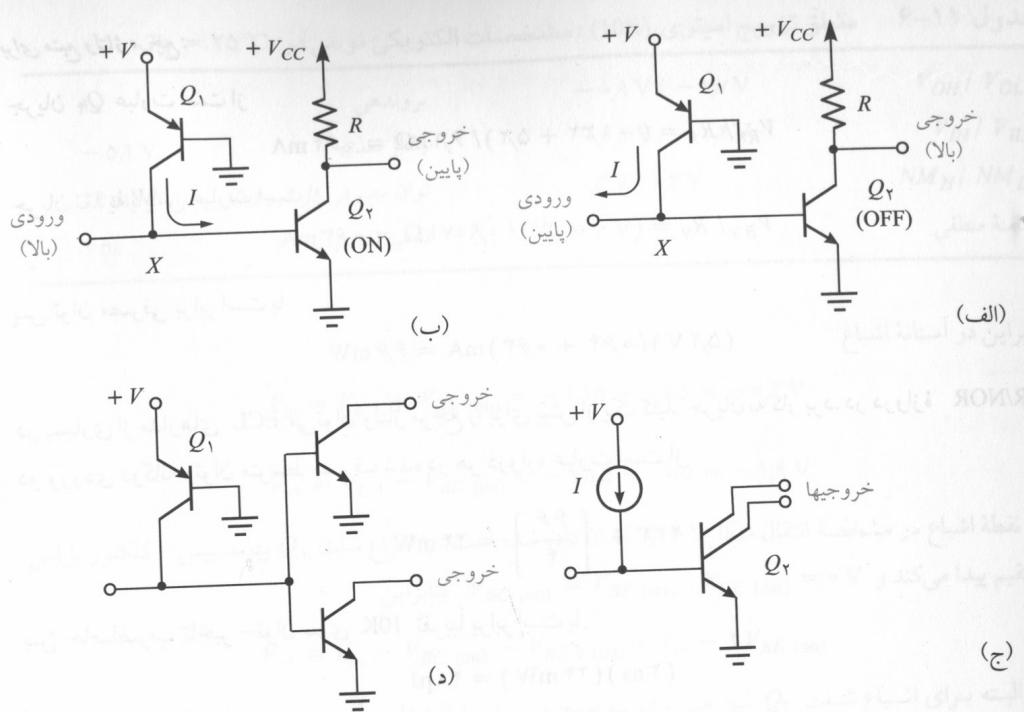


منطق مصنوع تریکی: I²L

منطق های I^2L اسهام رسانده است لیت سطح سه باتری توان معنی بالا و مساحت نسبتاً باری I^2L را به این انتقال می کند که رای ساخت مدارهای مهندسی می باشد I^2L می باشد

منطق I^2L بهتر است تصورهای درستی، ممکن است با مسافت هادر مدارهای دستی I^2L داشته باشد

مسئلهای قابلیت مدار وارو ساز را تبلورهای I^2L رسانید





آساند و ماروسازهای حرجی ماروساز اول

مصحف آستانه ولتاژ :

ولتاژ حرجی پیک لست در حالت بالا برابر است با $V_{OH} = V_{BE(sat)} = 0.8$

ولتاژ حرجی لست در حالت پائی برابر است با $V_{OL} = V_{CE(sat)} = 0.1$

آستانه ایجاد

$V_{IH} = V_{BE(sat)} = 0.7$

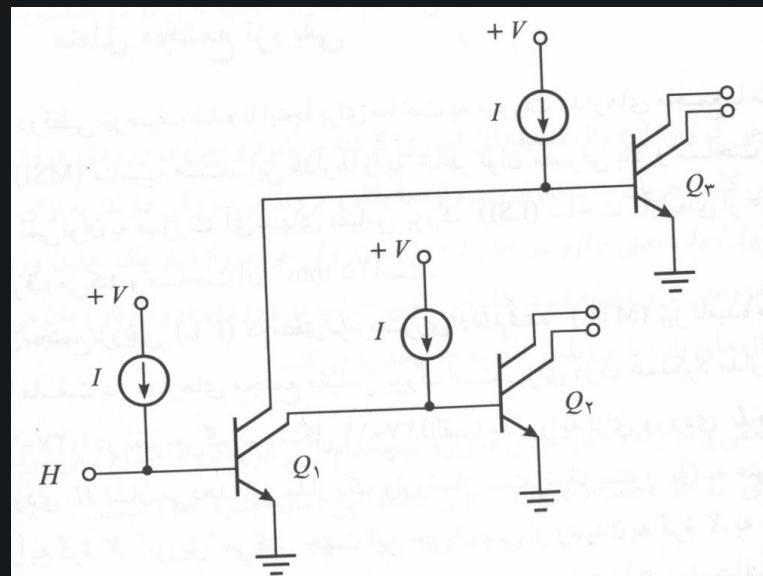
ولتاژ ورودی در حالت بالا

ولتاژ ورودی در حالت پائی

$V_{IL} = V_{BE(sat)} = 0.5$

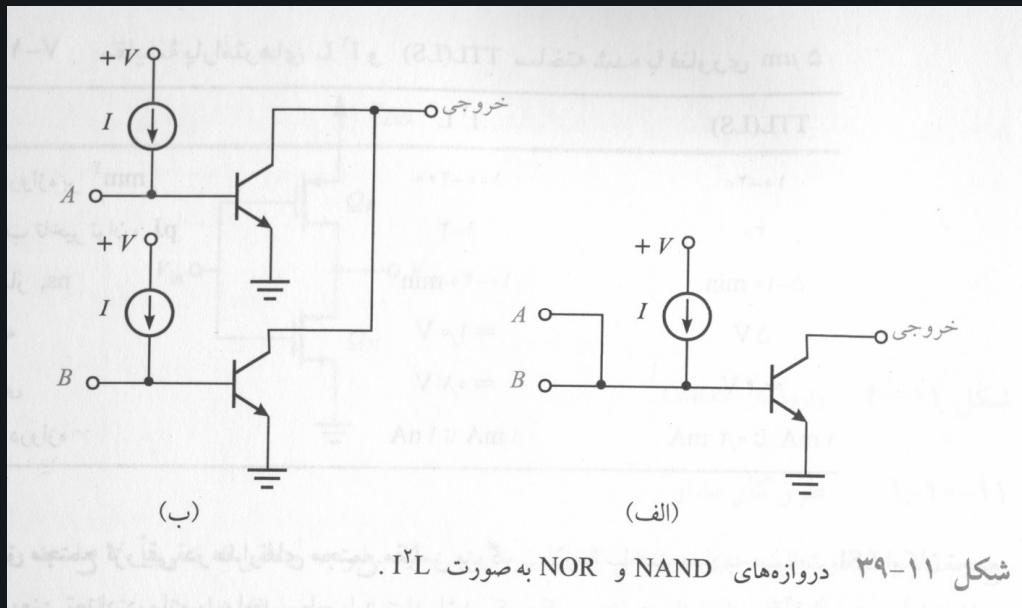
آستانه هرایت

$$NM_H = V_{OH} - V_{IH} = 0.1 \quad NM_L = V_{IL} - V_{OL} = 0.5$$





گیت های $NAND$ و NOR ریزمنولوژی I^2L

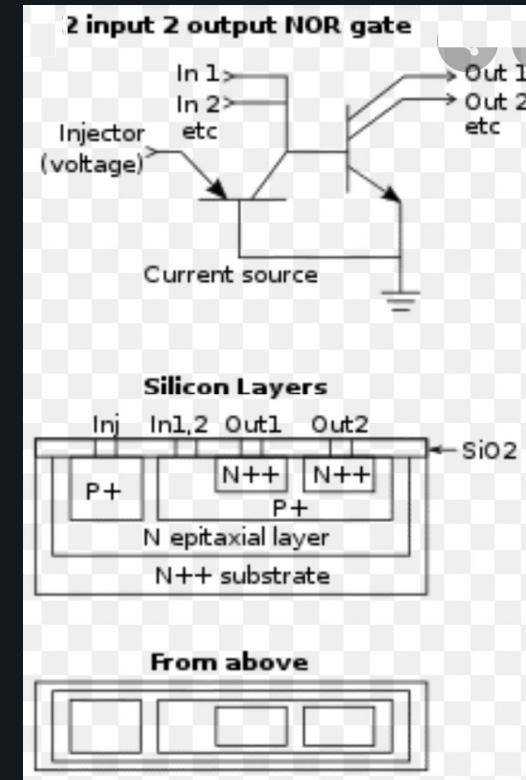


شکل ۱۱-۳۹ دروازه های $NAND$ و NOR به صورت I^2L .



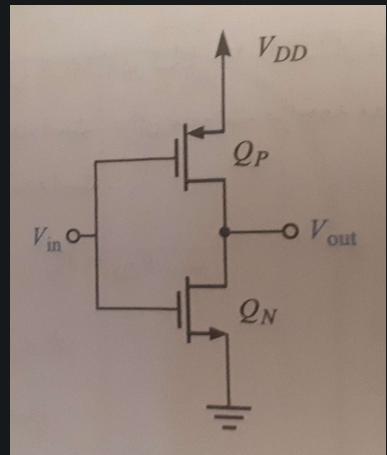
جدول ۷-۱۱ مقایسه پارامترهای TTL(LS) و I ^T L ساخته شده با فناوری ۵ μm	
TTL(LS)	I ^T L
۱۰-۲۰	۱۰۰-۲۰۰
۲۰	۱-۲
۰-۱۰ min	۱۰-۲۰ min
۵V	$\approx 1\mu V$
$\approx 4V$	$\approx 0.7V$
۱mA تا $\frac{1}{2}$ mA	۱mA تا ۱nA

چگالی ، دروازه بر mm²
 حاصل فرب تاخیر توان ، pJ
 تاخیر انتشار ns ,
 ولتاژ تغذیه
 دامنه منطقی
 جریان هر دروازه -





گیت های منطقی به CMOS :



$$V_{out} = V_{DD} \leftarrow V_I = 0 \quad \text{می روشن و } Q_N \text{ خاموس} \rightarrow$$

$$V_{out} = 0 \leftarrow V_L = V_{DD} \quad \text{می خاموسی و } Q_N \text{ سوین} \rightarrow$$

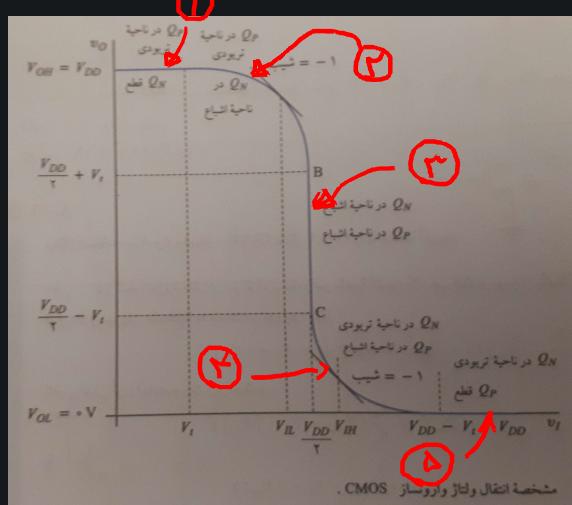
در حالت استاتیکی توان صرفی همراه است

حریانه های با حریجی از طریق Q_P (حریجی منطق بالا) در نظر رخوبی منطق پائین (احتمالی سود)

داردسار CMOS

دیفرینسیال های وارودی و اردوی CMOS :

- (۱) مادرس V_{DD} توان صرفی استاتیکی صفر (۲) مادرس V_{DD} Q_N در حالت وصل موصبی سود ضریبی V_{DD} بلند و حساس است به موزیر کی بلند ΔV_{DD} آر ار تیور می نقص سالاس Q_N نقص پائین سوی را در آن حذفی به باری رله های تراست تغییر داشت (۳) جریان ورودی تغییریابی هم راست لبه اردویی مادرس CMOS بجا ترا افزایی طرفیت مادرس های دیگر و کاهش سرعت کمودی سود



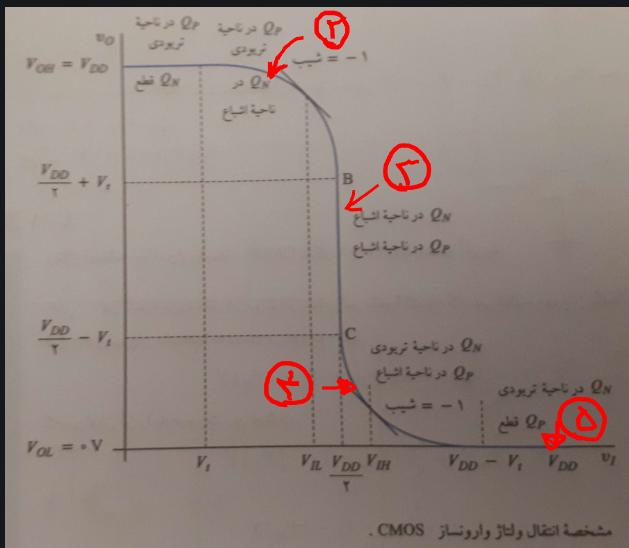
مُعْضَه اتِّصالِه سَوَّا : دارِسَه مَعْوَلَه بِخَوَى طَرَاصِي سَوَّا
 $v_{t_n} = |V_{tp}| = \sqrt{t}$ $k_p = k_n$

چون μ تغییر می‌کند، $k = \frac{1}{2} (\mu n C_{ox}) \left(\frac{W}{L}\right)$ که $k_p = k_n$ است، از 0.5×10^{-3} برای μ در طول سایری L عرض کارستیو Q_p را Q_n که $k_p = k_n$ نردد.

سُحْصَمْ أَهَمَالْ روْرُوبْ بِنْجْ كِنْ تَعْسِمْ مِي سُودْ ① قَدْ مَا جَهْ كَرْبُودْ وَنْ قَعْ ② قَدْ دِرْنَاجْهْ كَرْبُودْ

در راهیه اسباع ۳ می بند هر دور راهیه اسباع ۵ می در راهیه اسباع و نمی در راهیه تربودی ۶ می قطع و نمی در راهیه کرودی

$$V_I \leq V_t \rightarrow Q_N \text{ مفعول} \rightarrow I_P = 2K \left[(V_I - V_{DD} + V_t)(V_o - V_{DD}) - \frac{1}{2}(V_o - V_{DD})^2 \right] \\ V_{SGP} = V_{DD} - V_I \quad a = 2k(V_o - V_{DD}) \left\{ (V_I - V_{DD} + V_t) - \frac{1}{2}(V_o - V_{DD}) \right\} \Rightarrow$$



چون $\frac{V_O}{V_{DD}} = Q_N$ سه قطبی مولتیپلیکری دارای نمی تواند رایج هم ② هر در در حال است رو دقرار ③

$$Q_P \rightarrow I_P = 2K((V_I - V_{DD} + V_t)(V_o - V_{DD}) - \frac{1}{2}(V_o - V_{DD})^2)$$

$$Q_N \rightarrow I_N = K(V_I - V_t)^2 \Rightarrow I_P = I_N$$

جای تعریفی مسدود کردد :

$$\frac{dV_o}{dV_I} = -1$$

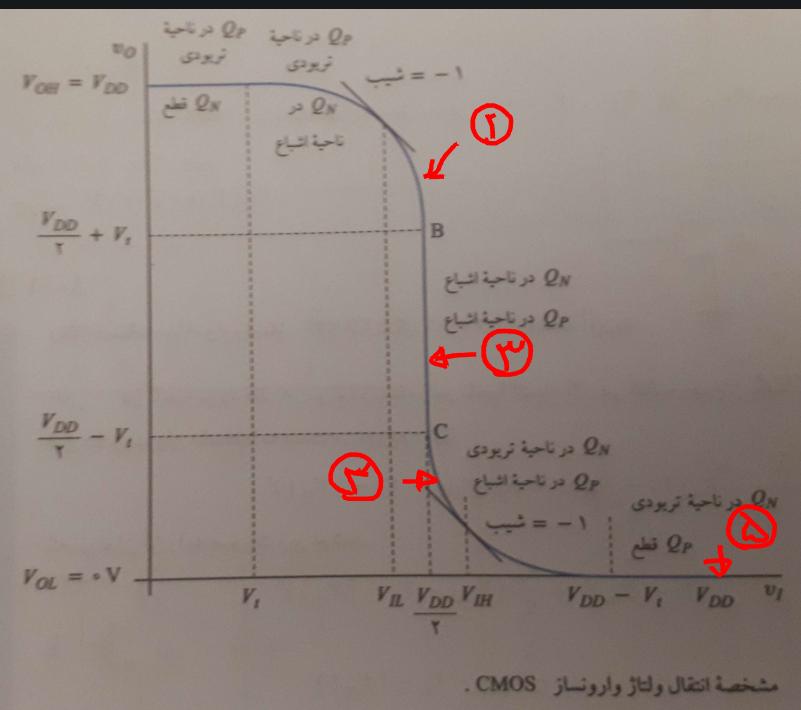
$$\frac{dI_P}{dV_I} = \frac{dI_N}{dV_I} \rightarrow 2K((V_o - V_{DD}) + (V_I - V_{DD} + V_t) \frac{dV_o}{dV_I} - (V_o - V_{DD}) \frac{dV_o}{dV_I})$$

$$= 2K(V_I - V_t)$$

$$V_o - V_{DD} + (V_{I_L} - V_{DD} + V_t)(-1) - (V_o - V_{DD})(-1) = V_{I_L} - V_t \rightarrow V_o = V_{I_L} + \frac{V_{DD}}{2}$$

$$V_{I_H} = \frac{1}{8}(3V_{DD} + 2V_t) \quad b = I_N$$

دانشگاه صنعتی شاهرود



$$V_{GS} < V_t \rightarrow V_I - V_o < V_t$$

$$V_o > \frac{V_{DD}}{2} - V_t$$

مشکله صنعتی شاہرود

۱۵) مسأله ماحیه ۲) در رابطه ترددی و در رابطه اسیاع قرار دارد و V_{IH} حاصل است که سبب مسخمه است.

$$\frac{dV_0}{dV_I} = -1 \quad \text{سبتی آمر.}$$

$$V_{IH} = \frac{1}{\delta} (5V_{DD} - 2V_t)$$

۱۶) مسأله ۳) حدود تراستور در رابطه اسیاع حسنه و

$$k(V_{GSP} - V_{tP})^2 = k(V_{GSN} - V_{tN})^2$$

$$k(V_I - V_{DD} + V_t)^2 = k(V_I - V_t)^2$$

$$V_I - V_{DD} + V_t = -(V_I - V_t)$$

$$2V_I = V_{DD} \rightarrow V_I = \frac{V_{DD}}{2}$$

دقت نماینید رابطه اسیاع $\leftarrow Q_P$

$$\left. \begin{array}{l} V_{GP} > -V_t \\ V_I - V_o > -V_t \end{array} \right\} \rightarrow \frac{V_{DD}}{2} - V_t > -V_t \rightarrow V_o < \frac{V_{DD}}{2} + V_t$$

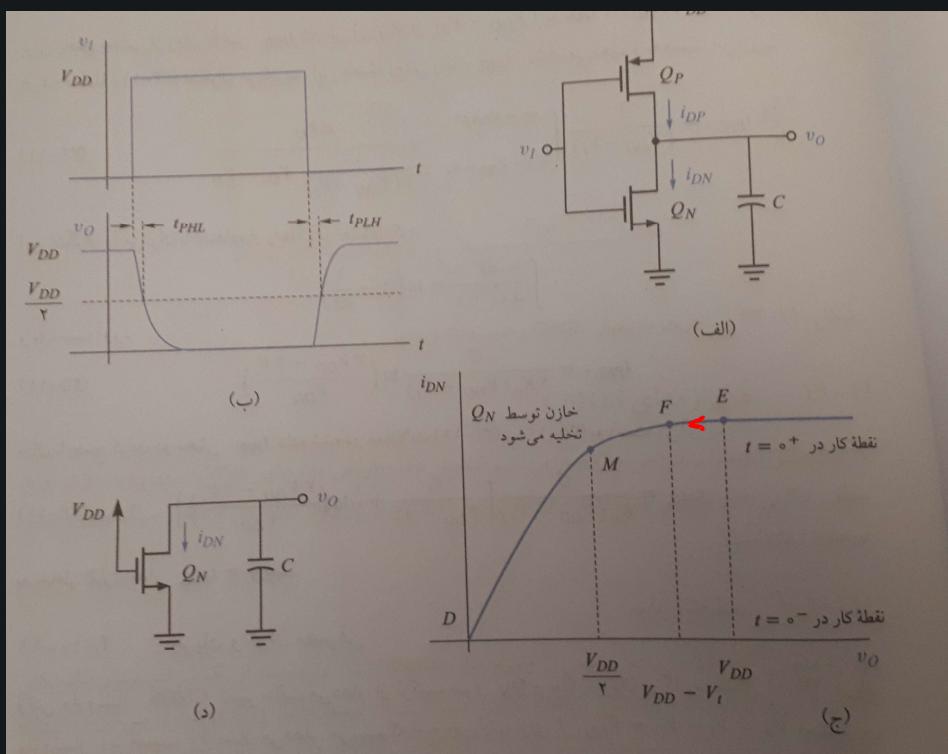


دکتر علیرضا احمدی فرد- دانشکده مهندسی برق- دانشگاه صنعتی شاهرود- موضوع پیاده سازی گیت های منطقی

حاشیه های بالای ریاضی رولوسار : CMOS :

$$N_{M14} - V_{OH} - V_{IH} = V_{DD} - \frac{1}{8}(5V_{DD} - 2V_t) = 1/8(3V_{DD} + 2V_t)$$

$$N_{M1} - V_{IL} - V_{OL} = 1/8(3V_{DD} + 2V_t) - 0 = 1/8(3V_{DD} + 2V_t)$$



دانشگاه صنعتی شاهرود

تحیل دینامیک: خازن خروجی در عمل الف مربوط به خارجی های پارازیتی
مسافت های ارمازهای صفحه بعدی باشد.

هزای پرس و ترازوودی آر و بی V_{DD} را کم :

حاسوسی سود و بار روی خارج از طریق Q_N تخلیه سود

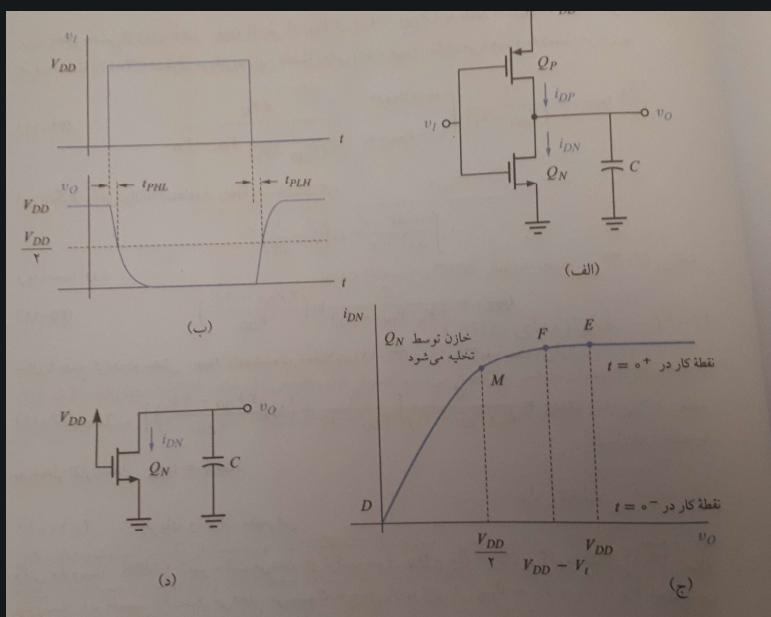
$$\text{در راهی اسبابع} \rightarrow V_C(t^+) = V_{DD} \rightarrow Q_N \quad (\text{نقمه E در عمل ح})$$

درست t_{PHL} در راهی اسبابع باقی نمایه و نقطه کار در Q_N

$$V_C(t_{PHL}) = V_{G_N} - V_t = V_{DD} - V_t$$

$$I_C = C \frac{\Delta V}{\Delta T} = C \frac{V_{DD} - (V_{DD} - V_t)}{t_{PHL}}$$

$$K(V_{DD} - V_t)^2 = C \frac{V_t}{t_{PHL}} \Rightarrow t_{PHL} = C \frac{V_t}{K(V_{DD} - V_t)^2}$$



در عودا رح از نقطه F تا F' حارن C تجیهی سود و دراین سر ایط Q_N در راحم

$$i_C = C \frac{dV_o}{dt} \rightarrow -2k_n((V_{DD} - V_t)V_o - \frac{1}{2}V_o^2) = C \frac{dV_o}{dt}$$

$$\frac{2k_n}{C} dt = \frac{1}{V_{DD} - V_t} \left[\frac{dV_o}{\frac{V_o^2}{2(V_{DD} - V_t)} - V_o} \right]$$

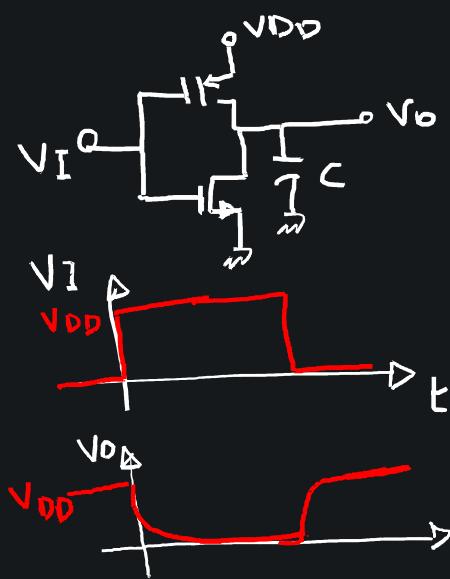
برای محبت آردن مدت زمان لازم برای رسیدن رسانه حریحی به $\frac{V_{DD}}{2}$ باشد از ایطه
بالا تحریل گرفت:

$$\int_{t_{PHL_1}}^{t_{PHL_1} + t_{PHL_2}} \frac{2k_n}{C} dt = \frac{1}{V_{DD} - V_t} \int_{V_{DD}/2}^{V_{DD}} \frac{dV_o}{\frac{V_o^2}{2(V_{DD} - V_t)} - V_o}$$

$$t_{PHL_2} = \frac{C}{2k_n(V_{DD} - V_t)} \ln \left(\frac{3V_{DD} - 4V_t}{V_{DD}} \right) \rightarrow t_{PHL} = t_{PHL_1} + t_{PHL_2}$$

←

دانشگاه صنعتی شاهرود

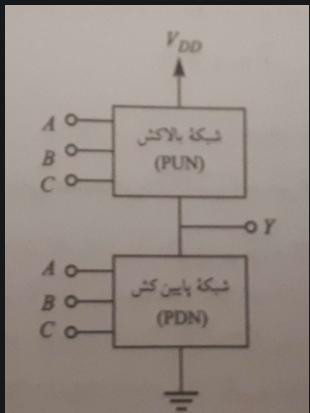


جربیان متوان صفری: در حبچیان حریان استabilی مدار را رسانید C_MOS معراست ولی در مرآبند نه راز Q_1 باشد $V_I = 0$ باشد. علی‌الله خارجی پر رحایی که در روحی آران صفری دستیابی صفری نمایند.

در حالت $t = 0^-$ $V_{O(t)} = V_{DD}$ $\rightarrow \frac{1}{2} C V_{DD}^2$ از روی دخیره شده $V_{O(t)} = V_{DD}$ $\rightarrow V_{O(t)} = V_{DD}$ $\rightarrow V_{O(t)} = V_{DD}$

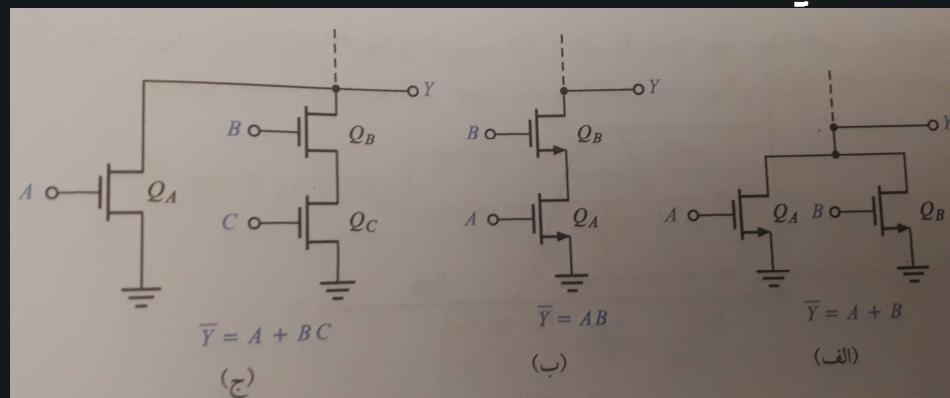
پس از آن $t = 0^+$ $V_I = 0$ خواهد شد و تمام از روی دخیره در خارج رترانسیور Q_1 تلفی شود.

مصدر آردتی V_I تا V_{DD} ای سود مازن از طبق مکانیزم سود از روی V_I تا V_{DD} از معنی برای رسانست با Q_1 Q_2 Q_3 Q_4 Q_5 Q_6 Q_7 Q_8 Q_9 Q_{10} Q_{11} Q_{12} Q_{13} Q_{14} Q_{15} Q_{16} Q_{17} Q_{18} Q_{19} Q_{20} Q_{21} Q_{22} Q_{23} Q_{24} Q_{25} Q_{26} Q_{27} Q_{28} Q_{29} Q_{30} Q_{31} Q_{32} Q_{33} Q_{34} Q_{35} Q_{36} Q_{37} Q_{38} Q_{39} Q_{40} Q_{41} Q_{42} Q_{43} Q_{44} Q_{45} Q_{46} Q_{47} Q_{48} Q_{49} Q_{50} Q_{51} Q_{52} Q_{53} Q_{54} Q_{55} Q_{56} Q_{57} Q_{58} Q_{59} Q_{60} Q_{61} Q_{62} Q_{63} Q_{64} Q_{65} Q_{66} Q_{67} Q_{68} Q_{69} Q_{70} Q_{71} Q_{72} Q_{73} Q_{74} Q_{75} Q_{76} Q_{77} Q_{78} Q_{79} Q_{80} Q_{81} Q_{82} Q_{83} Q_{84} Q_{85} Q_{86} Q_{87} Q_{88} Q_{89} Q_{90} Q_{91} Q_{92} Q_{93} Q_{94} Q_{95} Q_{96} Q_{97} Q_{98} Q_{99} Q_{100} Q_{101} Q_{102} Q_{103} Q_{104} Q_{105} Q_{106} Q_{107} Q_{108} Q_{109} Q_{110} Q_{111} Q_{112} Q_{113} Q_{114} Q_{115} Q_{116} Q_{117} Q_{118} Q_{119} Q_{120} Q_{121} Q_{122} Q_{123} Q_{124} Q_{125} Q_{126} Q_{127} Q_{128} Q_{129} Q_{130} Q_{131} Q_{132} Q_{133} Q_{134} Q_{135} Q_{136} Q_{137} Q_{138} Q_{139} Q_{140} Q_{141} Q_{142} Q_{143} Q_{144} Q_{145} Q_{146} Q_{147} Q_{148} Q_{149} Q_{150} Q_{151} Q_{152} Q_{153} Q_{154} Q_{155} Q_{156} Q_{157} Q_{158} Q_{159} Q_{160} Q_{161} Q_{162} Q_{163} Q_{164} Q_{165} Q_{166} Q_{167} Q_{168} Q_{169} Q_{170} Q_{171} Q_{172} Q_{173} Q_{174} Q_{175} Q_{176} Q_{177} Q_{178} Q_{179} Q_{180} Q_{181} Q_{182} Q_{183} Q_{184} Q_{185} Q_{186} Q_{187} Q_{188} Q_{189} Q_{190} Q_{191} Q_{192} Q_{193} Q_{194} Q_{195} Q_{196} Q_{197} Q_{198} Q_{199} Q_{200} Q_{201} Q_{202} Q_{203} Q_{204} Q_{205} Q_{206} Q_{207} Q_{208} Q_{209} Q_{210} Q_{211} Q_{212} Q_{213} Q_{214} Q_{215} Q_{216} Q_{217} Q_{218} Q_{219} Q_{220} Q_{221} Q_{222} Q_{223} Q_{224} Q_{225} Q_{226} Q_{227} Q_{228} Q_{229} Q_{230} Q_{231} Q_{232} Q_{233} Q_{234} Q_{235} Q_{236} Q_{237} Q_{238} Q_{239} Q_{240} Q_{241} Q_{242} Q_{243} Q_{244} Q_{245} Q_{246} Q_{247} Q_{248} Q_{249} Q_{250} Q_{251} Q_{252} Q_{253} Q_{254} Q_{255} Q_{256} Q_{257} Q_{258} Q_{259} Q_{260} Q_{261} Q_{262} Q_{263} Q_{264} Q_{265} Q_{266} Q_{267} Q_{268} Q_{269} Q_{270} Q_{271} Q_{272} Q_{273} Q_{274} Q_{275} Q_{276} Q_{277} Q_{278} Q_{279} Q_{280} Q_{281} Q_{282} Q_{283} Q_{284} Q_{285} Q_{286} Q_{287} Q_{288} Q_{289} Q_{290} Q_{291} Q_{292} Q_{293} Q_{294} Q_{295} Q_{296} Q_{297} Q_{298} Q_{299} Q_{300} Q_{301} Q_{302} Q_{303} Q_{304} Q_{305} Q_{306} Q_{307} Q_{308} Q_{309} Q_{310} Q_{311} Q_{312} Q_{313} Q_{314} Q_{315} Q_{316} Q_{317} Q_{318} Q_{319} Q_{320} Q_{321} Q_{322} Q_{323} Q_{324} Q_{325} Q_{326} Q_{327} Q_{328} Q_{329} Q_{330} Q_{331} Q_{332} Q_{333} Q_{334} Q_{335} Q_{336} Q_{337} Q_{338} Q_{339} Q_{340} Q_{341} Q_{342} Q_{343} Q_{344} Q_{345} Q_{346} Q_{347} Q_{348} Q_{349} Q_{350} Q_{351} Q_{352} Q_{353} Q_{354} Q_{355} Q_{356} Q_{357} Q_{358} Q_{359} Q_{360} Q_{361} Q_{362} Q_{363} Q_{364} Q_{365} Q_{366} Q_{367} Q_{368} Q_{369} Q_{370} Q_{371} Q_{372} Q_{373} Q_{374} Q_{375} Q_{376} Q_{377} Q_{378} Q_{379} Q_{380} Q_{381} Q_{382} Q_{383} Q_{384} Q_{385} Q_{386} Q_{387} Q_{388} Q_{389} Q_{390} Q_{391} Q_{392} Q_{393} Q_{394} Q_{395} Q_{396} Q_{397} Q_{398} Q_{399} Q_{400} Q_{401} Q_{402} Q_{403} Q_{404} Q_{405} Q_{406} Q_{407} Q_{408} Q_{409} Q_{410} Q_{411} Q_{412} Q_{413} Q_{414} Q_{415} Q_{416} Q_{417} Q_{418} Q_{419} Q_{420} Q_{421} Q_{422} Q_{423} Q_{424} Q_{425} Q_{426} Q_{427} Q_{428} Q_{429} Q_{430} Q_{431} Q_{432} Q_{433} Q_{434} Q_{435} Q_{436} Q_{437} Q_{438} Q_{439} Q_{440} Q_{441} Q_{442} Q_{443} Q_{444} Q_{445} Q_{446} Q_{447} Q_{448} Q_{449} Q_{450} Q_{451} Q_{452} Q_{453} Q_{454} Q_{455} Q_{456} Q_{457} Q_{458} Q_{459} Q_{460} Q_{461} Q_{462} Q_{463} Q_{464} Q_{465} Q_{466} Q_{467} Q_{468} Q_{469} Q_{470} Q_{471} Q_{472} Q_{473} Q_{474} Q_{475} Q_{476} Q_{477} Q_{478} Q_{479} Q_{480} Q_{481} Q_{482} Q_{483} Q_{484} Q_{485} Q_{486} Q_{487} Q_{488} Q_{489} Q_{490} Q_{491} Q_{492} Q_{493} Q_{494} Q_{495} Q_{496} Q_{497} Q_{498} Q_{499} Q_{500} Q_{501} Q_{502} Q_{503} Q_{504} Q_{505} Q_{506} Q_{507} Q_{508} Q_{509} Q_{510} Q_{511} Q_{512} Q_{513} Q_{514} Q_{515} Q_{516} Q_{517} Q_{518} Q_{519} Q_{520} Q_{521} Q_{522} Q_{523} Q_{524} Q_{525} Q_{526} Q_{527} Q_{528} Q_{529} Q_{530} Q_{531} Q_{532} Q_{533} Q_{534} Q_{535} Q_{536} Q_{537} Q_{538} Q_{539} Q_{540} Q_{541} Q_{542} Q_{543} Q_{544} Q_{545} Q_{546} Q_{547} Q_{548} Q_{549} Q_{550} Q_{551} Q_{552} Q_{553} Q_{554} Q_{555} Q_{556} Q_{557} Q_{558} Q_{559} Q_{560} Q_{561} Q_{562} Q_{563} Q_{564} Q_{565} Q_{566} Q_{567} Q_{568} Q_{569} Q_{570} Q_{571} Q_{572} Q_{573} Q_{574} Q_{575} Q_{576} Q_{577} Q_{578} Q_{579} Q_{580} Q_{581} Q_{582} Q_{583} Q_{584} Q_{585} Q_{586} Q_{587} Q_{588} Q_{589} Q_{590} Q_{591} Q_{592} Q_{593} Q_{594} Q_{595} Q_{596} Q_{597} Q_{598} Q_{599} Q_{600} Q_{601} Q_{602} Q_{603} Q_{604} Q_{605} Q_{606} Q_{607} Q_{608} Q_{609} Q_{610} Q_{611} Q_{612} Q_{613} Q_{614} Q_{615} Q_{616} Q_{617} Q_{618} Q_{619} Q_{620} Q_{621} Q_{622} Q_{623} Q_{624} Q_{625} Q_{626} Q_{627} Q_{628} Q_{629} Q_{630} Q_{631} Q_{632} Q_{633} Q_{634} Q_{635} Q_{636} Q_{637} Q_{638} Q_{639} Q_{640} Q_{641} Q_{642} Q_{643} Q_{644} Q_{645} Q_{646} Q_{647} Q_{648} Q_{649} Q_{650} Q_{651} Q_{652} Q_{653} Q_{654} Q_{655} Q_{656} Q_{657} Q_{658} Q_{659} Q_{660} Q_{661} Q_{662} Q_{663} Q_{664} Q_{665} Q_{666} Q_{667} Q_{668} Q_{669} Q_{670} Q_{671} Q_{672} Q_{673} Q_{674} Q_{675} Q_{676} Q_{677} Q_{678} Q_{679} Q_{680} Q_{681} Q_{682} Q_{683} Q_{684} Q_{685} Q_{686} Q_{687} Q_{688} Q_{689} Q_{690} Q_{691} Q_{692} Q_{693} Q_{694} Q_{695} Q_{696} Q_{697} Q_{698} Q_{699} Q_{700} Q_{701} Q_{702} Q_{703} Q_{704} Q_{705} Q_{706} Q_{707} Q_{708} Q_{709} Q_{710} Q_{711} Q_{712} Q_{713} Q_{714} Q_{715} Q_{716} Q_{717} Q_{718} Q_{719} Q_{720} Q_{721} Q_{722} Q_{723} Q_{724} Q_{725} Q_{726} Q_{727} Q_{728} Q_{729} Q_{730} Q_{731} Q_{732} Q_{733} Q_{734} Q_{735} Q_{736} Q_{737} Q_{738} Q_{739} Q_{740} Q_{741} Q_{742} Q_{743} Q_{744} Q_{745} Q_{746} Q_{747} Q_{748} Q_{749} Q_{750} Q_{751} Q_{752} Q_{753} Q_{754} Q_{755} Q_{756} Q_{757} Q_{758} Q_{759} Q_{760} Q_{761} Q_{762} Q_{763} Q_{764} Q_{765} Q_{766} Q_{767} Q_{768} Q_{769} Q_{770} Q_{771} Q_{772} Q_{773} Q_{774} Q_{775} Q_{776} Q_{777} Q_{778} Q_{779} Q_{780} Q_{781} Q_{782} Q_{783} Q_{784} Q_{785} Q_{786} Q_{787} Q_{788} Q_{789} Q_{790} Q_{791} Q_{792} Q_{793} Q_{794} Q_{795} Q_{796} Q_{797} Q_{798} Q_{799} Q_{800} Q_{801} Q_{802} Q_{803} Q_{804} Q_{805} Q_{806} Q_{807} Q_{808} Q_{809} Q_{810} Q_{811} Q_{812} Q_{813} Q_{814} Q_{815} Q_{816} Q_{817} Q_{818} Q_{819} Q_{820} Q_{821} Q_{822} Q_{823} Q_{824} Q_{825} Q_{826} Q_{827} Q_{828} Q_{829} Q_{830} Q_{831} Q_{832} Q_{833} Q_{834} Q_{835} Q_{836} Q_{837} Q_{838} Q_{839} Q_{840} Q_{841} Q_{842} Q_{843} Q_{844} Q_{845} Q_{846} Q_{847} Q_{848} Q_{849} Q_{850} Q_{851} Q_{852} Q_{853} Q_{854} Q_{855} Q_{856} Q_{857} Q_{858} Q_{859} Q_{860} Q_{861} Q_{862} Q_{863} Q_{864} Q_{865} Q_{866} Q_{867} Q_{868} Q_{869} Q_{870} Q_{871} Q_{872} Q_{873} Q_{874} Q_{875} Q_{876} Q_{877} Q_{878} Q_{879} Q_{880} Q_{881} Q_{882} Q_{883} Q_{884} Q_{885} Q_{886} Q_{887} Q_{888} Q_{889} Q_{890} Q_{891} Q_{892} Q_{893} Q_{894} Q_{895} Q_{896} Q_{897} Q_{898} Q_{899} Q_{900} Q_{901} Q_{902} Q_{903} Q_{904} Q_{905} Q_{906} Q_{907} Q_{908} Q_{909} Q_{910} Q_{911} Q_{912} Q_{913} Q_{914} Q_{915} Q_{916} Q_{917} Q_{918} Q_{919} Q_{920} Q_{921} Q_{922} Q_{923} Q_{924} Q_{925} Q_{926} Q_{927} Q_{928} Q_{929} Q_{930} Q_{931} Q_{932} Q_{933} Q_{934} Q_{935} Q_{936} Q_{937} Q_{938} Q_{939} Q_{940} Q_{941} Q_{942} Q_{943} Q_{944} Q_{945} Q_{946} Q_{947} Q_{948} Q_{949} Q_{950} Q_{951} Q_{952} Q_{953} Q_{954} Q_{955} Q_{956} Q_{957} Q_{958} Q_{959} Q_{960} Q_{961} Q_{962} Q_{963} Q_{964} Q_{965} Q_{966} Q_{967} Q_{968} Q_{969} Q_{970} Q_{971} Q_{972} Q_{973} Q_{974} Q_{975} Q_{976} Q_{977} Q_{978} Q_{979} Q_{980} Q_{981}



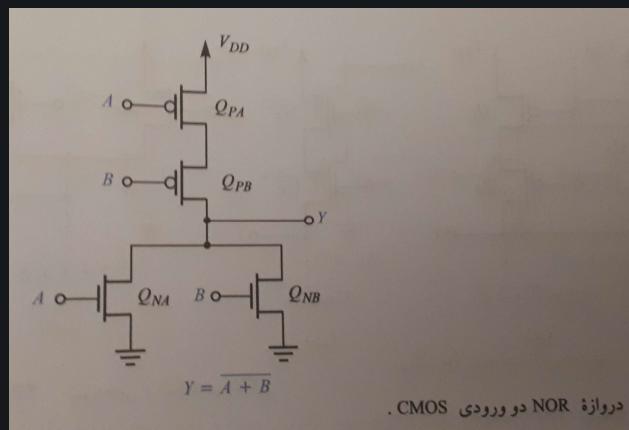
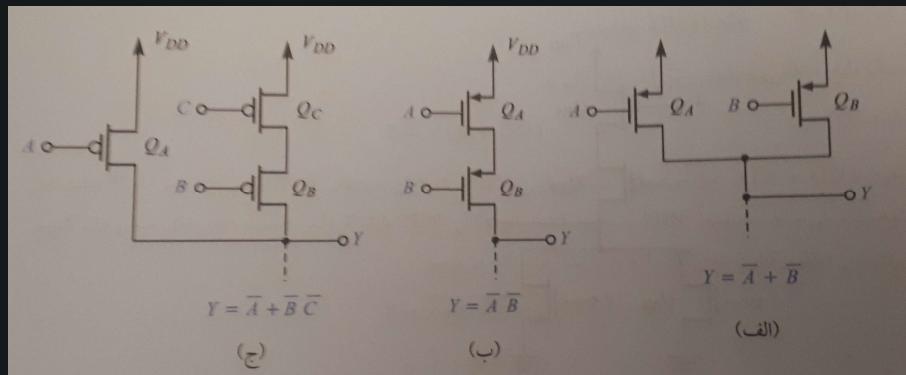
گیت های CMOS: گیت های CMOS از بسته بالائی (PUN) و بسته پائین لس (PDN) تشکیل می کرد. دعوتسله ترسعه سهیت های در مروری (ورودی های سهیت) به صورت مکانیکی سرل می سوزد.

مکانیزم عمومی از شیوه های پائین لس است





مُوَلَّهَايِي اَرْبَيْهَيِي هَايِي بَالَّاَسَى :

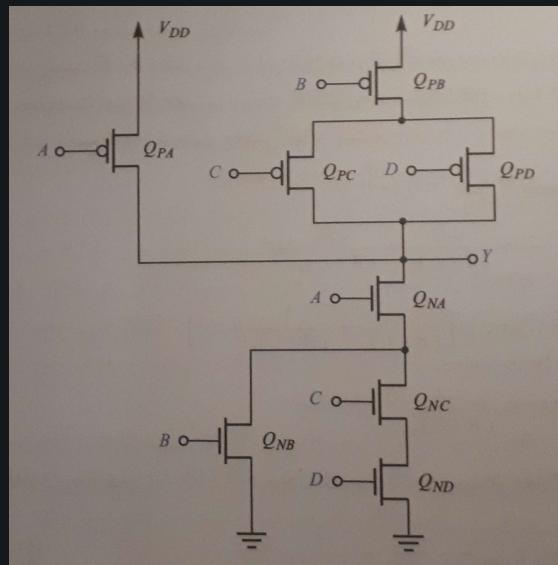


$$\overline{Y} = A + B \rightarrow Y = \overline{\overline{A} + \overline{B}}$$

$$Y = \overline{A} \cdot \overline{B} = \overline{A + B}$$

: NOR یعنی
متنه پایین لئے
شبہ بالائی

یعنی



بکر داره منطقی:

$$\bar{Y} = A \cdot (B + C \cdot D)$$

$$Y = \overline{A \cdot (B + C \cdot D)}$$

نه پائین سی
نه بالا سی

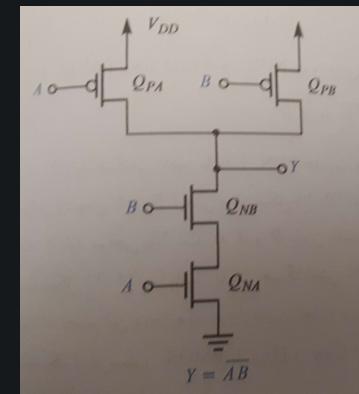
$$Y = \bar{A} + \bar{B} \cdot (\bar{C} + \bar{D})$$

$$= \bar{A} + \bar{B} \cdot \overline{CD}$$

$$= \bar{A} + \overline{\bar{B} + CD}$$

$$Y = \overline{\bar{A} \cdot (\bar{B} + CD)}$$

دانشگاه صنعتی شهرود



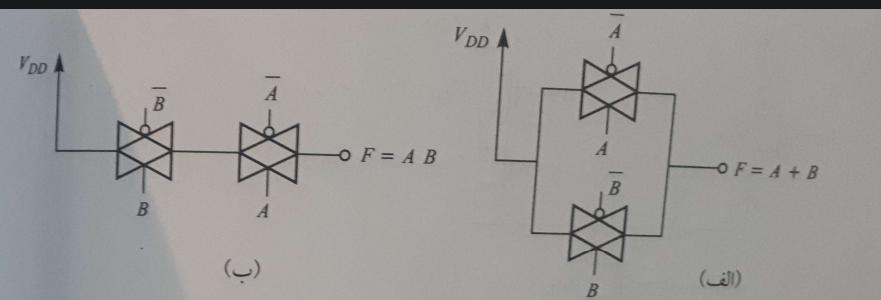
: NAND گست

$$\bar{Y} = A \cdot B \rightarrow Y = \overline{A \cdot B}$$

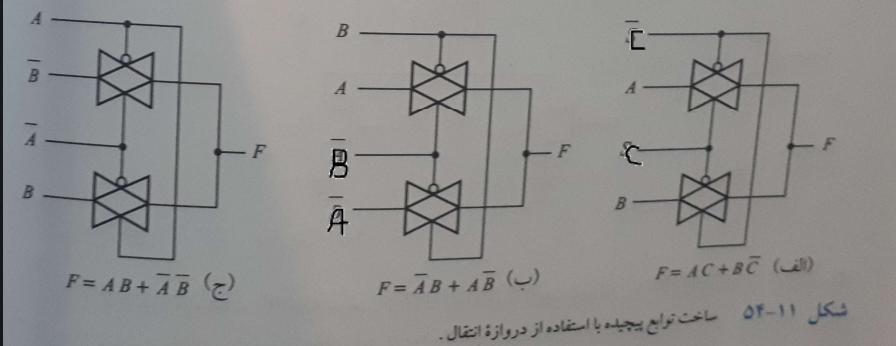
نه پائین سی

$$Y = \bar{A} + \bar{B} = \overline{A \cdot B}$$

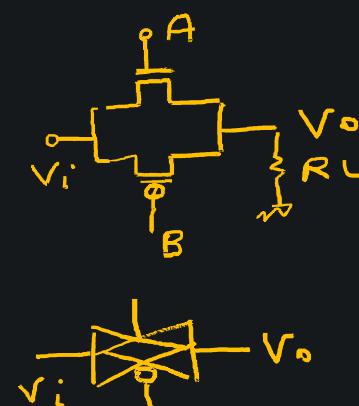
نه بالا سی



شکل ۵۳-۱۱ توابع AND و OR با استفاده از دروازه انتقال.



شکل ۵۴-۱۱ ساخت توابع پیچیده با استفاده از دروازه انتقال.

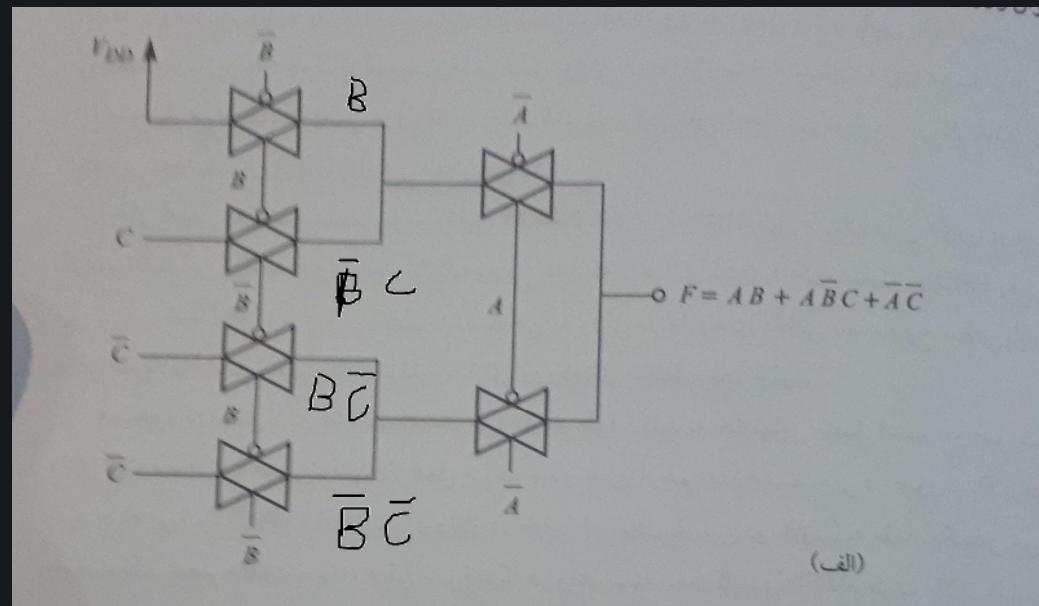


منطقی را درست نمایند (راهنمایی)
 $A = \text{High}$
 $B = \text{Low}$ $\Rightarrow V_o = V_i$
 سوچ آنوار



مکانیکی
پیاده سازی تابع

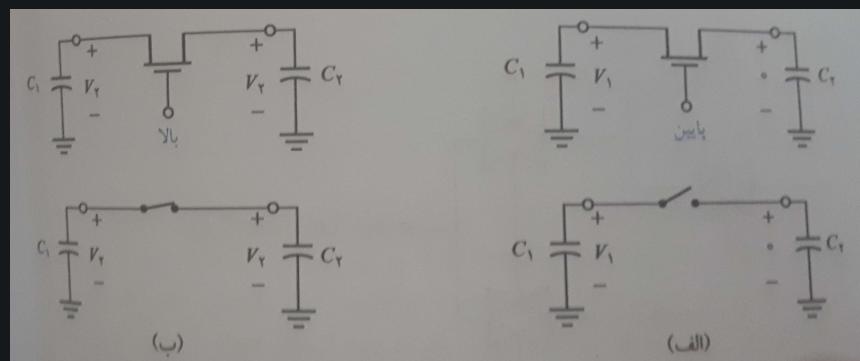
$$F = AB + A\bar{B}C + \bar{A}\bar{C}$$



(الف)

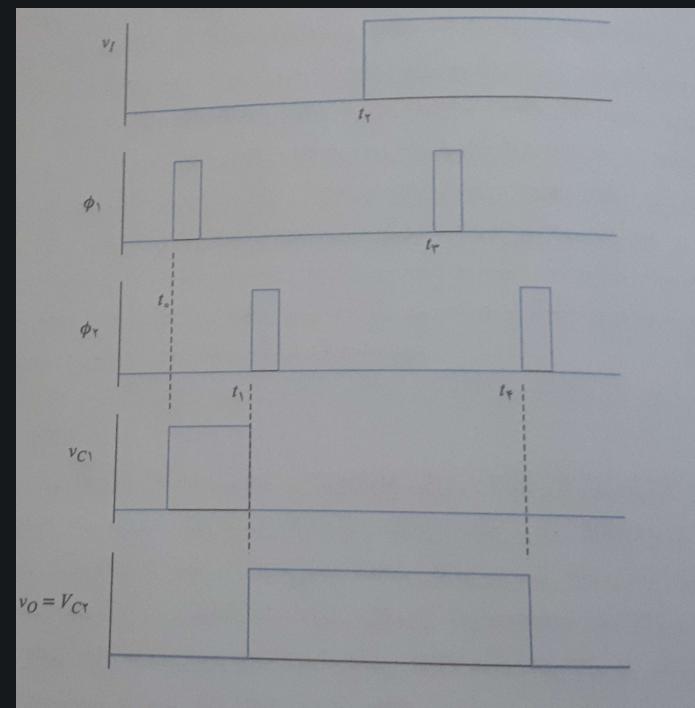
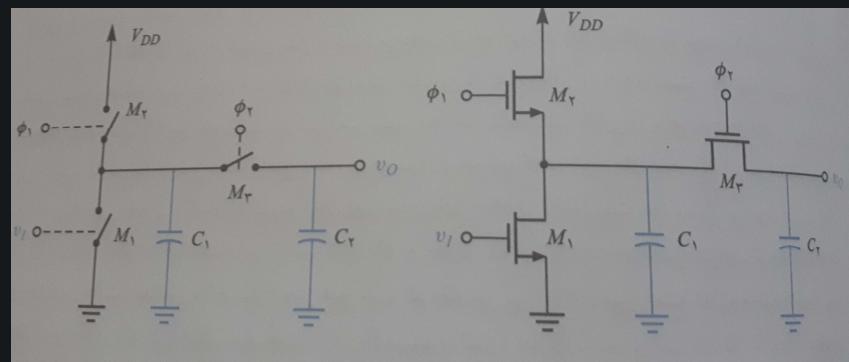


منطق پویا : استفاده از تکنولوژی NMOS و وصل کردن
گیت به ترتیب در زمینهای مسحون تجربه کاچش ترانزistorی





پیاده سازی وارومند با
منطق پویا:

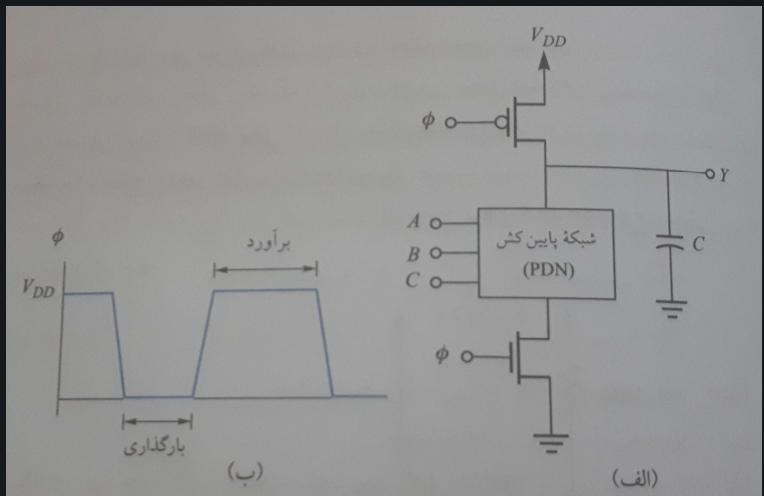




منطق دو مینو: فرخ دَبَرِی از منطق پُریا است، فقط یک پالس سامنَت تَعَارِیخ زارَد.

از گیت های PMOS و NMOS استحارة می شود.

نحوی مدار پایه کمینه PDN از تراستور های NMOS استحارة می کند.





دکتر علیرضا احمدی فرد- دانشکده مهندسی برق- دانشگاه صنعتی شهرود- موضوع پیاده سازی گیت های منطقی



دکتر علیرضا احمدی فرد- دانشکده مهندسی برق- دانشگاه صنعتی شهرود- موضوع پیاده سازی گیت های منطقی