



یا لطیف

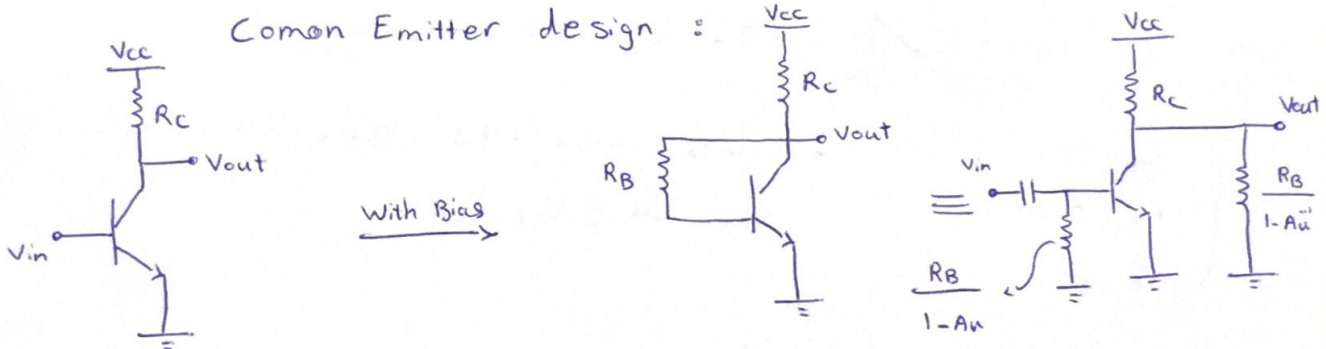
رضا ادینه پور

۹۸۱۴۳۰۳

امتحان پایانه ترم اول

# 3

Comon Emitter design :



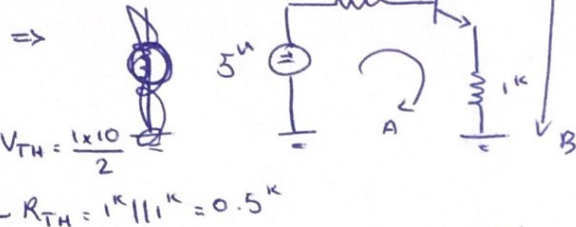
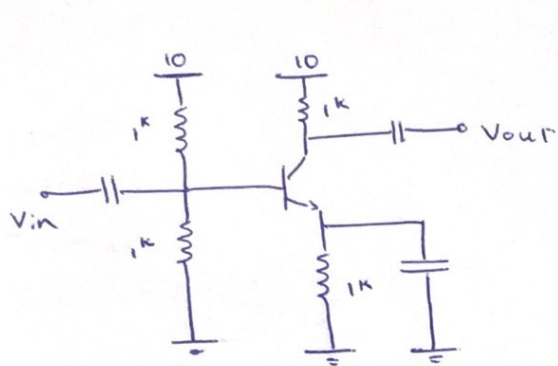
مزیت ها نسبت  
به ساختار بیایس  
۴ مقاومتی

- ۱) به دلیل وجود یک گانه لند نسبت به ساختار بیایس ۴ مقاومتی ما به اصرار یک ولتاژ تقویدیه ثابت توان معرفی کمتر دارد
- ۲) ساختار خود بیایس همواره در ناحیه فعال تر دارد و از این بابت ندرانی بین این دو ترانزیستور در ناحیه اشباع برود وجود ندارد

مقایسه CE همراه با  
بیایس ۴ مقاومتی و ولت  
بیایس

C.E	$A_u$	$R_{in}$	$R_{out}$
self. B	$-g_m(R_c    r_o    \frac{R_B}{1-A_u})$	$\frac{R_B}{1-A_u}    r_{\pi}$	$R_c    \frac{R_B}{1-A_u}    r_o$
4 Resistor. B	$-g_m(R_c    r_o)$	$R_{B1}    R_{B2}    r_{\pi}$	$R_c    r_o$

طبق جدول بالا در ساختار خود بیایس، بجز  $(A_u)$  نسبت به ساختار بیایس ۴ مقاومتی کاهش پیدا می کند، مقاومت ورودی ساختار خود بیایس در برقت تأثیر مقاومت هر بیس در ساختار ۴ مقاومتی نسبت و این یک مزیت است زیرا که مقاومت هر  $R_{B1}$  و  $R_{B2}$  در ساختار ۴ مقاومتی زیاد مقاومت ورودی را کاهش می دهند، مقاومت خروجی هم در ساختار خود بیایس نسبت به بیایس ۴ مقاومتی کاهش یافته است



KVL in A:  $-5 + 0.5k \times \frac{I_C}{100} + 0.7 + 1k \times I_C = 0 \Rightarrow I_C = 4.3mA$

$$\Rightarrow \begin{cases} g_m = 172 \\ r_\pi = 0.6k \\ r_o = \infty \end{cases}$$

KVL in B:  $-10 + 1k \times 4.3mA + V_{CE} + 1k \times 4.3 = 0$

$V_{CE} = 1.4 > V_{CE, sat}$

$A_v = -172 (1k) = -172 \frac{V}{V}$

$R_{in} = 1k \parallel 1k \parallel 0.6k = 0.25k = 250\Omega$

$R_{out} = R_C = 1k$