

**سوال اول گروه سوم**

- ۱- پاسخها كاملا واضح و خوانا باشند.
- ۲- در طول مدت آزمون هیچ پیام یا فایلی در گروه ارسال نشود.
- ۳- آزمون متن باز است.
- ۴- كدها كامل و همراه با توضیحات باشند.
- ۵- هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل كنید. لذا در طول آزمون سوال نفرمایید.
- ۶- **تا قبل از اتمام مهلت آزمون** تمام عكسها از پاسخنامه خود را باید (فقط به خصوصی بنده) ارسال کرده باشید؛ حالا تمام عكسها را داخل یک فایل pdf قرار داده و آن را به خصوصی بنده ارسال كنید. این فایل pdf اشكالی ندارد كه بعد از اتمام مهلت آزمون ارسال شود اما در اولین فرصت ممكن ارسال شود.
- ۷- **پاسخهای مشابه مشمول كسر یا حذف نمره می شوند.**

۱- یک كد VHDL برای توصیف مداری بنویسید كه یک عملوند  $N$ -بیتی DATA و یک عملوند تکبیتی PAR را دریافت کرده و یک خروجی  $N+1$  بیتی تولید كند؛  $N$  بیت كم ارزش این خروجی، همان عملوند ورودی و بیت پر ارزش آن نیز بیت توازن متناظر با این عملوند ورودی باشد (بیت پر ارزش همان بیت منتهی الیه سمت چپ است). اگر PAR مقدار صفر داشته باشد از توازن زوج و اگر مقدار ۱ داشته باشد، از توازن فرد استفاده شود. در كد خود از تابع و در بخش موجودیت (Entity) استفاده كنید. كد شما باید قابلیت عام (GENERIC) داشته باشد (یعنی برای هر طول دلخواه از ورودی كار كند). تمام ورودی‌ها باید از نوع std\_logic یا std\_logic\_vector باشند. در تابع خود چك كنید كه عملوند PAR مقدار مُجاز به خود گرفته باشد.