دانشگاه صنعتی شاهرود دانشکده برق

آزمون مجازی درس «اصول طراحی سیستمهای FPGA/ASIC» _ دی ۱۳۹۹

سوال اول گروه اول

- ۱_پاسخها کاملا واضح و خوانا باشند.
- ۲ ـ در طول مدت آزمون هیچ پیام یا فایلی در گروه ارسال نشود.
 - ٣_ آزمون متن باز است.
 - ۴_ كدها كامل و همراه با توضيحات باشند.
- ۵_ هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل کنید. لذا در طول آزمون سوال نفرمایید.
- على از اتمام مهلت آزمون تمام عكسها از پاسخنامه خود را بايد (فقط به خصوصي بنده) ارسال كرده باشيد؛
 حالا تمام عكسها را داخل يك فايل pdf قرار داده و آن را به خصوصي بنده ارسال كنيد. اين فايل pdf اشكالي ندارد
 كه بعد از اتمام مهلت آزمون ارسال شود اما در اولين فرصت ممكن ارسال شود.
 - ۷_ پاسخهای مشابه مشمول کسر یا حذف نمره می شوند.

۱_ یک کد VHDL بنویسید که یک عملوند N_بیتی DATA و یک عملوند دوبیتی VHDL و یک عملوند تک بیتی DIR دریافت کرده و مطابق با جدول زیر عملیات شیفت را روی عملوند DATA انجام دهد. در کد خود از تابع و بسته استفاده کنید. کد شما باید قابلیت عام (GENERIC) داشته باشد (یعنی برای هر طول دلخواه از ورودی کار کند). تمام ورودی ها باید از نوع std_logic یا std_logic باشند. در تابع خود چک کنید که عملوند SHIFT مقدار مُجازی به خود گرفته باشد.

عملوند SHIFT	عملوند DIR	نوع شيفت
00	0	شیفت منطقی به چپ
00	1	شیفت منطقی به راست
01	0	شیفت حسابی به چپ
01	1	شیفت حسابی به راست
10	0	شیفت چرخشی به چپ
10	1	شیفت چرخشی به راست
ساير مقادير غيرمجاز هستند	هر مقداری	پیام مناسب نمایش داده شود