

# دانشگاه صنعتی شاهرود

## دانشکده مهندسی برق

آزمون مجازی- درون ترمی «طراحی سیستم‌های دیجیتال (ASIC, FPGA)» آذر ۱۴۰۰

### گروه اول

- ۱- مدت آزمون ۱۱۰ دقیقه است.
- ۲- توضیحات برنامه خود را فراموش نکنید.
- ۳- برای مدار خود نمودار جعبه سیاه رسم کنید.
- ۴- هرگاه از مدل FSM استفاده می‌کنید حتما دیاگرام حالت آن را نیز ترسیم کنید.
- ۵- پاسخها کاملا واضح و خوانا باشند.
- ۶- آزمون متن باز است.
- ۷- هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل کنید. **لذا در طول آزمون سوال نفرمایید.**
- ۸- **تا قبل از اتمام مهلت آزمون** تمام عکسها از پاسخنامه خود را باید (فقط به خصوصی بنده) ارسال کرده باشید؛ حالا تمام عکسها را داخل یک فایل pdf قرار داده و آن را به خصوصی بنده ارسال کنید. این فایل pdf اشکالی ندارد که بعد از اتمام مهلت آزمون ارسال شود اما در اولین فرصت ممکن ارسال شود.
- ۹- می‌توانید تنها فایل pdf را ارسال کنید اما باید حتما قبل از اتمام مهلت آزمون باشد.
- ۱۰- کیفیت فایل pdf حتما باید مناسب و جهت متن آن از بالا به پایین باشد تا بررسی آن راحت باشد.
- ۱۱- **پاسخهای مشابه مشمول کسر یا حذف نمره می‌شوند.**

- ۱- الف) یک DFF را به کمک یک PROM پیاده‌سازی کنید.  
ب) برای پیاده‌سازی کاربردهای زیر شما CPLD را مناسبتر میدانید یا FPGA را؟ چرا؟  
- درایو (یا راه اندازی) یک مبدل آنالوگ به دیجیتال (ADC)  
- پیاده‌سازی پروتکل انتقال سریال داده I<sup>2</sup>C
- ۲- تابع زیر را به بهترین شکل ممکن، روی یک PLA پیاده‌سازی کنید (نحوه‌ی پیاده‌سازی را مشخص و با جزئیات توضیح دهید).

$$F(A, B, C, D) = \sum (0, 2, 5, 7, 8, 10, 13, 15)$$

- ۳- در یک مدار، یک ورودی N-بیتی X داریم که بیت‌های آن به صورت سری (با شروع از بیت کم‌ارزش و با هر لبه‌ی پایین‌رونده‌ی کلاک، یک بیت) وارد مدار می‌شود. کار این مدار شمارش تعداد صفرهای متوالی (یعنی تنها آن صفرهایی که از سمت بیت کم‌ارزش بلافاصله پشت سر آمده‌اند تا این که به اولین ۱ برسیم) موجود در این ورودی و نمایش تعداد آنها در پورت خروجی Y به گونه‌ای است که یک سون سگمنت (7-Segment) متصل به این پورت قادر به نمایش این تعداد باشد. این مدار یک خروجی تک بیتی F هم دارد که هر زمان کار شمارش صفرها به اتمام رسید، مقدار ۱ و در بقیه‌ی مواقع مقدار صفر به خود می‌گیرد. با ورود تمام N بیت، مجدداً فرض می‌شود مقدار N-بیتی جدیدی به صورت سری وارد مدار شده و همین کارها تکرار می‌شود. کد VHDL این مدار را به کمک مدل FSM و در حالت N=8 بنویسید. پورت خروجی Y همیشه شامل مقدار معتبری است؛ بنابراین تنها زمانی که کار شمارش به پایان رسیده مقدار آن تغییر می‌کند.