

سوال اول گروه دوم

- ۱- پاسخها كاملا واضح و خوانا باشند.
- ۲- در طول مدت آزمون هیچ پیام یا فایلی در گروه ارسال نشود.
- ۳- آزمون متن باز است.
- ۴- كدها كامل و همراه با توضیحات باشند.
- ۵- هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل كنید. لذا در طول آزمون سوال نفرمایید.
- ۶- **تا قبل از اتمام مهلت آزمون** تمام عكسها از پاسخنامه خود را باید (فقط به خصوصی بنده) ارسال کرده باشید؛ حالا تمام عكسها را داخل یک فایل pdf قرار داده و آن را به خصوصی بنده ارسال كنید. این فایل pdf اشكالی ندارد كه بعد از اتمام مهلت آزمون ارسال شود اما در اولین فرصت ممكن ارسال شود.
- ۷- **پاسخهای مشابه مشمول كسر یا حذف نمره می شوند.**

۱- یک كد VHDL مربوط به توصیف مداری را بنویسید كه یک ورودی ۶ بیتی BIN و دو خروجی چهاربیتی BCD1 (رقم دهدهی كم ارزش) و BCD2 (رقم دهدهی پر ارزش) داشته و مدار ارقام دهدهی مربوط به عدد باینری ورودی را در پورتهای خروجی نمایش دهد. برای مثال اگر ورودی به صورت 100101 (معادل با عدد ۳۵ دهدهی و شامل ارقام دهدهی ۳ و ۵) باشد، باید كد 0101 (معادل با رقم كم ارزش ۵ دهدهی) در پورت BCD1 و كد 0011 (معادل با رقم پر ارزش ۳ دهدهی) در پورت BCD2 تولید شود. كار خود را به كمك مفهوم روال و در بخش معماری انجام دهید. تمام ورودی‌ها باید از نوع std_logic_vector یا std_logic باشند. در داخل روال چك كنید كه تمام بیت‌های عملوند ورودی مقدار مجاز ۰ یا ۱ به خود گرفته باشند.