

دانشگاه صنعتی شاهرود دانشکده مهندسی برق

عنوان:

ساعت ديجيتال

اعضای گروه رضا آدینه پور – ۹۸۱۴۳۰۳ علی رضا قربانی – ۹۸۲۳۲۶۳

استاد مربوطه جناب آقای دکتر رضا خرقانیان

آزمایشگاه FPGA

۱. با استفاده از کد VHDL یک ساعت دیجیتال را پیاده سازی کنید.

در ابتدا، تابعی برای تبدیل کد BCD به 7Seg نوشته ایم. تابع به این دلیل نوشته شده است که در قسمتهای مختلف برنامه به صورت تکراری یک کار را انجام ندیم.

در ادامه یک Process برای تولید کلاک 100KHz نوشته ایم. و در Process دوم کلاک 100Khz تولید شده را به 100Khz تولید شده را به TSeg می دهیم و ساعت شروع به شمارش می کنیم و با استفاده از تکنیک Multiplexing کلاک تولید شده را به 7Seg می دهیم و ساعت شروع به شمارش می کند.

• كد نوشته شده بهصورت زير است:

Listing 1: Sourse code

```
library IEEE;
  use IEEE.STD_LOGIC_1164.ALL;
  use IEEE.STD_LOGIC_ARITH.ALL;
  use IEEE.STD_LOGIC_UNSIGNED.ALL;
  entity main is
      port( clk : in std_logic;
             y : out std_logic_vector(7 downto 0);
             sel_0 : out std_logic;
             sel_1 : out std_logic );
10
  end main;
  architecture Behavioral of main is
      signal div_clk: std_logic := '0';
      signal counter : std_logic_vector(3 downto 0):= "0000";
      signal counter_1 : std_logic_vector(3 downto 0):= "0000";
16
      signal counter_2 : std_logic_vector(3 downto 0):= "0000";
      signal counter_3 : std_logic_vector(3 downto 0):= "0000";
18
      signal temp_sel : std_logic := '0';
19
      function bcd_to_7seg (x : in std_logic_vector (3 downto 0))
           return std_logic_vector is
      variable y : std_logic_vector(7 downto 0);
      begin
           case(x) is
               when "0000" =>
26
                   y := "111111100";
               when "0001" =>
                   y := "01100000";
29
               when "0010" =>
30
                   y := "11011010";
               when "0011" =>
32
                   y := "11110010";
               when "0100" =>
34
                   y := "01100110";
35
               when "0101" =>
                   y := "10110110";
37
```

آزمایشگاه FPGA

```
when "0110" =>
38
                     y := "10111110";
39
                when "0111" =>
40
                     y := "11100000";
41
                when "1000" =>
                     y := "111111110";
                when "1001" =>
                     y := "11100110";
45
                when others => null;
46
            end case;
47
       return y;
48
   end bcd_to_7seg;
49
50
51
  begin
       process(clk)
       variable i : integer range 0 to 1000 := 0;
       variable c : integer range 0 to 3 := 0;
       begin
            --temp_sel := not temp_sel;
56
            if(clk'event and clk = '1') then
57
                i := i + 1;
                if i < 500 then
59
                     div_clk <= '0';
60
                elsif i > 500 then
61
                     div_clk <= '1';
62
                end if;
            end if;
64
            if(clk'event and clk = '1') then
66
                c := c + 1;
67
                if c = 1 then
68
                     temp_sel <= '0';</pre>
69
                elsif c = 3 then
                     temp_sel <= '1';</pre>
                end if;
            end if;
74
       end process;
75
       process(div_clk)
76
       begin
            if(div_clk'event and div_clk = '1') then
78
                counter <= counter + 1;</pre>
            end if;
80
            if(counter = "1010") then
81
                counter <= "0000";
                counter_1 <= counter_1 + 1;</pre>
83
            end if;
84
            if(counter_1 = "1010") then
85
                counter_1 <= "0000";
86
                counter_2 <= counter_2 + 1;</pre>
87
```

آزمایشگاه FPGA

```
end if;
88
             if(counter_2 = "1010") then
89
                 counter_2 <= "0000";
90
             end if;
91
        end process;
92
93
        process(temp_sel)
94
        begin
95
             if temp_sel = '0' then
96
                 sel_0 <= '1';
97
                 sel_1 <= '0';
98
                 y <= bcd_to_7seg(counter);</pre>
99
             elsif temp_sel = '1' then
100
                 sel_0 <= '0';
101
                 sel_1 <= '1';
102
                 y <= bcd_to_7seg(counter_1);</pre>
            end if;
        end process;
   end Behavioral;
106
```

خروجیهای برنامه به صورت زیر است:



شكل ١: خروجي برنامه



شكل ٢: خروجي برنامه