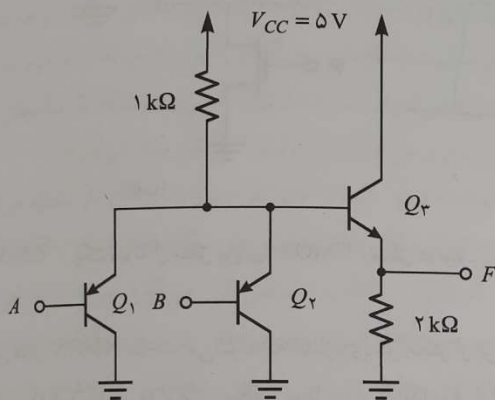


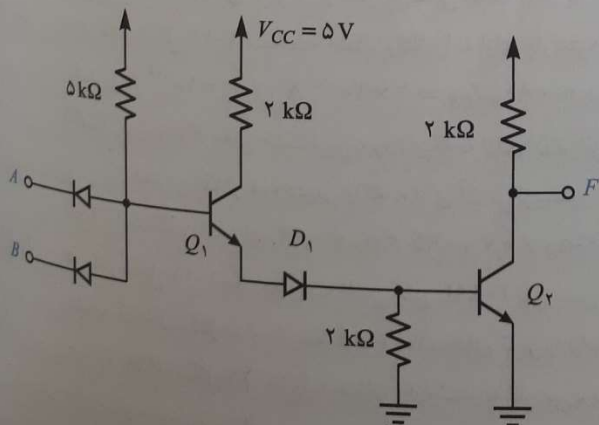
- (الف)  $0.824 V$ ، در صورتی که دو ورودی را به هم متصل کنیم  
 (ب)  $1.05 V$ ، در صورتی که یک ورودی را به زمین متصل کنیم. فرض کنید که  $\beta = 20$ .  
 ۸-۱۱ توان مصرفی دروازه NOR شکل ۱۱-۱۰ را هنگام صفر بودن هر دو ورودی، یک بودن هر دو ورودی، و یک بودن یک ورودی و صفر بودن دیگری حساب کنید.  
 ۹-۱۱ مدار شکل م ۹-۱۱ چه نوع دروازه‌ای است؟  $\beta$  را ۱۰۰ فرض کنید و سطوح منطقی ۰ و  $5 V$  را در ورودی به کار ببرید.



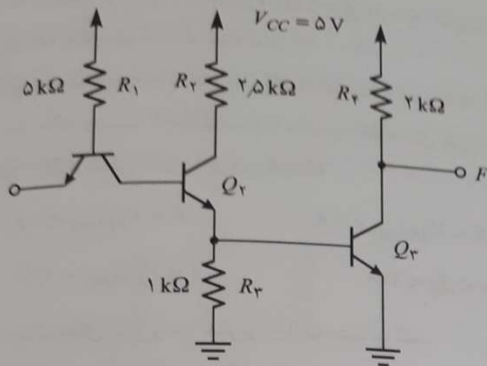
شکل م ۹-۱۱ مسئله ۹-۱۱ را ببینید.

- ۱۰-۱۱ خروجی‌های دو دروازه NOR ساخته شده به صورت RTL را به هم متصل کرده‌ایم. در این خروجی مشترک چه تابعی از ورودیها ایجاد می‌شود؟  
 ۱۱-۱۱ بروندهی دروازه DTL در کدام حالت خروجی محدودتر است؟  
 ۱۲-۱۱ یک دروازه RTL کم توان، مشابه مدار شکل ۱۱-۱۰ ولی با  $R_B = 1.5 k\Omega$  و  $R_C = 3.6 k\Omega$  در نظر بگیرید.

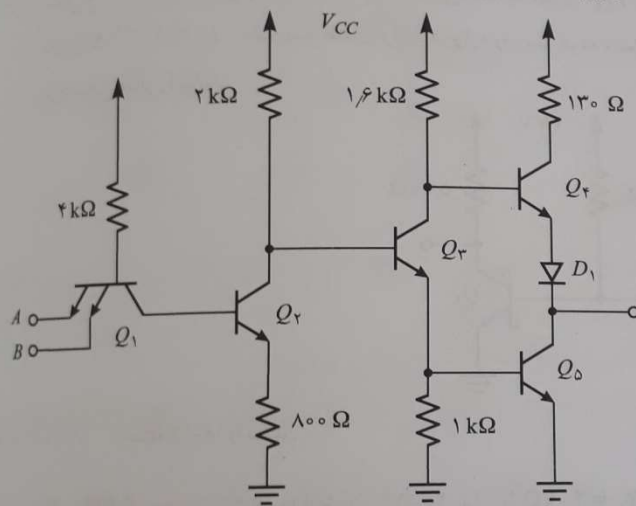
- (الف) حاشیه‌های نویز  $NM_L$  و  $NM_H$  را به ازای بروندهی ۵ حساب کنید.  
 (ب) بروندهی  $N$  را به ازای  $NM_H = NM_L$  بیابید.  
 ۱۳-۱۱ بروندهی دروازه DTL شکل م ۱۳-۱۱ را تعیین کنید. برای تمام ترانزیستورها  $\beta = 50$ .



شکل م ۱۳-۱۱ مسئله ۱۳-۱۱ را ببینید.



شکل م ۲۱-۱۱ مسئله ۲۱-۱۱ را ببینید.



شکل م ۲۳-۱۱ مسئله ۲۳-۱۱ را ببینید.

۲۳-۱۱. شکل م ۲۳-۱۱ یک دروازه AND را نشان می دهد. جریان منبع تغذیه را هنگام بالا بودن خروجی و پایین بودن خروجی بیابید. داریم  $\beta_F = 50$  و  $\beta_R = 0.2$ . وضعیت تمام ترانزیستورها را در دو حالت تعیین کنید.

۲۴-۱۱. برای دروازه 54S/74S شکل ۲۷-۱۱

(الف) بروندهی را بیابید.

(ب) توان مصرفی متوسط را حساب کنید.

۲۵-۱۱. شکل م ۲۵-۱۱ یک مدار وارون ساز TTL را نشان می دهد. با استفاده از پارامترهای ترانزیستور بیان شده

در متن درس، ولی با  $\beta_F = 20$  و  $\beta_R = 0.2$ .

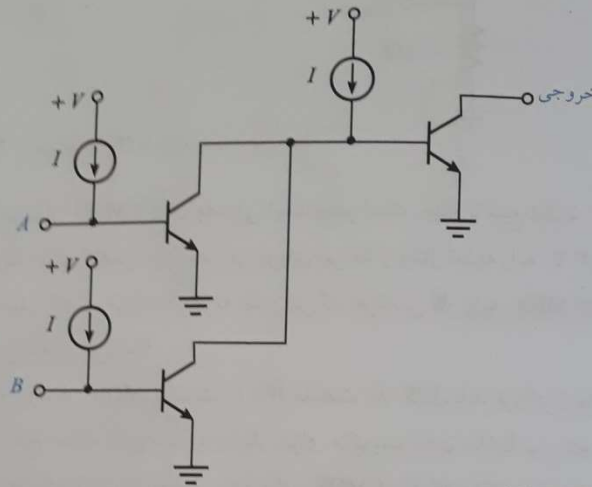
(الف) مشخصه انتقال ولتاژ را رسم کرده، تمام نقاط شکست را مشخص کنید.

(ب) حاشیه های نویز را به ازای  $NM_H = NM_L$  بیابید.

(الف) با فرض این که تنها یک کلکتور ( $C_1$ ) به یک وارون ساز مشابه متصل است،  $V_{OH}$  و  $V_{OL}$  را در  $C_1$  تعیین کنید.

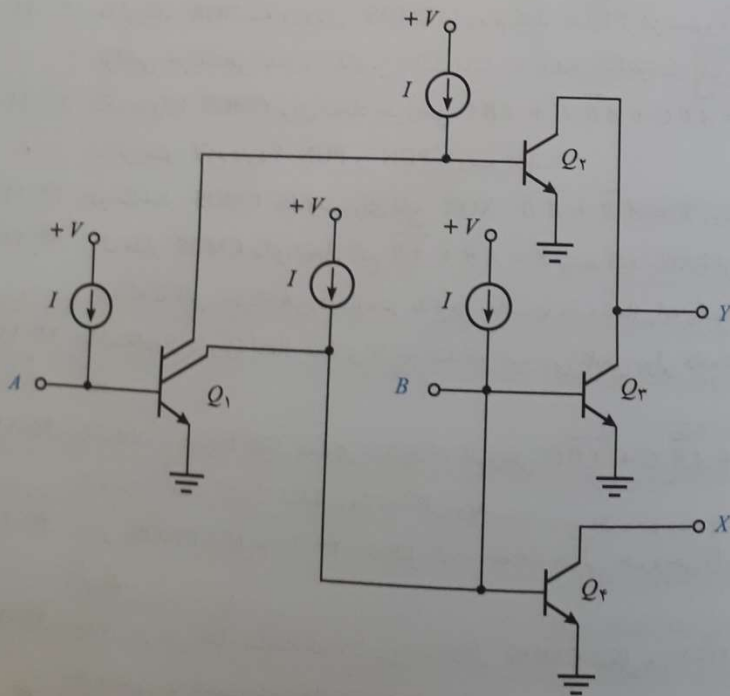
(ب) اکنون فرض کنید که هر یک از دو کلکتور به وارون ساز مشابهی متصل هستند و  $V_{OH}$  و  $V_{OL}$  را در  $C_1$  تعیین کنید.

۳۲-۱۱. برای مدار  $I^2L$  شکل م ۱۱-۳۲ معادله منطقی خروجی را بر حسب دو متغیر ورودی بیابید.



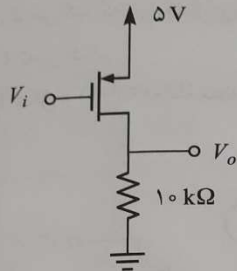
شکل م ۱۱-۳۲ مسئله ۱۱-۳۲ را ببینید.

۳۳-۱۱. برای مدار  $I^2L$  شکل م ۱۱-۳۳ معادله منطقی دو خروجی را بر حسب دو متغیر ورودی بیابید.



شکل م ۱۱-۳۳ مسئله ۱۱-۳۳ را ببینید.

۳۴-۱۱. شکل م ۳۴-۱۱ یک وارون ساز ماسفتی را نشان می دهد. ولتاژ آستانه این وارون ساز را بیابید. ولتاژ خروجی را به ازای ورودی صفر بیابید. برای ماسفت  $V_T = -2\text{ V}$  و  $K = 50\text{ }\mu\text{A/V}^2$ .



شکل م ۳۴-۱۱ مسئله ۳۴-۱۱ را ببینید.

۳۵-۱۱. برای یک مدار CMOS توان مصرفی ایستا صفر است. مدار با منبع تغذیه ۵V و فرکانس ۵۰ MHz کار می کند. برای کاهش توان مصرفی پویای این مدار ولتاژ تغذیه را به ۳/۳V می رسانیم. توان مصرفی به چه نسبتی کاهش می یابد؟ اگر به جای این کار فرکانس کار را به ۳۳ MHz برسانیم، توان مصرفی به چه نسبتی کاهش می یابد؟

۳۶-۱۱. چرا در وارون ساز CMOS نسبت  $W/L$  ماسفت  $p$ - کانال باید بزرگتر از ماسفت  $n$ - کانال باشد؟  
 ۳۷-۱۱. بهترین سطح آستانه برای یک وارون ساز، برای ماکزیمم شدن حاشیه نویز کجاست؟  
 ۳۸-۱۱. توضیح دهید که چرا توان مصرفی مدارهای CMOS با فرکانس کار مدار متناسب است؟  
 ۳۹-۱۱. برای ساخت یک دروازه NAND سه ورودی چند ترانزیستور NMOS و چند ترانزیستور PMOS لازم است؟ شکل مدار را رسم کنید. کدام ترانزیستورها مساحت بیشتری از تراشه را اشغال می کنند؟  
 ۴۰-۱۱. مدار یک NOR سه ورودی CMOS را رسم کنید. اندازه ترانزیستورها را تعیین کنید، به نحوی که توانایی جریاندهی مدار در بدترین حالت مانند جریاندهی وارون ساز پایه باشد.  
 ۴۱-۱۱. یک دروازه CMOS برای ایجاد خروجی  $Y = \overline{A}BC + A\overline{B}C + AB\overline{C}$  لازم داریم. این مدار چند ترانزیستور لازم دارد؟ PUN و PDN را رسم کنید.

۴۲-۱۱. دو ساختار CMOS متفاوت برای تابع XOR،  $Y = A\overline{B} + \overline{A}B$ ، رسم کنید.  
 ۴۳-۱۱. یک مدار CMOS برای ایجاد تابع  $Y = AB + \overline{A}\overline{B}$  رسم کنید. اندازه ترانزیستورها را به نحوی تعیین کنید که توانایی جریاندهی دروازه در بدترین حالت با وارون ساز پایه یکسان باشد.  
 ۴۴-۱۱. با استفاده از دروازه انتقال مداری طرح کنید که خروجی تابعی بولی داده شده در مسئله ۴۱-۱۱ را ایجاد کند.

۴۵-۱۱. با استفاده از دروازه انتقال مداری بسازید که خروجی  $Y = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C}$  را ایجاد کند. B را به عنوان متغیر کنترل کننده دروازه به کار ببرید.  
 ۴۶-۱۱. مدار CMOS شکل م ۴۶-۱۱ را تحلیل کرده، معادله بولی خروجی را بر حسب ورودیها به دست آورید.

۴۷-۱۱. جدول درستی مدار ساخته شده با دروازه انتقال CMOS شکل م ۴۷-۱۱ را رسم کرده، معادله بولی خروجی را بر حسب متغیرهای ورودی به دست آورید.