# دانشگاه صنعتی شاهرود دانشکده برق و رباتیک ـ گروه الکترونیک

آموزش نرم افزار Xilinx ISE 14.7 دکتر هادی گرایلو، grailu@shahroodut.ac.ir

### فهرست مطالب

- ۱ \_ مقدمه
- ۲\_ هدایتگر یروژه
- ٣\_ایجاد پروژه جدید
- ۴\_ایجاد فایلهای منبع VHDL
- ۵\_ ويرايش فايل منبع VHDL
  - ۶\_ سنتز کد VHDL
  - ٧\_شبيهسازي طراحي

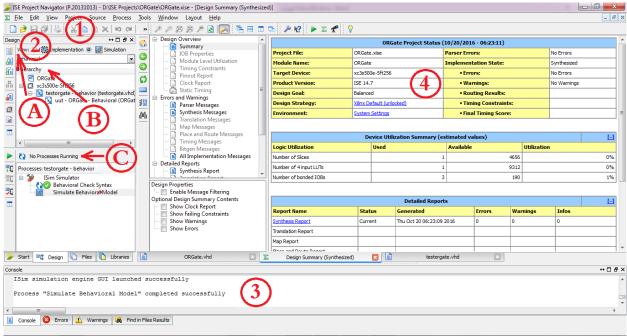
#### ۱\_ مقدمه

نرم افزار ISE Design Suite 14.7 متعلق به شرکت Xilinx بوده و جهت طراحی، سنتز، تست و تایید طراحی مدارات دیجیتال استفاده می شود. توصیف طراحی به دو شیوه ی شماتیکی و زبان توصیف سخت افزار (HDL) امکان پذیر است. پس از نصب این نرم افزار، آیکن آن به شکل زیر خواهد بود.



## ۲\_ هدایتگر پروژه ISE

پنجرهی هدایتگر پروژه در ISE که شمایی از آن در شکل ۱ نشان داده شده است، وظیفهی مدیریت فایلهای طراحی و هدایت طراحی از مرحلهی ایجاد به سمت شبیهسازی و سنتز را برعهده دارد.



شکل ۱: هدایتگریروژه

توضیحات مهمترین قسمتهای این پنجره که در شکل اخیر با ارقام و حروف مشخص شدهاند، به صورت زیر می باشد:

- ۱. نوار ابزار ۲: امکان دسترسی سریع به متداولترین و مهمترین دستورات و عملیات را فراهم میکند.
  - ۲. صفحهی طراحی": از سه بخش یا ناحیهی زیر تشکیل شده است:
- a. بخش مشاهده (View): تنها جهت مشاهده فایلهای منبع متناظر با فاز فعلی از طراحی به کار میرود. (برای یک پروژه میتوان دو فاز شبیهسازی و پیادهسازی را در نظر گرفت و برای هر فاز فایلهای مخصوص یا مشترکی استفاده کرد؛ حال برای فاز شبیه

<sup>&</sup>lt;sup>1</sup> Project Navigator

<sup>&</sup>lt;sup>2</sup> Toolbar

<sup>&</sup>lt;sup>3</sup> Design Panel

<sup>&</sup>lt;sup>4</sup> Simulation

<sup>&</sup>lt;sup>5</sup> Implementation

سازی، فایلهایی نظیر بسترآزمایش ویژه و مخصوص به همین فاز هستند و فایلهایی نظیر کد منبع VHDL مشترک در هر دو فاز هستند)

- c. بخش فرآیند (Process): تعیینکننده و نمایشدهندهی فرآیندهایی است که برای یک فایل منبع انتخاب شده امکان اجرای آنها وجود دارد. از همان عملکردگفته شده برای آیکنهای + و \_ در اینجا نیز میتوان استفاده نمود.
- ۳. پنجرهی خروجی متنی (Transcript Window): خروجی متنی حاصل از اجرای فرآیندها را نمایش می دهد.
- ۴. فضای کاری (Workspace): برای مشاهده و ویرایش فایلهای منبع استفاده می شود. می توان چندین فایل را با هم باز کرد. نام هر فایل در یک برگهی جداگانه در زیر این پنجره نمایش داده می شود تا بتوانید به راحتی از فایلی به فایل دیگر بروید.

### ٣\_ ایجاد پروژه جدید

مثالی که در اینجا برای آموزش کار با ISE در نظر گرفته ایم شامل طراحی، شبیه سازی و سنتز یک گیت OR دو ورودی شامل ورودی های a و b و خروجی c میباشد. جدول صحت این گیت به صورت زیر است:

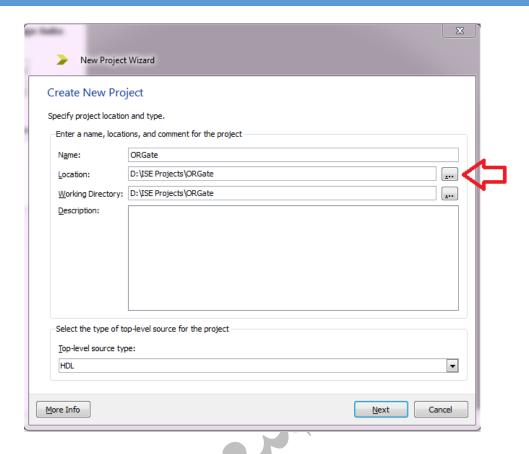
a (1 <sup>st</sup> Input)	b (2 <sup>nd</sup> Input)	c (Output)
0	0	0
0	1	1
1	0	1
1	1	1

- به روش زیر یک پروژه جدید ایجاد کنید:
- o گزینه های File->New Project را انتخاب کنید. پنجره زیر باز می شود:

<sup>&</sup>lt;sup>1</sup> Testbench

<sup>&</sup>lt;sup>2</sup> Source Files

<sup>&</sup>lt;sup>3</sup> Tab



- o در محل Name یک نام مناسب برای پروژه خود انتخاب کنید (در اینجا ORGate انتخاب شده است). نام پروژه باید:

  - با یک حرف شروع شده باشد،
     تنها شامل حروف و ارقام و کاراکتر زیرخط باشد،
    - نباید شامل دو کاراکتر زیرخط متوالی باشد.
- o به کمک آیکن جستجو در انتهای سمت راست برچسب Location (در شکل اخیر با علامت فلش قرمز مشخص شده است) یک مسیر مناسب برای ایجاد یا ذخیره فایلهای يروژه خود انتخاب كنيد.
- o در قسمت مشخص شده با برچسب Top-level source type مطمئن شوید که گزینهی HDL انتخاب شده باشد تا از زبانهای توصیف سختافزار به عنوان روش توصیف مدار استفاده کنیم. گزینههای دیگری مانند توصیف شماتیکی وجود دارند.
  - o روی Next کلیک کنید.

<sup>&</sup>lt;sup>1</sup> Underscore

<sup>&</sup>lt;sup>2</sup> Browse

- o در بخش تنظیمات پروژه (Project Settings) که در زیر نشان داده شده است، مطمئن شوید که گزینه های زیر انتخاب شده باشند.
  - Project category -> All
  - **Family** -> Spartan3E
  - **Device** -> XC3S500E
  - Package -> FT256
  - **Speed** -> -5
  - Top-Level Source Type -> HDL

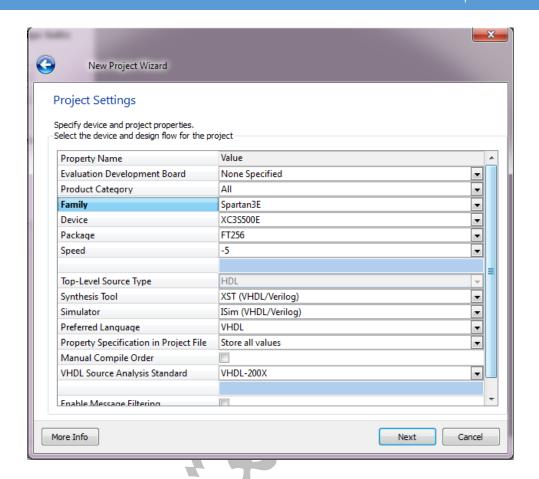
. البته گزینهی اخیر به طور خودکار انتخاب شده است.

■ **Synthesis Tool** -> XST (VHDL/Verilog)

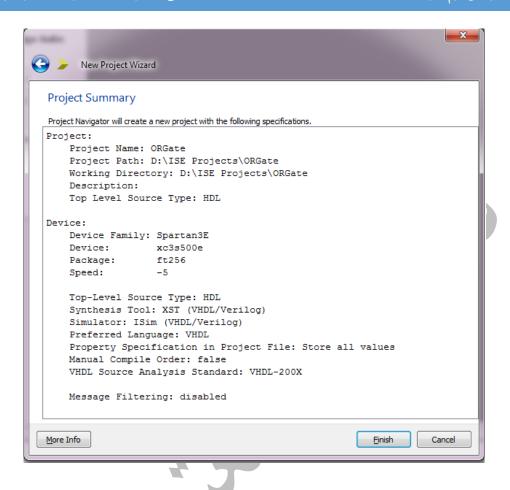
ابزار XST یک تکنولوژی جهت سنتز زبانهایی نظیر VHDL است تا فایلهای «لیست مختص به Xilinx» تولید کند.

- **Simulator** -> ISim (VHDL/Verilog)
  - ابزار فوق امکان انجام شبیهسازی را در جریان طراحی تان فراهم میکند.
- Preferred language -> VHDL
- VHDL Source Analysis Standard -> VHDL -200x
  - o مابقی گزینه ها را بدون تغییر و طبق مقادیر پیش فرض قبول کنید.

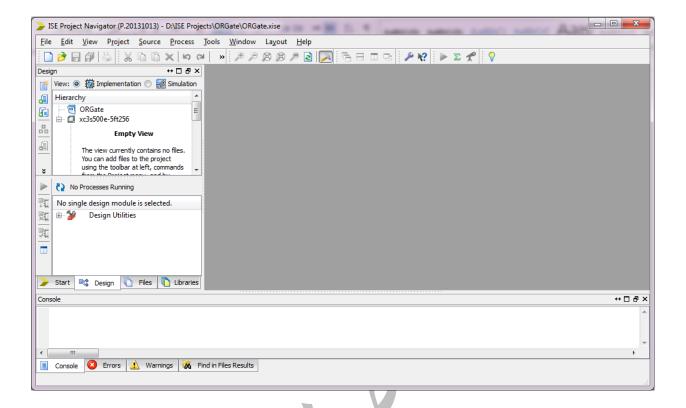
<sup>&</sup>lt;sup>1</sup> Xilinx Specific Netlist



o روی Next کلیک کرده تا خلاصهای از مشاخصات پروژه مطابق شکل زیر برایتان نمایش داده شود.

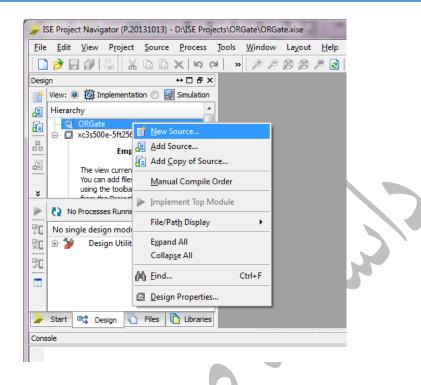


- o اگر قبلاً پروژهای را ایجاد کردهاید با انتخاب گزینههای File -> Open Projects لیستی از پروژههای موجود در مسیر فعلی برای شما نمایش داده می شود تا شما پروژهای را انتخاب و باز کنید.
- باکلیک روی Finish از New Project Wizard خارج شده و به پنجره ی اولیه ی هدایتگر پروژه بازخواهید گشت (مطابق شکل زیر). البته در این پنجره، یک طرح سلسلهمراتبی از پروژه جدید (یعنی OR Gate) در «بخش سلسله مراتب» (Hierarchy Pane) ایجاد شده است.

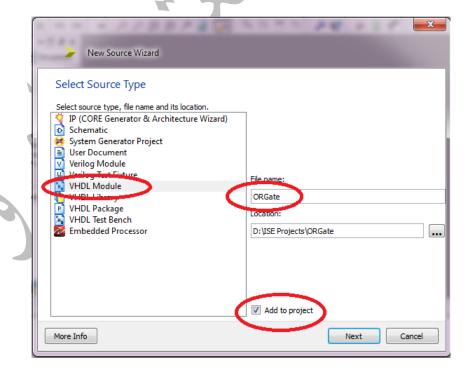


## ۴\_ ایجاد فایلهای منبع VHDL

- برای تولید فایل منبع که شامل کد VHDL باشد (چنین فایلی دارای پسوند vhd. است) میتوانید یا از Create New Source Wizard متعلق به ISE یا از هر ویرایشگر دیگری جهت تولید این فایل استفاده کنید.
- o روی آیکون New Source ( ☑) که در سمت چپ بخش سلسلهمراتب ( New Source روی آیکون ( Pane ) قرار دارد کلیک کنید. یک راه دیگر این است که مطابق با شکل زیر روی نام فایل منبع (ORGate) کلیک راست کرده و گزینهی New Source را انتخاب کنید.

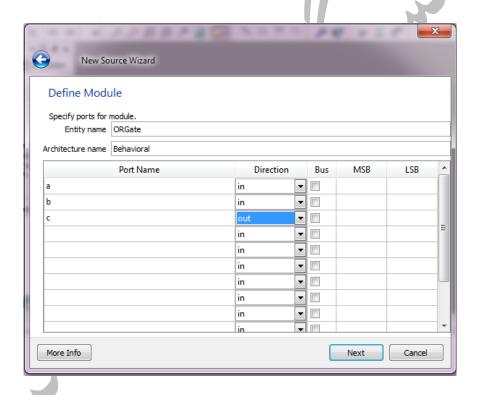


در نتیجه ی این کار، پنجره ی New Source Wizard مشابه با شکل زیر باز می شود. همان
 طور که در این شکل نیز مشخص شده است بررسی کنید که موارد زیر رعایت شده باشد:

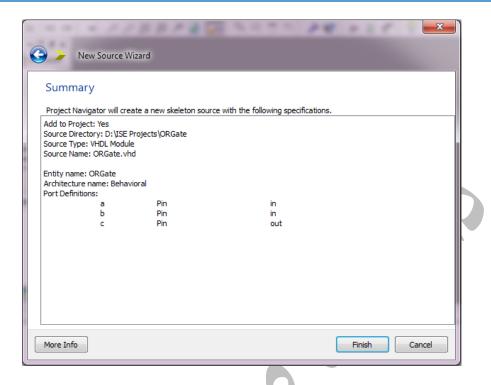


نوع فایل منبع را VHDL Module انتخاب کنید.

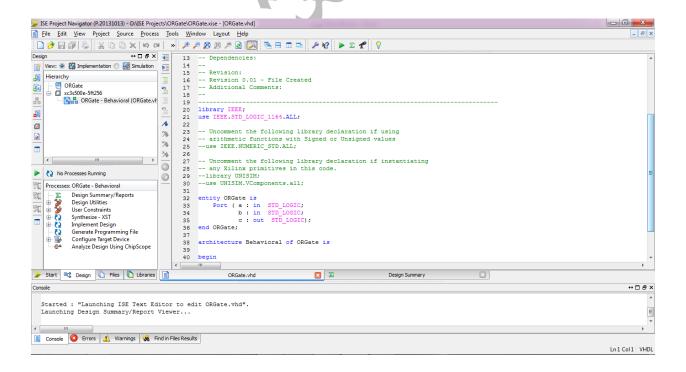
- o در قسمت File Name، نام مناسبی برای موجودیت انتخاب کنید.
- در قسمت Location، مسیر مناسبی برای پروژه خود انتخاب کنید (همان مسیری است
   که قبلاً برای ایجاد پروژه خود انتخاب کرده بودید).
- o مطمئن شوید که جعبهای که کنار برچسب Add to Project قرار دارد، تیک خورده باشد.
- روی Next کلیک کنید تا مشابه با شکل نمایش داده شده در زیر، وارد صفحه (یا پنجرهی) Define Module شوید. در این صفحه، پورتهای ورودی\_خروجی مدار تعیین خواهند شد. همان طور که ملاحظه میکنید در این قسمت می توانید نام موجودیت و معماری را تغییر دهید.



- ستونی که برچسب Direction دارد جهت تعیین حالت (Mode) پورتها استفاده می شود. در اینجا یکی از این سه حالت قابل استفاده است: حالت in ورودی، حالت out: خروجی، و حالت inout: پورتها دو جهته هستند. حالتهای مناسب را مطابق با شکل اخیر تنظیم کنید.
  - o روی Next کلیک کنید تا خلاصهای از اطلاعات پروژه برایتان نمایش داده شود:



o روی Finish کلیک کنید. متن فایل منبع در هدایتگر پروژه مشابه با شکل زیر نمایش داده می شود. از ویرایشگر باز شده می توانید جهت تغییر و تکمیل فایل منبع استفاده کنید.

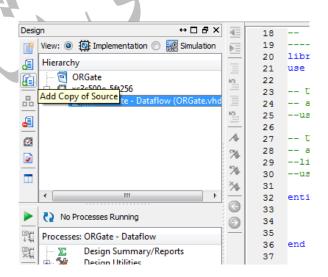


### ۵\_ ويرايش فايل منبع VHDL

فایلی که تاکنون ایجاد شده تنها شامل تعریف پورتها (که توسط New Source Wizard ایجاد کریده بودیم) و بدنهی موجودیت و معماری است. برای تکمیل بدنهی دستورات معماری، دستور زیر را مطابق شکل زیر در بخش دستورات معماری وارد کنید. بهتر است نام معماری را نیز از Behavioral به Dataflow تغییر دهید.

```
32
    entity ORGate is
        Port ( a : in STD LOGIC;
33
               b : in STD LOGIC;
34
                c : out STD LOGIC);
35
    end ORGate;
36
37
    architecture Dataflow of ORGate is
38
39
   begin
40
41
42
       C <= (A OR B);
43
    end Dataflow;
```

بعد از ایجاد تغییرات، آن را از طریق Save ح File -> Save و یا کلیدهای Ctrl+S ذخیره کنید. توجه: فایلهای VHDL را در خارج از محیط ISE می توان توسط هر ویرایشگری ایجاد کرده و سپس نسخهای از آن فایل را در محیط ISE توسط آیکن (شکل زیر) به پروژه اضافه نمود. البته انجام این کار توصیه نمی شود.

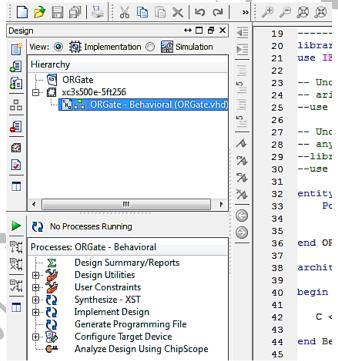


## ۶\_ سنتز کد VHDL

قبل از شبیه سازی عملکردی باید کد خود را سنتز کنیم. سنتز توسط XST انجام می شود. سنتزگر XST کد را تحلیل کرده و با استفاده از تکنیکهای خاص خود (نظیر به اشتراکگذاری منابع) سعی در کاهش مصرف منابع سخت افزاری و همزمان افزایش فرکانس کاری کلاک می کند. به بیان دیگر، هدف از سنتز، تبدیل کد VHDL به یک مدار دیجیتال و به عبارت معادل، تبدیل کد به لیستی خالص از گیتها است. این لیست گیتها، NetList نام دارد.

کارهای زیر را انجام دهید:

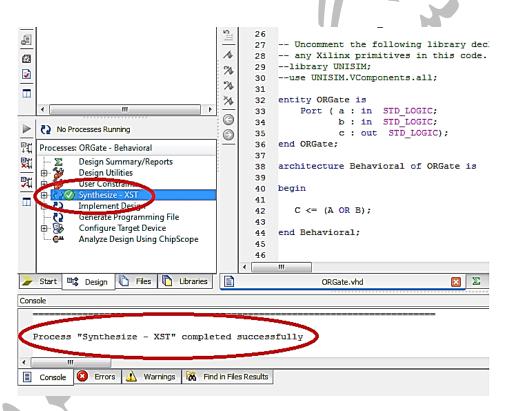
۱. مطمئن شوید که جعبهی Implementation واقع در بخش مشاهده (View Pane) تیک خورده باشد. این بخش، مطابق با شکل زیر، در صفحهی طراحی (Design panel) قرار دارد.



7. حال در بخش فرآیند (Process Pane) واقع در همان صفحهی طراحی روی Process Pane) کلیک مضاعف کنید. در نتیجهی این کار، گرامر کد شما بررسی شده و در صورت وقوع خطا یا هشدار، در پنجرهی خروجی متنی، این خطاها و هشدارها به شما نمایش داده می شود. همان طور که در شکل زیر مشاهده می شود، خطاها و هشدارها هرکدام برگهی مربوط به خود را دارند. در نمونهای که در شکل زیر نمایش داده شده است، خطایی رخ نداده لذا در پنجره خروجی

<sup>&</sup>lt;sup>1</sup> Functional Simulation

متنی، پیام موفقیت آمیز بودن سنتز مشاهده می شود. در صورت وقوع خطا یا هشدار می توانید روی پیغام کلیک راست کرده و گزینه ی Search for Answer Record را انتخاب کنید تا مرورگر اینترنت شما را به وب سایت شرکت Xilinx هدایت کرده و پاسخها و اقدامات احتمالی در جهت رفع مشکل را برای شما نمایش دهد. در غیر این صورت می توانید در همان کلیک راست، گزینه ی Go to Source را انتخاب کنید تا محل وقوع خطا را در کدتان نشان دهد. خطاها را برطرف کرده و عمل سنتز را مجدداً انجام دهید. درصورت موفقیت آمیز بودن سنتز می توانید شبیه سازی را انجام دهید. پس از اتمام موفقیت آمیز سنتز، همان طور که در شکل زیر نیز مشاهده می شود، آیکن ◊ در کنار فرآیند Synthesize-XST نمایش داده می شود.



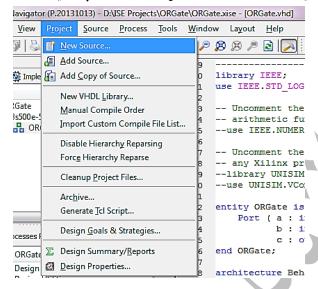
## ۷\_ شبیه سازی طراحی

برای انجام دو نوع شبیه سازی عملکردی و زمان بندی باید برای کد خود، یک کد بستر آزمایش بنویسیم. این کد مقادیر خاص و مورد نظرمان را در لحظات مورد نظرمان ایجاد می کند تا ما بتوانیم مقادیر خروجی را به ازای این مقادیر ورودی بررسی کرده و از صحت عملکرد مدار اطمینان حاصل کنیم. کارهای زیر را انجام دهید:

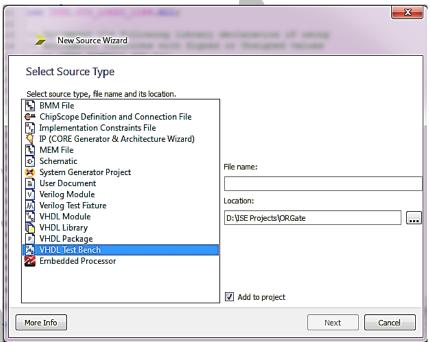
12

<sup>&</sup>lt;sup>1</sup> Testbench

۱. از نوار ابزار اگزینه ی Project->New Source را انتخاب کنید.

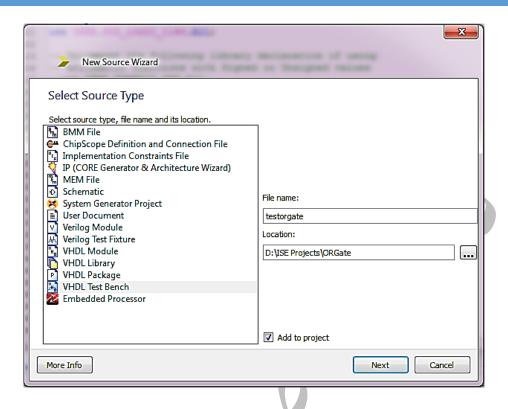


۲. در پنجره ی جدید، در قسمت Select Source Type گزینه VHDL Test Bench را انتخاب کنید.



۳. در قسمت File Name نام مناسبی برای فایل بستر آزمایش خود وارد کنید. در اینجا نام testorgate

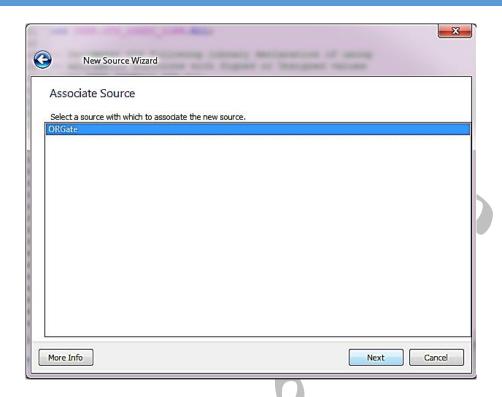
<sup>&</sup>lt;sup>1</sup> Toolbar



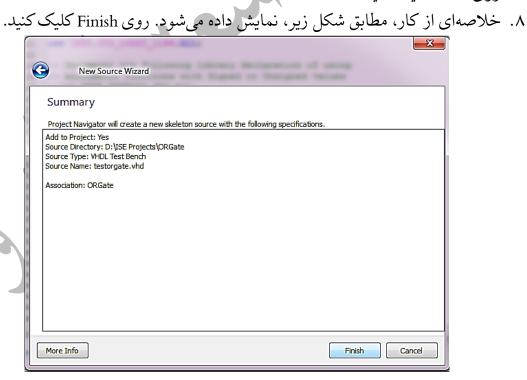
- ۴. در محل Location مسیر پروژه خود را مشخص کنید (به طور پیشفرض این مسیر انتخاب شده است).
  - ۵. روی Next کلیک کنید.
- ۶. در پنجره ی جدید، نام پروژه ای که قصد نوشتن بستر آزمایش برای آن را دارید (در اینجا، پروژه ORGate)، انتخاب کنید. گرچه در حال حاضر یک انتخاب بیشتر وجود ندارد، اما در حالت کلی برای هر یک از اجزاء نوشته شده/مورد استفاده در پروژه خود و نیز برای موجودیت سطح رو۲ که تمامی اجزاء را به هم ربط می دهد، می توانید بستر آزمایش جداگانه ای بنویسید.

<sup>&</sup>lt;sup>1</sup> Component

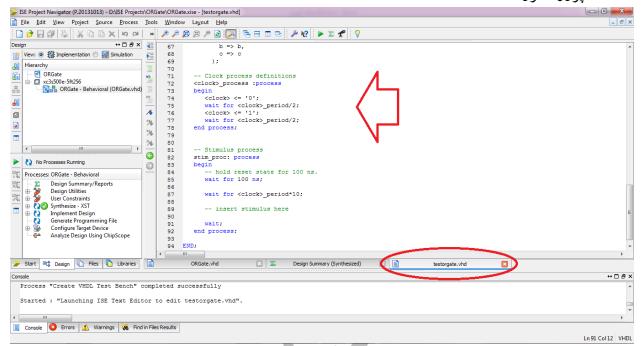
<sup>&</sup>lt;sup>2</sup> Top-Level



- ۷. روی Next کلیک کنید.



۹. حال در ویرایشگر هدایتگر پروژه، فایل بستر آزمایش (testorgate.vhd) مشاهده می شود که به یروژه افزوده شده است.



- و با دقت در کد تهیه شده برای بستر آزمایش (توسط Xilinx ISE) مشاهده می کنید که این کد نیز از همان اجزای اساسی یک کد VHDL یعنی موجودیت و معماری تشکیل شده است. قسمت موجودیت خالی است (شامل هیچ پورت ورودی خروجی نمی باشد) زیرا هدف از بستر آزمایش فراهم کردن مقادیر مختلف ورودی برای طراحی و مشاهده خروجی های تولید شده توسط طراحی است. بخش معماری متشکل از این بخشها است: نمونه سازی طراحی به عنوان یک جزء ایست ورودی ها و خروجی ها که به عنوان سیگنال تعریف شده اند، دستور PORT MAP که نگاشتی بین سیگنالهای تعریف شده در بستر آزمایش و پورتهای «نمونهی تحت بررسی»، TUUT (که همان طراحی انجام شده است) برقرار میکند، فرآیندی جهت اعمال کلاک به همراه لیست حساسیت مربوطه، تمام تستها و تغییر مقدارهای مورد نظرمان در همین فرآیند قرار داده می شوند.
  - ۱۰. قسمتی از کد بستر آزمایش که در زیر مشخص شده را حذف کنید:

<sup>&</sup>lt;sup>1</sup> Component

<sup>&</sup>lt;sup>2</sup> Unit Under Test

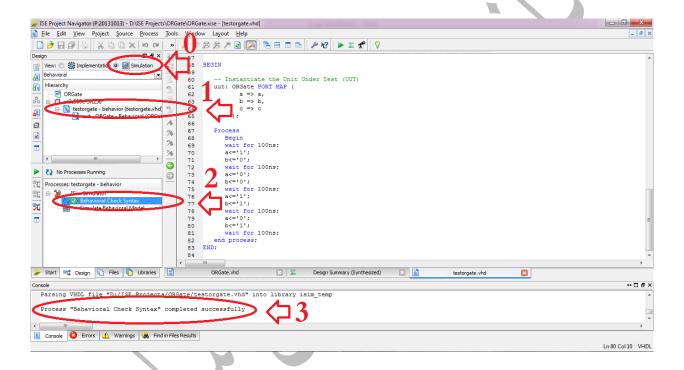
```
-- No clocks detected in port list. Replace <clock> below with
58
       -- appropriate port name
59
       constant <clock>_period : time := 10 ns;
       -- Clock process definitions
71
       <clock> process :process
72
       begin
73
         <clock> <= '0';
74
75
         wait for <clock> period/2;
76
         <clock> <= '1';
         wait for <clock> period/2;
78
      end process;
79
80
       -- Stimulus process
81
       stim_proc: process
82
83
       begin
84
          -- hold reset state for 100 ns.
         wait for 100 ns;
85
86
         wait for <clock> period*10;
87
88
          -- insert stimulus here
89
90
          wait;
91
       end process;
92
93
   END;
94
95
```

تا برنامه بستر آزمایش به صورت زیر کاهش یابد:

```
Tools Window Layout Help
    ⋖≡
     41
             COMPONENT ORGate
     42
Þ≣
             PORT (
     43
     44
                  a : IN std logic;
                 b : IN std logic;
     45
5
                 c : OUT std_logic
     46
     47
                );
Ŋ
             END COMPONENT;
     48
     49
1
     50
     51
            --Inputs
%
            signal a : std_logic := '0';
     52
%
     53
            signal b : std logic := '0';
*
     54
     55
            --Outputs
(
            signal c : std_logic;
     56
9
     57
     58 BEGIN
     59
            -- Instantiate the Unit Under Test (UUT)
     60
            uut: ORGate PORT MAP (
     61
     62
                  a => a,
                  b => b,
     63
                  c => c
     64
                );
     65
     66
     67
     68 END;
ORGate.vhd
                            \times \Sigma
                                     Design Summary (Synthesized)
```

```
کد حذف شده را باکد زیر جایگزین کنید
                                           . 1 1
66
67
       Process
68
          Begin
          wait for 100ns;
69
          a<='1';
70
          b<='0';
71
          wait for 100ns;
72
73
           a<='0';
74
          b<='0';
75
          wait for 100ns;
          a<='1';
76
          b<='1';
77
78
          wait for 100ns;
79
          a<='0';
          b<='1';
80
          wait for 100ns;
81
82
       end process;
```

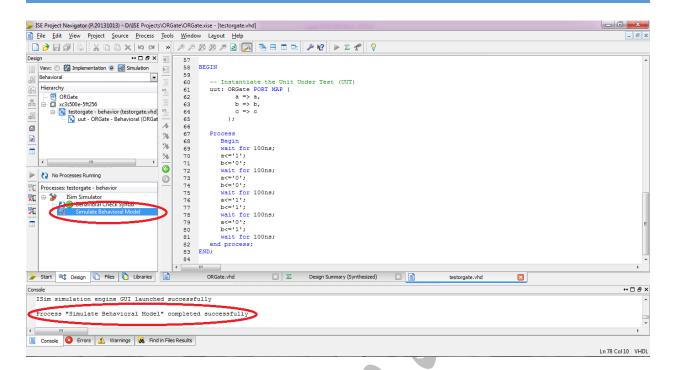
۱۲. با توجه به اینکه دو بخش شبیه سازی (Simulation) و پیاده سازی (Implementation) دارای دو بخش جداگانه در صفحهی Design هستند، لذا فایل بستر آزمایش در بخش سلسله مراتب (Hierarchy) از صفحهی Design مشاهده نمی شود. جعبه ی انتخاب مربوط به سلسله مراتب (View تیک بزنید تا فایلهای بخش شبیه سازی نشان داده شوند. در بخش Process روی Behavioral Check Syntax کلیک مضاعف کنید تا از عدم وجود خطا اطمینان حاصل کنید. کارهای اشاره شده به ترتیب شماره در شکل زیر نشان داده شده اند:



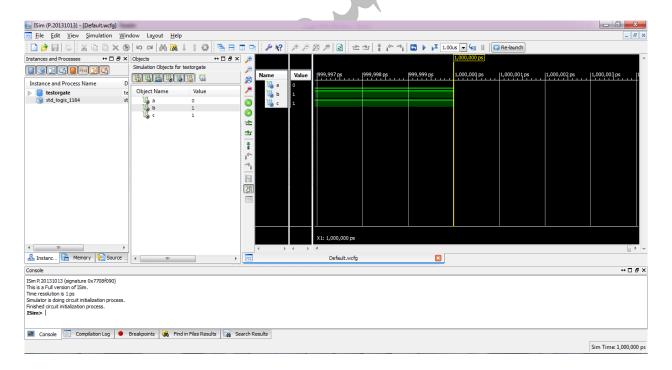
- ۱۳. کار خود را ذخیره کنید.
- ۱۴. حال در بخش Process روی Simulate Behavioral Model کلیک مضاعف نمایید. این کار موجب باز شدن شبیه ساز ISim و نیز بارگذاری بستر آزمایش می شود.

#### دانشگاه صنعتی شاهرود \_ دکتر هادی گرایلو

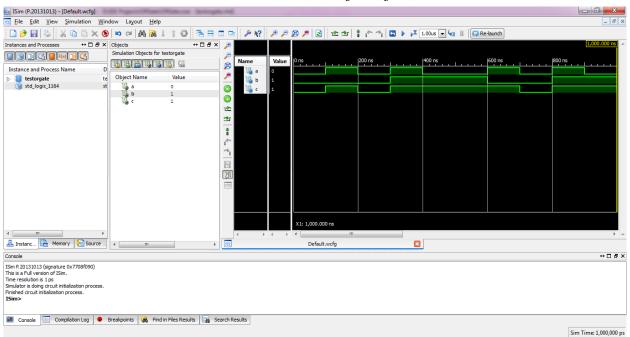
#### آموزش نرم افزار XILINX ISE



۱۵. پنجرهی ISim در حالی باز می شود که شبیه سازی را نیز انجام داده است (شکل زیر).



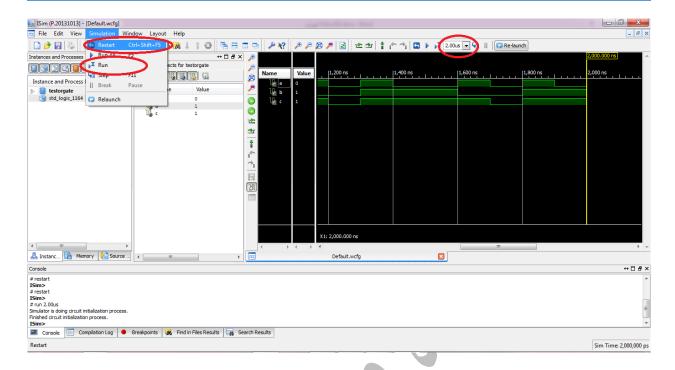
۱۶. برای رسیدن به نمایی بهتر از شبیه سازی، در نوار ابزار گزینه های View->Zoom->Full را ابزار گزینه های ۴۵ را نیکن View را انتخاب کنید. همچنین می توانید کلید ۶۵ را فشار دهید. یا این که می توانید روی آیکن (Zoom to Full View) علیک کنید.



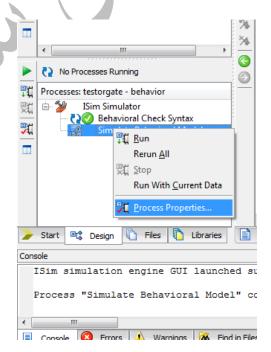
۱۷. از طریق جعبه ی متنی که کنار آیکن Run (به شکل () قرار دارد می توانید مدت زمانی که تمایل دارید شبیه سازی ادامه پیدا کند را تعیین کنید. برای این کار می توانید یک مقدار زمانی در این جعبه متنی وارد کنید، آیکن Re-Start (() را کلیک کنید تا شبیه سازی قبلی را پاک کند، و سپس روی آیکن Run کلیک کنید تا شبیه سازی مجدد شروع شود. در شکل زیر مدت زمان شبیه سازی برابر 2us (میکرو ثانیه) انتخاب شده است. در این شکل یک راه دیگر جهت انجام کارهای اشاره شده نیز نشان داده شده است.

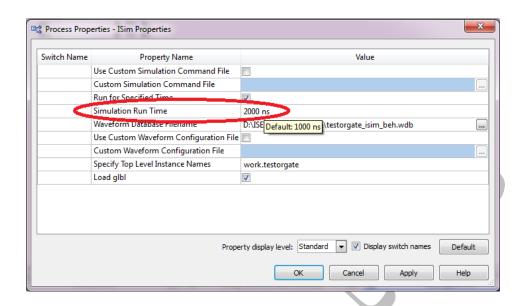
#### دانشگاه صنعتی شاهرود \_ دکتر هادی گرایلو

#### آموزش نرم افزار XILINX ISE

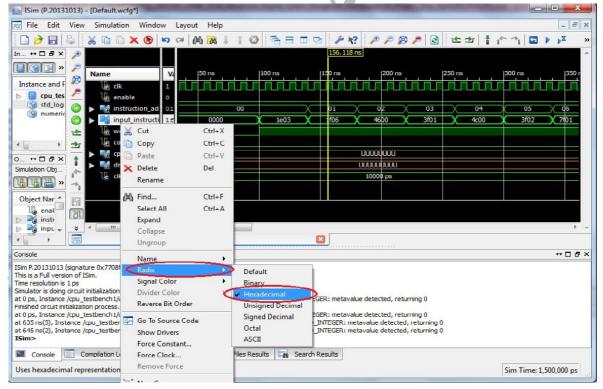


۱۸. برای این که هر بار شبیه ساز را اجرا می کنید ناچار به تغییر مدت زمان شبیه سازی نباشید می توانید خصوصیات پروژه تان را در Xilinx ISE تغییر داده و تنظیم کنید. برای این کار در هدایتگر پروژه روی Simulate Behavioral Model کلیک راست کرده و ... Simulation Run Time کلیک را انتخاب کنید. در پنجره ای که باز می شود پارامتر Simulation Run Time را مقداردهی مناسب کنید. شکلهای زیر عملیات گفته شده را نشان می دهند.



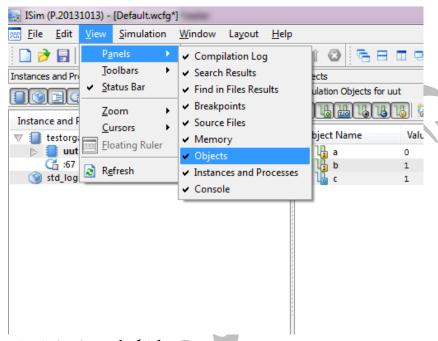


19. اگر بخواهید قالب نمایش عددی یک سیگنال را تغییر دهید روی نام آن سیگنال کلیک راست کرده و پس از انتخاب گزینه Radix یک مبنای عددی را انتخاب کنید (شکل زیر).



۲۰. در پروژههای بزرگ تنها با نگاه کردن به کد HDL نمی توان خطاها و اشتباهات را یافت تا آنها را تصحیح نمود. در این حالت یک راه این است که سیگنال های داخلی هر جزء تعریف

شده در پروژه را مشاهده نمود تا عملکرد آن را بررسی کنیم. برای انجام این کار باید مطابق با شکل نشان داده شده در زیر، هر دو بخش Objects و Instances and Processes را باز کنید.



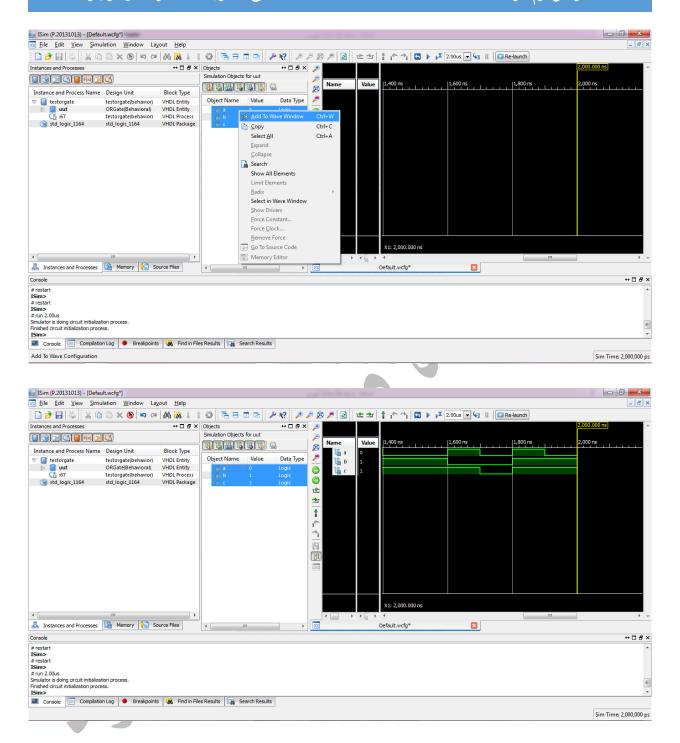
- در بخش Instances and Processes روی البیت و مشاهده شوند. روی جزء مورد نظرتان کلیک کنید. تمام سیگنالهای متعلق به لیست و مشاهده شوند. روی جزء مورد نظرتان کلیک کنید. تمام سیگنالهای متعلق به این جزء انتخاب شده در بخش Objects نمایش داده می شوند. حال هر کدام یا گروهی از این سیگنالها را به روش prag and Drop در بخش شکل موج شبیه ساز قرار دهید. شبیه سازی را بازشروع (restart) و اجرای مجدد کنید تا شکل موج سیگنالهای اشاره شده نمایش داده شوند. یک راه دیگر و نتیجه ی آن در شکلهای زیر نمایش داده شده است.
- نکته ۱: تفاوت بین دو آیکنی که مربوط به اجرای شبیهسازی هستند (یعنی آیکنهای
   ▼ 2.00us ◄ ) این است که اولی (سمت راستی) شبیهسازی را برای مدت زمان تعیین شده اجرا میکند اما دومی به مدت نامعلوم و تا زمانی که ما تعیین کنیم، عمل شبیهسازی را اجرا میکند.

77

<sup>&</sup>lt;sup>1</sup> Arrow Keys

### دانشگاه صنعتی شاهرود \_ دکتر هادی گرایلو

### آموزش نرم افزار XILINX ISE



برای سلامتی حضرت ولی عصر (عج) و رهبر عزیز انقلاب صلوات