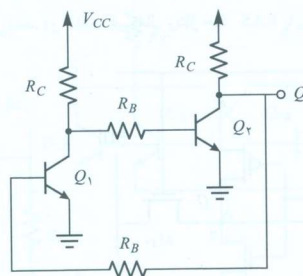


و سلول از خطوط داده مجزا می‌باشد. بنابراین هرگونه فعالیت خواندن و نوشتن که روی این خطوط و بر روی سلولهای دیگر متصل به این خطوط صورت می‌گیرد، هیچ اثری بر محتویات این سلول ندارد. فعال شدن خط RAS ماسفتهای دستیابی را روشن می‌کند، Q به خط BIT و \bar{Q} به خط $\overline{\text{BIT}}$ متصل می‌شود. در وضعیت خواندن این خطوط به ورودیهای یک تقویت‌کننده تفاضلی متصل هستند. امپدانس ورودی بزرگ تقویت‌کننده تفاضلی ساخته شده با ماسفت اجازه نمی‌دهد که عمل خواندن بر مقدار ذخیره شده در سلول تأثیری بگذارد. بنابراین فرایند خواندن مخرب نیست. در وضعیت نوشتن تقویت‌کننده نوشتن مقادیر منطقی متمم را بر روی خطوط BIT و $\overline{\text{BIT}}$ قرار می‌دهد. این مقادیر به گیت ماسفتهای اعمال می‌شود و اگر با وضعیت فعلی سلول تطابق داشته باشند هیچ تغییری در سلول ایجاد نمی‌کنند. اگر این مقادیر با وضعیت سلول تطابق نداشته باشند (مثلاً در سلول ۱ ذخیره شده باشد و اکنون قرار باشد ۰ نوشته شود) ماسفتهای وضعیتی سازگار با مقادیر منطقی روی خطوط BIT و $\overline{\text{BIT}}$ (که اکنون به گیتشان اعمال شده است) پیدا می‌کنند.

سلول نشان داده شده در شکل ۷-۳۲ سلول شش ترانزیستوری (6T) خوانده می‌شود. برای رسیدن به حافظه‌های با چگالی بیشتر، سلولهای کوچکتری مورد نیاز است. این امر نوع جدیدی از حافظه موسوم به حافظه پویا (DRAM) را به وجود آورده که در آن سلولهای ۴ ترانزیستوری، ۳ ترانزیستوری و حتی یک ترانزیستوری به کار می‌رود. این نوع سلولها نمی‌توانند داده را برای مدت طولانی نگه دارند و باید مرتب بازنویسی (refresh) شوند. البته این سلولها را دیگر نمی‌توان مدارهای دوپایا به حساب آورد.

پرسش و مسئله

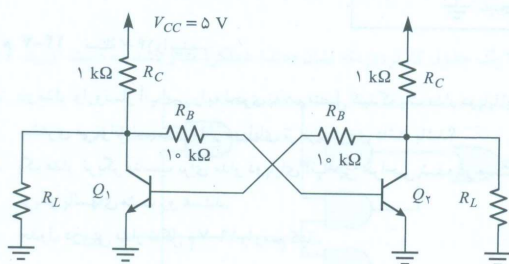
- ۱-۷ یک مدار دوپایای با تزویج کلکتوری رسم کنید؛ از ترانزیستور npn استفاده کنید.
- ۲-۷ یک مدار دوپایای با تزویج کلکتوری رسم کنید؛ از ترانزیستور pnp استفاده کنید.
- ۳-۷ مدار شکل م ۳-۷ همان مدار شکل ۲-۷ است. فرض کنید در این مدار ولتاژ بیس Q_1 به دلیلی کاهش می‌یابد. با دنبال کردن تغییراتی که این کاهش به همراه دارد نشان دهید که این مدار فیدبک مثبت دارد.



شکل م ۳-۷ مسئله ۳-۷ را ببینید.

- ۴-۷ مدار شکل ۲-۷ را در نظر بگیرید. حداقل مقدار β را برای این که مدار دو حالت پایدار داشته باشد تعیین کنید.

- ۵-۷. یک مدار دوپایا به صورت شکل ۲-۷ طراحی کنید که با منبع ۶ V کار کند. جریان کلکتور ترانزیستور روشن باید ۲ mA باشد. فرض کنید ترانزیستوری با β بزرگتر از ۷۰ در اختیار دارید.
- ۶-۷. اگر مدار طراحی شده در مسئله ۵-۷ به صورت مدار دوپایا درست کار کند، این مدار با مقاومت‌های بیس کوچکتر هم درست کار می‌کند. کاهش مقاومت‌های بیس چه تأثیراتی بر رفتار مدار دارد؟
- ۷-۷. برای مداری که در مسئله ۵-۷ طراحی کرده‌اید، یک مدار تریگر طراحی کنید. مدار باید با پالسهای منفی رو تریگر شود.
- ۸-۷. مدار شکل م ۸-۷ را در نظر بگیرید. مقاومت‌های R_L بارهای متصل به دو خروجی مدار دوپایا را مدل می‌کنند. ولتاژها و جریانهای مدار را در یک حالت پایدار به دست آورید.



شکل م ۸-۷ مسائل ۸-۷ و ۹-۷ را ببینید.

- ۹-۷. برای مداری که در مسئله ۲-۷ طراحی کرده‌اید بارهای متصل به خروجی‌ها را مقاومت‌هایی به صورت نشان داده شده در شکل م ۸-۷ فرض کنید. این مقاومت‌ها باید از چه مقداری بزرگتر باشند تا مدار بتواند درست کار کند؟
- ۱۰-۷. مدار شکل ۳-۷ را با منابع تغذیه $\pm 5V$ ، $R_C = 1 k\Omega$ ، $R_1 = 6 k\Omega$ ، و $R_2 = 39 k\Omega$ در نظر بگیرید. جریان‌ها و ولتاژهای مدار را در یک حالت پایدار تعیین کنید.
- ۱۱-۷. یک مدار دوپایا به صورت مدار شکل ۳-۷ طراحی کنید. از منابع تغذیه $\pm 9V$ استفاده کنید. جریان کلکتور ترانزیستور روشن باید ۲ mA باشد. از ترانزیستورهایی با $\beta_{(min)} = 50$ استفاده کنید.
- ۱۲-۷. مدار تریگر نامتقارن کلکتور را رسم کنید و طرز کار آن را شرح دهید.
- ۱۳-۷. مدارهای تریگر متقارن و نامتقارن بیس را رسم کنید. طرز کار هر یک را شرح دهید و مزایا و معایب هر یک را بیان کنید.
- ۱۴-۷. مدار شکل م ۱۴-۷ را در نظر بگیرید. ولتاژها و جریانهای مدار را در حالتی که Q_1 روشن و Q_2 خاموش است، به دست آورید.
- ۱۵-۷. یک مدار دوپایای ماسفتی، به صورت نشان داده شده در شکل ۸-۷ طرح کنید. از ماسفت‌هایی با $V_T = 1V$ و $K = 500 \mu A/V^2$ استفاده کنید. منبع تغذیه را ۵ V بگیرید.
- ۱۶-۷. چرا طراحی مدار دوپایای ماسفتی ساده‌تر از مدار دوپایای ساخته شده با ترانزیستور دوقطبی است؟

و بر روی

خط RAS

فولدن این

ملی ساخته

بن فرایند

BIT و BIT

لیج تغییری

شده باشد و

که اکنون به

رسیدن به

نوم به حافظه

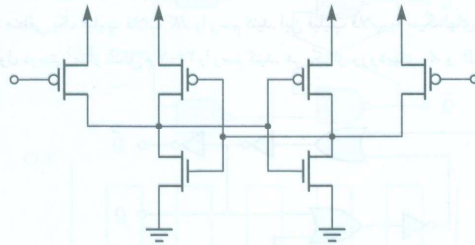
لژیستوری به

(refresh)

دلیلی کاهش

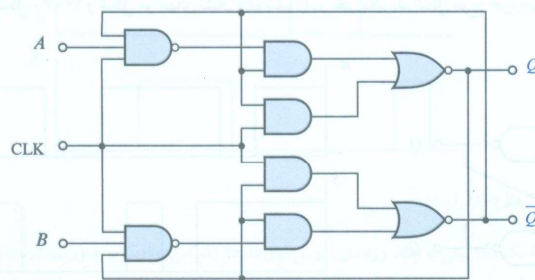
بت دارد.

داشته باشد تعیین



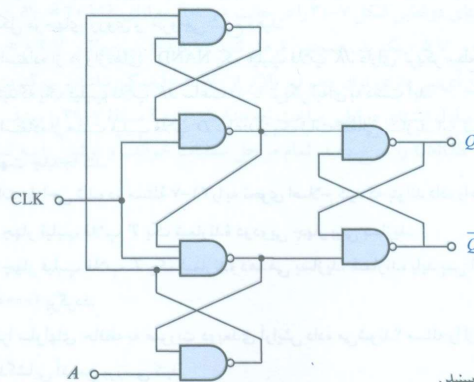
شکل م ۲۱-۷ مسئله ۲۱-۷ را ببینید.

۲۲-۷. برای مدار شکل م ۲۲-۷ یک جدول کارکردی، که نشان دهنده عملکرد مدار باشد، به دست آورید.



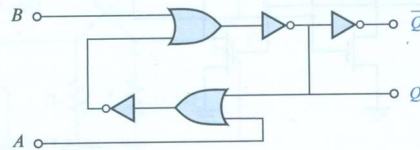
شکل م ۲۲-۷ مسئله ۲۲-۷ را ببینید.

۲۳-۷. مدار شکل م ۲۳-۷ چه فلیپ فلاپی را ایجاد می کند؟ برای پاسخ به این سوال جدول کارکردی مدار را رسم کنید.



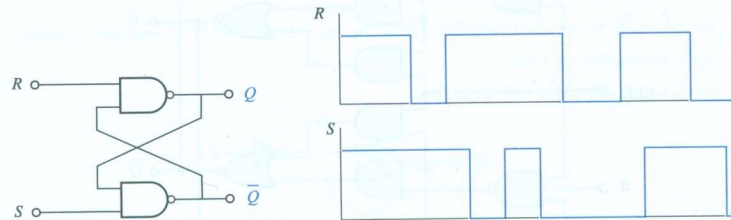
شکل م ۲۳-۷ مسئله ۲۳-۷ را ببینید.

- ۲۴-۷. در نماد منطقی فلیپ فلاپ‌ها دایره کوچک و مثلث کوچک در ورودیها چه چیزی را نشان می‌دهند؟
- ۲۵-۷. نماد منطقی یک فلیپ فلاپ JK را رسم کنید. این فلیپ فلاپ با سیگنالهای صفر فعال تریگر می‌شود؟
- ۲۶-۷. جدول درستی مدار شکل م ۲۶-۷ را رسم کنید. هر یک از ورودیهای A و B را چه می‌توان نامید؟



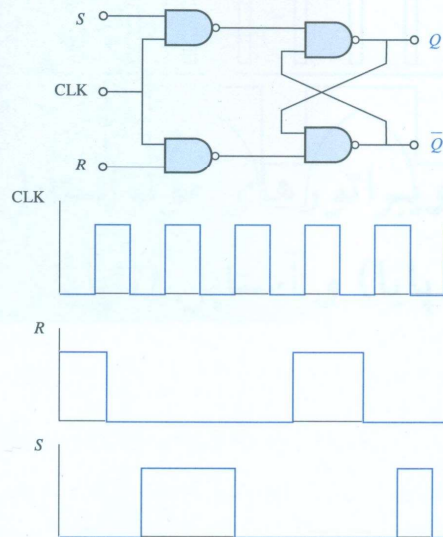
شکل م ۲۶-۷ مسئله ۲۶-۷ را ببینید.

- ۲۷-۷. مدار شکل م ۲۷-۷ و شکل موجهای نشان داده شده را در نظر بگیرید. شکل موج خروجی Q را رسم کنید.



شکل م ۲۷-۷ مسئله ۲۷-۷ را ببینید.

- ۲۸-۷. مسئله ۲۷-۷ را به ازای شکل موجهای نشان داده شده در شکل م ۲۸-۷ تکرار کنید.
- ۲۹-۷. فلیپ فلاپ پایه - پیرو به چه منظوری ساخته می‌شود؟ طرز کار یک فلیپ فلاپ پایه - پیرو را با رسم شکل موجهای ورودی و خروجی شرح دهید.
- ۳۰-۷. با استفاده از دروازه‌های NAND یک فلیپ فلاپ JK دارای تریگر سطح بسازید. مدار را طوری اصلاح کنید که یک فلیپ فلاپ JK ساعت دار با تریگر لبه‌ای به دست آید.
- ۳۱-۷. با استفاده از هشت فلیپ فلاپ D ساعتدار یک ثبات انتقالی بسازید. این ثبات باید بتواند داده را تنها در یک جهت جابه‌جا کند.
- ۳۲-۷. ثبات طراحی شده در مسئله ۳۱-۷ را به نحوی اصلاح کنید که بتواند داده را در هر دو جهت جابه‌جا کند.
- ۳۳-۷. با چهار فلیپ فلاپ T یک شمارنده دودویی چهار بیتی بسازید.
- ۳۴-۷. با چهار فلیپ فلاپ T یک شمارنده دهمی بسازید. شمارنده باید پس از رسیدن به عدد ۹ (۱۰۰۱) به ۰ (۰۰۰۰) برگردد.
- ۳۵-۷. چرا سلولهای حافظه به صورت دوبعدی آرایش داده می‌شوند؟ مسئله را از دیدگاه آدرس و مدار لازم برای کدگذاری آدرس بررسی کنید.



شکل م ۲۸-۷ مسئله ۲۸-۷ را ببینید.

۳۶-۷. یک حافظه یک مگا بیتی به چند ورودی آدرس نیاز دارد؟ اگر این حافظه به صورت دوبعدی آرایش یابد، بخش آدرس ردیف چند بیتی است؟ (توجه: سعی می شود آرایشهای دوبعدی حافظه تا حد ممکن یک آرایش مربعی باشد).

۳۷-۷. چگونگی عمل خواندن از سلول حافظه ایستای دوقطبی را شرح دهید.

۳۸-۷. چگونگی عمل نوشتن به سلول حافظه ایستای دوقطبی را شرح دهید.

۳۹-۷. توان مصرفی سلول ایستای دوقطبی شکل ۷-۳۰ را در حالت غیر فعال به ازای $R_C = 20 \text{ k}\Omega$ حساب کنید.

مقادیر منطقی را 0.3 V و 0.5 V بگیرید. همچنین فرض کنید $V_{BE(on)} = 0.8 \text{ V}$ و $V_{CE(sat)} = 0.2 \text{ V}$.

۴۰-۷. اگر به دلایل فنی ساختن آی سی دارای توان مصرفی بالاتر از 10 mW ممکن نباشد، بزرگترین حافظه ای که می توان با استفاده از سلول ایستای دوقطبی ساخت چه اندازه ای دارد؟ مسئله ۷-۳۹ را ببینید.

۴۱-۷. طرز کار سلول ایستای CMOS را شرح دهید. تمام مراحل عملیات خواندن و نوشتن را به ترتیب بیان کنید.