

# دانشگاه صنعتی شاهرود

## دانشکده مهندسی برق

آزمون مجازی- درون ترمی «طراحی سیستم‌های دیجیتال (ASIC, FPGA)» آذر ۱۴۰۰

### گروه چهارم

- ۱- مدت آزمون ۱۱۰ دقیقه است.
- ۲- توضیحات برنامه خود را فراموش نکنید.
- ۳- برای مدار خود نمودار جعبه سیاه رسم کنید.
- ۴- هرگاه از مدل FSM استفاده می‌کنید حتما دیاگرام حالت آن را نیز ترسیم کنید.
- ۵- پاسخها کاملا واضح و خوانا باشند.
- ۶- آزمون متن باز است.
- ۷- هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل کنید. **لذا در طول آزمون سوال نفرمایید.**
- ۸- **تا قبل از اتمام مهلت آزمون** تمام عکسها از پاسخنامه خود را باید (فقط به خصوصی بنده) ارسال کرده باشید؛ حالا تمام عکسها را داخل یک فایل pdf قرار داده و آن را به خصوصی بنده ارسال کنید. این فایل pdf اشکالی ندارد که بعد از اتمام مهلت آزمون ارسال شود اما در اولین فرصت ممکن ارسال شود.
- ۹- می‌توانید تنها فایل pdf را ارسال کنید اما باید حتما قبل از اتمام مهلت آزمون باشد.
- ۱۰- کیفیت فایل pdf حتما باید مناسب و جهت متن آن از بالا به پایین باشد تا بررسی آن راحت باشد.
- ۱۱- **پاسخهای مشابه مشمول کسر یا حذف نمره می‌شوند.**

- ۱- الف) یک JKFF را به کمک یک PROM پیاده‌سازی کنید.
- ب) برای پیاده‌سازی کاربردهای زیر شما CPLD را مناسبتر میدانید یا FPGA را؟ چرا؟
  - پیاده‌سازی پروتکل انتقال سریال داده SPI
  - پیاده‌سازی الگوریتم سری فوریه برای محاسبه ضرایب سری فوریه یک سیگنال ورودی
- ۲- الف) اندازه‌ی یک PROM برای پیاده‌سازی هر یک از توابع زیر را تعیین کنید **(با توضیح کافی)**.
  - (۱) یک ضرب کننده دودویی که دو عدد ورودی چهار بیتی را در هم ضرب می‌کند،
  - (۲) یک مالتی پلکسر ۸ به ۱ دوتایی با ورودی‌های انتخاب مشترک،ب) یک ضرب کننده دو عدد دوبیتی را روی یک PROM پیاده‌سازی کنید.
- ۳- مدار یک شیفت رجیستر عام (با پارامتر M) در زیر نشان داده شده است. این مدار دارای ورودی‌های تک بیتی  $clk$ ،  $x$ ،  $load$ ، خروجی تک بیتی  $y$  و نیز ورودی  $M$ -بیتی  $d$  (شامل بیت‌های  $d(0)$  تا  $d(M-1)$ ) است. کد VHDL این مدار را برای  $M=4$  و با استفاده از مدل کدنویسی ساختاری بنویسید (تا جایی که می‌توانید کد خود را منعطف بنویسید؛ یعنی طوری که بتوان با تغییر مقدار  $M$ ، کد VHDL را به راحتی مجدداً به کار گرفت).

