

دانشگاه صنعتی شاهرود

دانشکده مهندسی برق

آزمون مجازی- درون ترمی «طراحی سیستم‌های دیجیتال (ASIC, FPGA)» آذر ۱۴۰۰

گروه پنجم

- ۱- مدت آزمون ۱۱۰ دقیقه است.
- ۲- توضیحات برنامه خود را فراموش نکنید.
- ۳- برای مدار خود نمودار جعبه سیاه رسم کنید.
- ۴- هرگاه از مدل FSM استفاده می‌کنید حتما دیاگرام حالت آن را نیز ترسیم کنید.
- ۵- پاسخها کاملا واضح و خوانا باشند.
- ۶- آزمون متن باز است.
- ۷- هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل کنید. **لذا در طول آزمون سوال نفرمایید.**
- ۸- **تا قبل از اتمام مهلت آزمون** تمام عکسها از پاسخنامه خود را باید (فقط به خصوصی بنده) ارسال کرده باشید؛ حالا تمام عکسها را داخل یک فایل pdf قرار داده و آن را به خصوصی بنده ارسال کنید. این فایل pdf اشکالی ندارد که بعد از اتمام مهلت آزمون ارسال شود اما در اولین فرصت ممکن ارسال شود.
- ۹- می‌توانید تنها فایل pdf را ارسال کنید اما باید حتما قبل از اتمام مهلت آزمون باشد.
- ۱۰- کیفیت فایل pdf حتما باید مناسب و جهت متن آن از بالا به پایین باشد تا بررسی آن راحت باشد.
- ۱۱- **پاسخهای مشابه مشمول کسر یا حذف نمره می‌شوند.**

- ۱- الف) یک JKFF را به کمک یک PLA پیاده‌سازی کنید.
ب) برای پیاده‌سازی کاربردهای زیر شما CPLD را مناسبتر میدانید یا FPGA را؟ چرا؟
 - پیاده‌سازی پروتکل انتقال سریال داده RS485
 - پیاده‌سازی الگوریتم محاسبه دترمینان یک ماتریس
- ۲- الف) سه تکنیک مدل‌سازی برای نوشتن یک معماری را نام برده و هرکدام را توضیح دهید.
ب) محل اعلان سیگنال، متغیر، و کامپوننت کجاست؟
ج) یک کد VHDL برای پیاده‌سازی تابع $F = A'.B'.C + A.B$ یک بار به کمک فقط دستور تخصیص همزمان سیگنال، یک بار به کمک فقط دستور تخصیص شرطی سیگنال، یک بار به کمک فقط دستور تخصیص انتخاب شده‌ی سیگنال، و یک بار هم به کمک فقط دستور فرآیند بنویسید (در همه این کدها، فقط بخش معماری را بنویسید).
د) سه دستور ترتیبی نام ببرید. از بین این سه دستور، دو دستور را انتخاب و به کمک هر کدام از آنها یک مالتی پلکسر ۸-به-۱ با ورودی فعال‌ساز (CE) را پیاده‌سازی کنید (در همه این کدها، فقط بخش معماری را بنویسید).
- ۳- برای محاسبه متمم ۲ یک عدد باینری (یا دودویی) N-بیتی یک روش این است که از بیت کم‌ارزش عدد شروع کرده تمام صفرهای متوالی و اولین ۱ را عینا نوشته و پس از آن تمام بیت‌ها را معکوس کنیم (تا این که به بیت N-ام برسیم و کار تمام بشود). در این سوال از شما می‌خواهیم به کمک ماشین حالت محدود (FSM) کد VHDL مربوط به مداری سنکرون (دارای سیگنال ورودی کلاک Clock) که یک ورودی تک بیتی به نام DATA، یک ورودی سنکرون ریست RST، یک خروجی تک‌بیتی به نام CMPL2، و یک خروجی تک‌بیتی به نام Flag دارد را بنویسید. وظیفه‌ی این مدار محاسبه‌ی متمم ۲

عدد باینری ورودی است؛ بیت‌های این عدد به صورت سری (با هر لبه‌ی بالارونده‌ی کلاک، یک بیت) وارد ورودی DATA شده و بیت‌های عدد خروجی (یعنی همان حاصل متمم ۲ عدد ورودی) به صورت سری از طریق پورت خروجی CMPL2 خارج می‌شوند (با هر لبه‌ی بالارونده‌ی کلاک، یک بیت خارج می‌شود). هر زمان کار محاسبه‌ی متمم ۲ به پایان برسد مقدار ۱ در خروجی Flag تولید می‌شود و گرنه مقدار صفر باید ارسال شود. هر زمان ریست فعال شود، خروجی صفر شده و مدار به حالت شروع برمی‌گردد (یعنی گویا بیت‌های عدد ورودی از ابتدا قرار است وارد شوند).

کد VHDL خودتان را تا جایی که می‌توانید به صورت منعطف بنویسید. یعنی اگر مقدار N را تغییر دادیم کد شما تا حد امکان نیاز به تغییر دیگری نداشته باشد.

در قدم اول ابتدا دیاگرام حالت مدار را رسم کنید. حالا در قدم بعدی، کد VHDL مربوط به این دیاگرام حالت را بنویسید. نمودار جعبه‌ی سیاه مدار فراموش نشود. توضیحات مناسب داده شود؛ کدتان خوانا، منظم و تمیز نوشته شود.