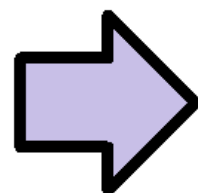
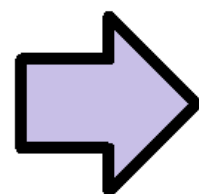
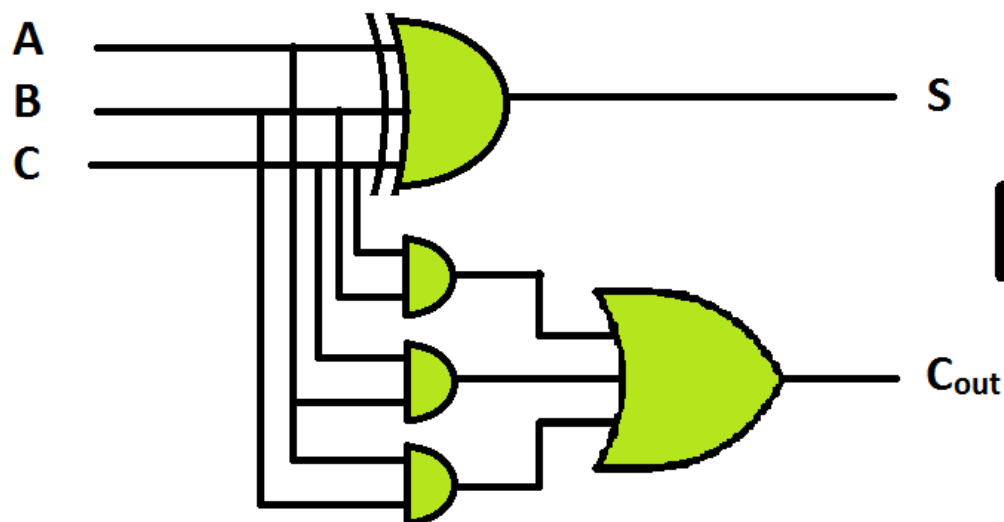


دانشگاه صنعتی شاهرود  
دانشکده برق  
درس طراحی سیستمهای دیجیتال  
هادی گرایلو

برخی مفاهیم پایه ای و اساسی در VHDL و  
توصیف سخت افزار در این زبان



۱. موجودیت Entity



۲. معماری Architecture

هر کتابخانه شامل تعدادی بسته است

تعریف نوع  
تعریف عملگر  
.....

۳. کتابخانه Library

\* کتابخانه ها متشکل از مجموعه ای مفید از تعاریف توابع، عملگرها، انواع، و ... هستند که به ما در پیاده سازی/توصیف راحت تر و سریع تر مدارمان کمک می کنند.

همان طور که در دنیای واقعی کتابخانه ها شامل چند قفسه از کتابها هستند، در VHDL نیز هر کتابخانه متشکل از تعدادی «بسته» (Package) است. هر بسته شامل بخشی از تعاریف مزبور است

\* برخی بسته های به طور پیش فرض در VHDL استاندارد شناخته شده هستند اما بقیه را ما باید در کد خودمان استفاده و به کامپایلر اعلام کنیم.

\* کتابخانه ها دو نوع استاندارد و غیراستاندارد (تجاری) دارند. کتابخانه های استاندارد مربوط به موسسه IEEE است. کتابخانه های غیراستاندارد محصول شرکتهای تجاری معروفی چون Kodak است که جذابیت و سودمندی دارند اما به هر دلیل، تحت استاندارد IEEE قرار نگرفته اند. ما «ترجیحاً» باید سعی کنیم از کتابخانه های استاندارد استفاده کنیم.

\* بعدها خواهیم آموخت که خودمان هم می توانیم بسته هایی را تعریف و استفاده کنیم.

\* از جمله فواید کتابخانه ها، ماژولارسازی کدنویسی، قابلیت استفاده مجدد از کدها، افزایش خوانایی کد، به اشتراک گذاری ماژولها، و فشرده سازی کد است.

# ۱. مفهوم «نوع» (Type) (در حالت تک سیم)



یک تکه سیم حامل  
سطوح ولتاژی منطقی

در VHDL به چنین

ابزاری، یک شیء گفته  
می شود.

دو نمونه شیء

سیگنال (Signal)

متغیر (Variable)

تعبیر مقادیر منطقی



{ 1  
0



نوع Bit

تعبیر مقادیر منطقی



{ 0  
1  
HZ  
X  
:



نوع Std\_Logic

تعبیر مقادیر منطقی

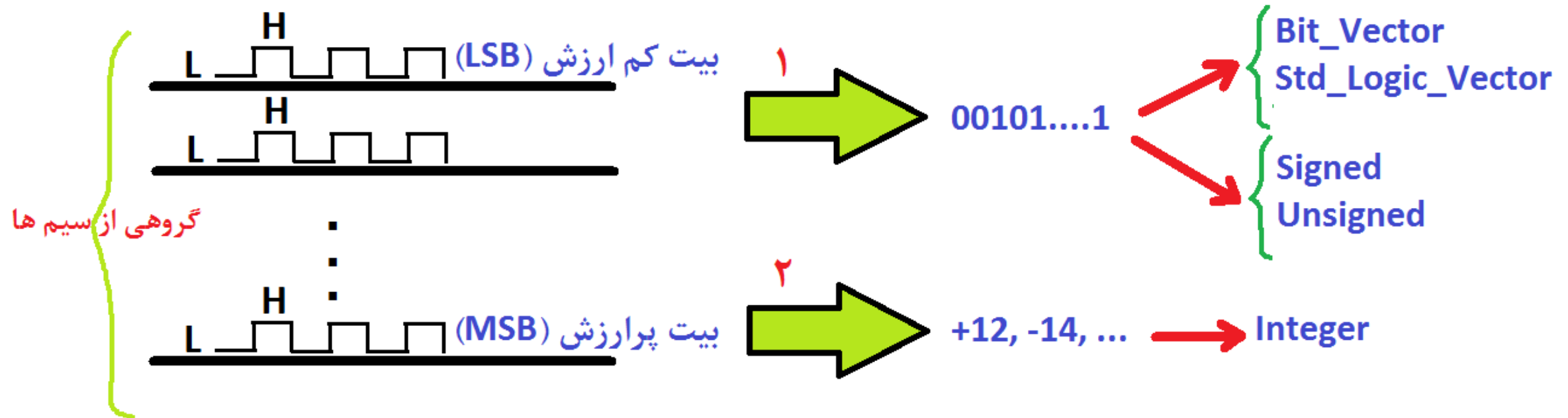


{ True (1)  
False (0)



نوع Boolean

## ۲. مفهوم گذرگاه/گروه (ادامه مفهوم نوع) Bundle / Bus



Bit\_Vector(0 to N)  
Bit\_Vector(N downto 0)

Signed(0 to N)  
Signed(N downto 0)

Std\_Logic\_Vector(0 to N)  
Std\_Logic\_Vector(N downto 0)

Unsigned(0 to N)  
Unsigned(N downto 0)

\* دو نوع محیط کدنویسی در VHDL عبارتند از: محیط کد همزمان (Concurrent) و محیط کد ترتیبی (Sequential).

\* به همین ترتیب دو نوع دستورات/عبارات در VHDL وجود دارد: دستورات همزمان و دستورات ترتیبی.

\* محیط پیش فرض در VHDL، محیط همزمان است مگر از فرآیند (Process) استفاده شود.

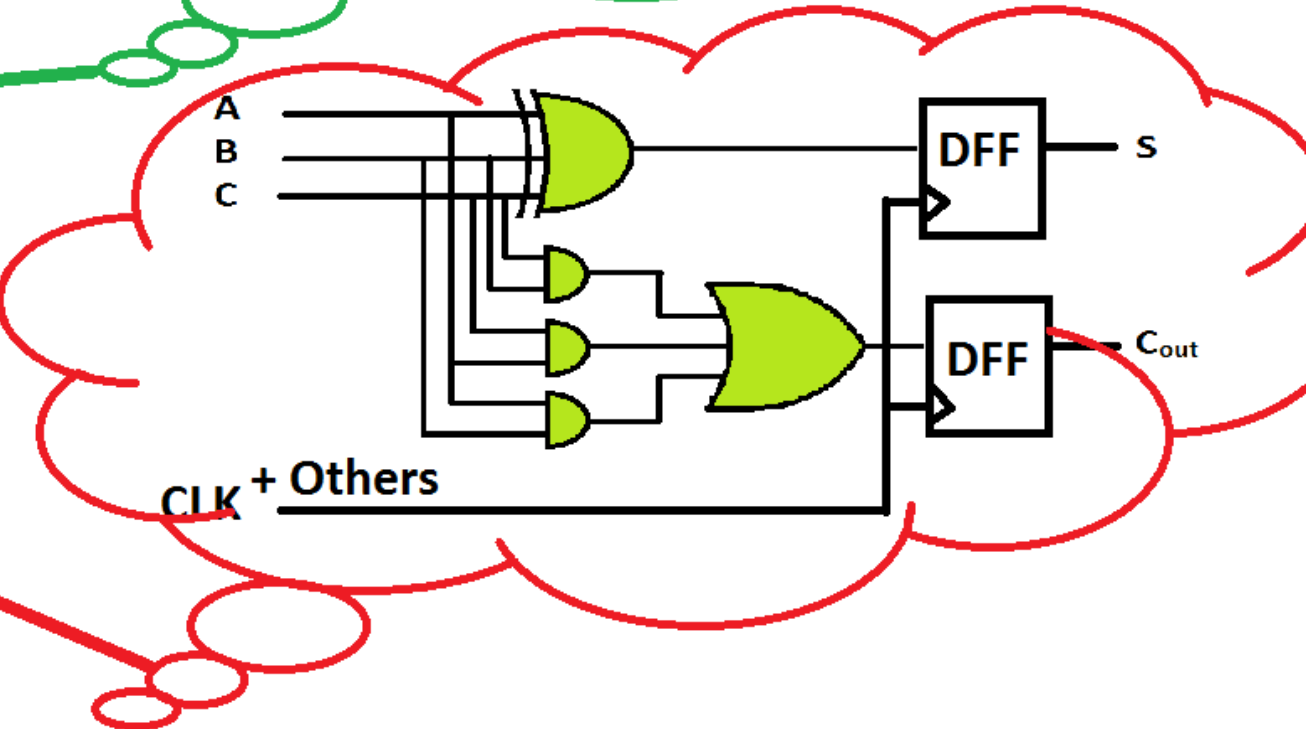
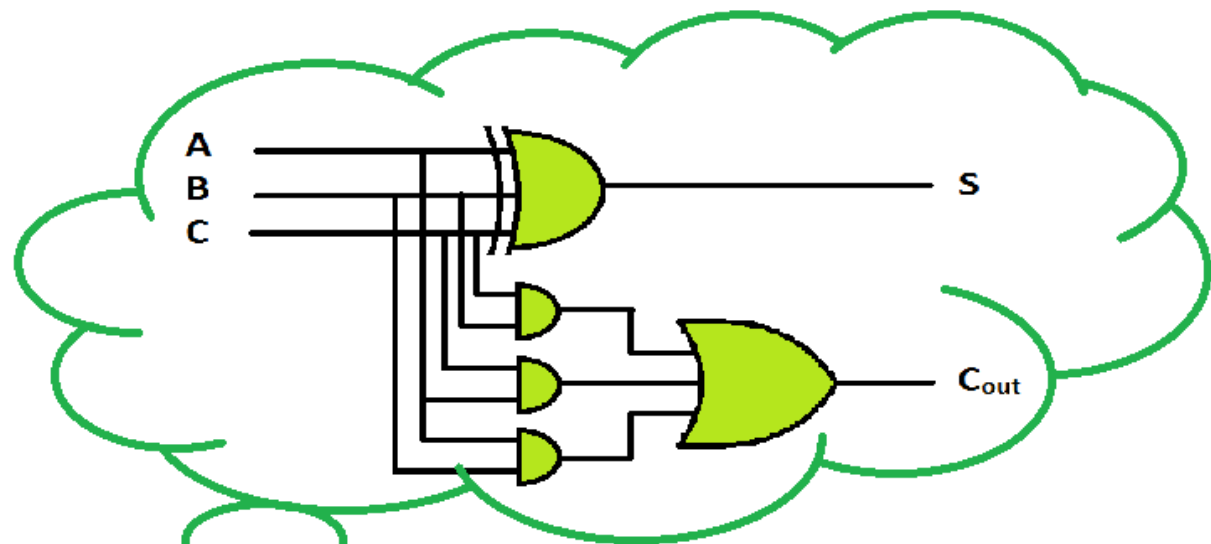
\* در محیط داخل فرآیند، دستورات از نوع ترتیبی هستند (چه تفاوتی با محیط بیرونی دارند؟).

\* کل بدنه فرآیند به منزله یک دستور/عبارت «همزمان» است که به موازات تمام دستورات بیرونی خود اجرا می شود.

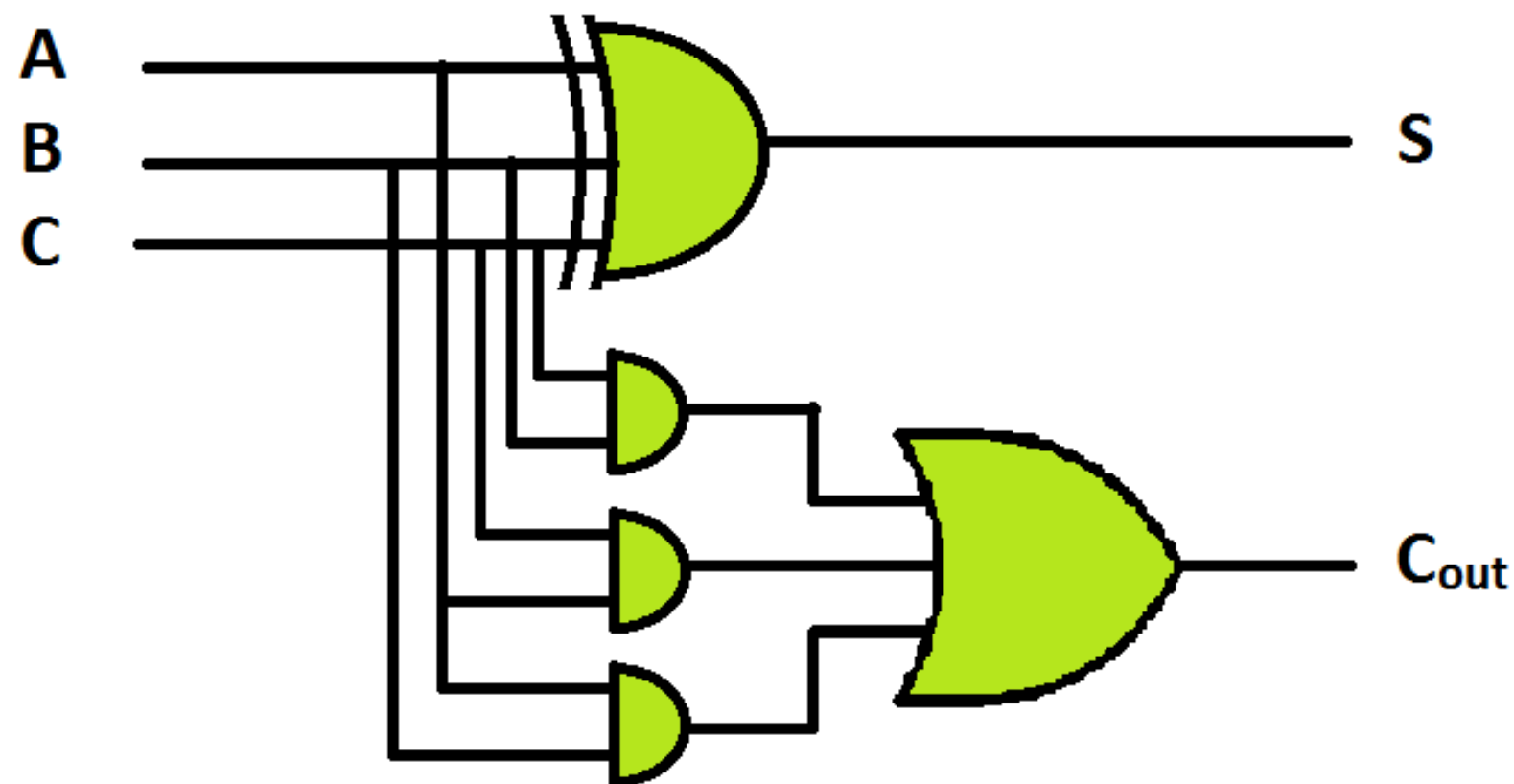
\* محل تعریف سیگنال در بخش اعلان معماری اما محل تعریف متغیر در داخل یک محیط ترتیبی به ویژه فرآیند است.

\* تخصیص روی یک متغیر (که طبعا در یک محیط ترتیبی انجام می شود) آنی است (یعنی چه؟) اما تخصیص روی یک سیگنال در همین محیط، معوقه است (یعنی چه؟)

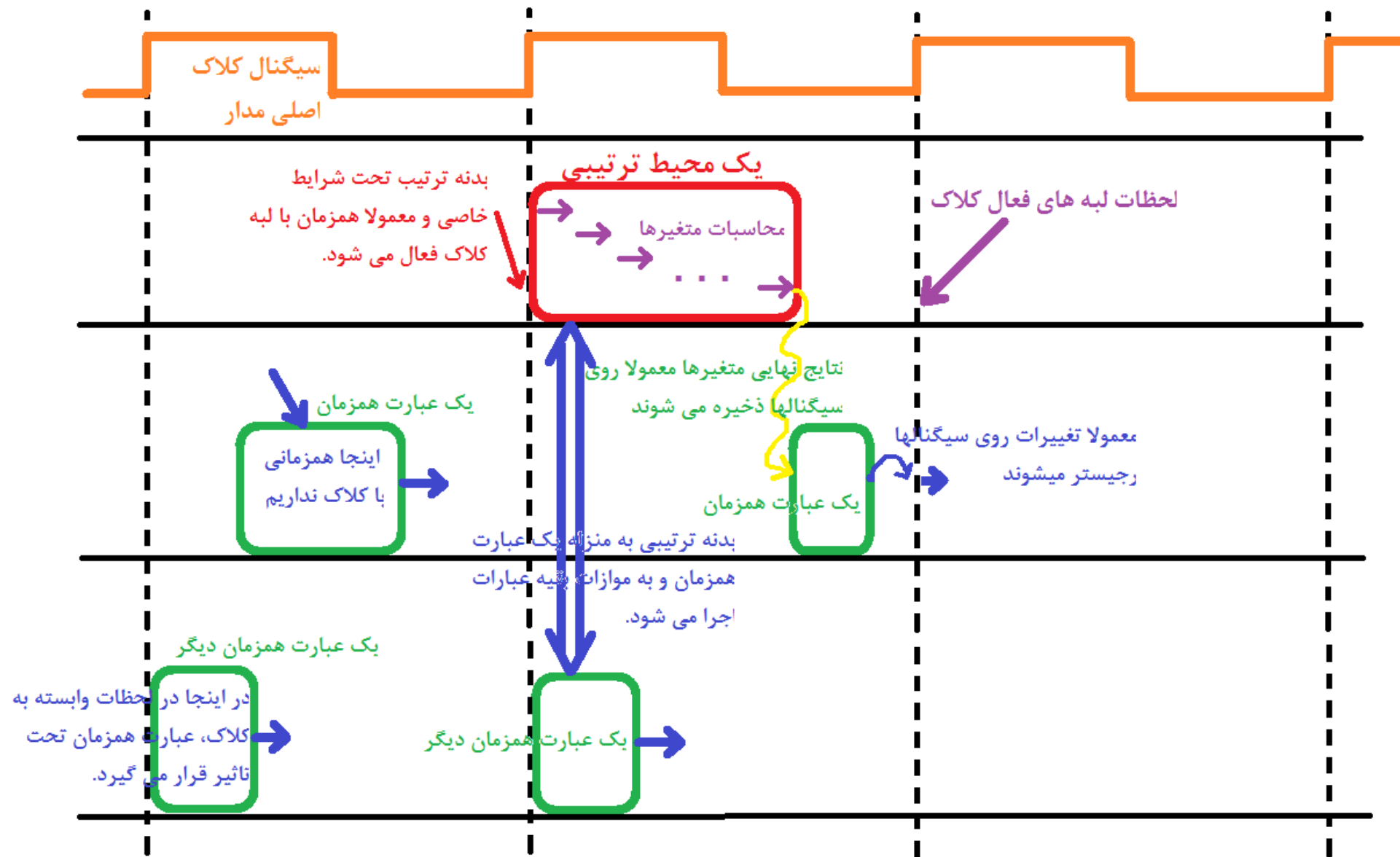
\* عملگر تخصیص سیگنال و متغیر متفاوت است.



ذات سخت افزار، عملکرد موازی است. پس ذات و پیش فرض  
زبانهای HDL (از جمله VHDL) هم محیط کدنویسی «همزمان» است







ماکزیمم فرکانس کاری مدار تحت تاثیر کدام عامل است؟  
چه کنیم فرکانس کاری مدار افزایش یابد؟

- \* اگر داخل فرآیند چند تخصیص روی یک سیگنال انجام شود، فقط آخرین تخصیص موثر است.
- \* داخل محیط همزمان متغیر وجود و اعتبار ندارد. اما سیگنال داخل محیط ترتیبی قابل استفاده است.
- \* داخل محیط همزمان روی هر سیگنال تنها یک بار میتوان تخصیص انجام داد (چرا؟).
- \* تعریف هر سیگنال منجر به ایجاد معادل فیزیکی/مداری خود می شود اما در مورد متغیر لزوماً این طور نیست.

- \* به هر مدار با پورتهای مشخص، یک ماژول (Module) هم گفته می شود؛ به ویژه در کدنویسی با مدل ساختاری (چهار نوع مدل کدنویسی داریم: جریان داده، رفتاری، ساختاری، ترکیبی).
- \* پورتهای هر مدار/ماژول همیشه از جنس سیگنال هستند (اما نوع آنها می تواند دلخواه ما باشد مثلاً std\_logic یا bit یا integer یا ...).