

دانشگاه صنعتی شاهرود

دانشکده مهندسی برق

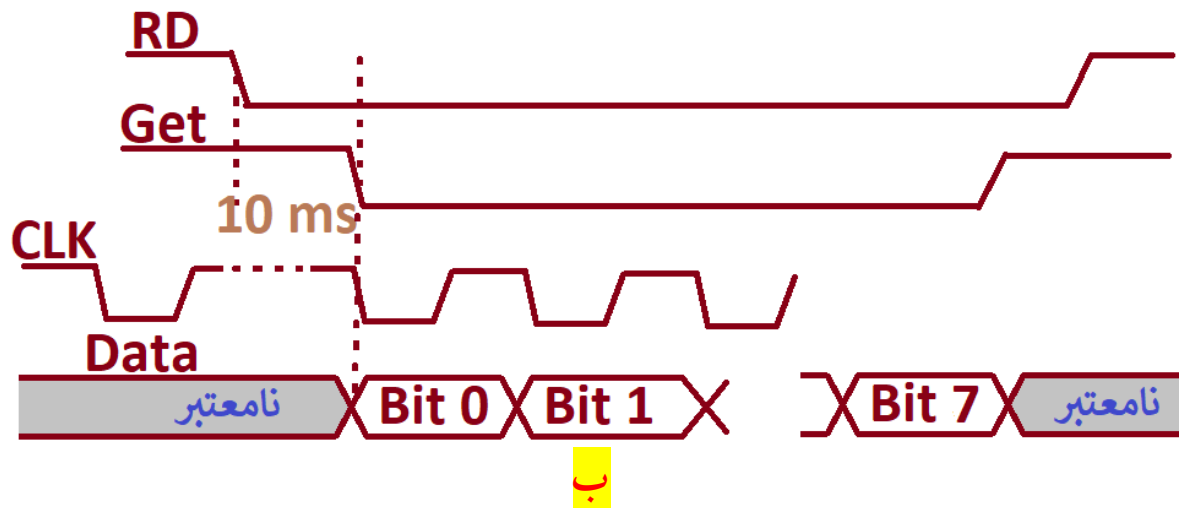
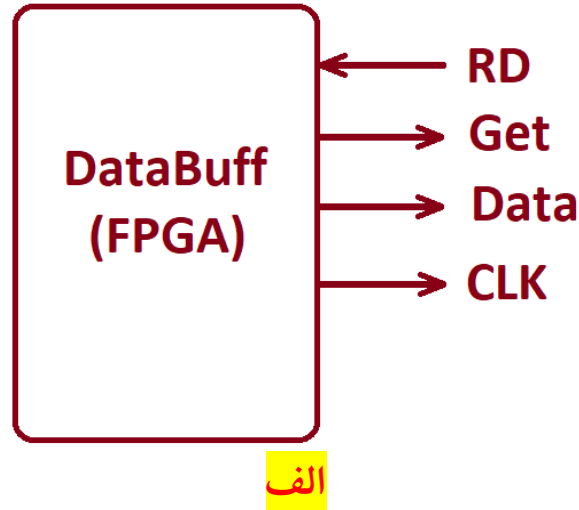
آزمون پایان ترم «طراحی سیستم‌های دیجیتال (ASIC, FPGA)» دی‌ماه ۱۴۰۰

- ۱- مدت آزمون ۱۲۰ دقیقه است.
- ۲- توضیحات برنامه خود را فراموش نکنید.
- ۳- برای مدار خود نمودار جعبه سیاه رسم کنید.
- ۴- هرگاه از مدل FSM استفاده می‌کنید حتما دیاگرام حالت آن را نیز ترسیم کنید.
- ۵- پاسخها کاملا واضح و خوانا باشند.
- ۶- آزمون متن باز است.
- ۷- هر ابهامی بود خودتان فرض مناسبی را در نظر گرفته و مساله را حل کنید. **لذا در طول آزمون سوال نفرمایید.**
- ۸- **تا قبل از اتمام مهلت آزمون** تمام عکسها از پاسخنامه خود را باید (فقط به خصوصی بنده) ارسال کرده باشید؛ حالا تمام عکسها را داخل یک فایل pdf قرار داده و آن را به خصوصی بنده ارسال کنید. این فایل pdf اشکالی ندارد که بعد از اتمام مهلت آزمون ارسال شود اما در اولین فرصت ممکن ارسال شود.
- ۹- می‌توانید تنها فایل pdf را ارسال کنید اما باید حتما قبل از اتمام مهلت آزمون باشد.
- ۱۰- کیفیت فایل pdf حتما باید مناسب و جهت متن آن از بالا به پایین باشد تا بررسی آن راحت باشد.
- ۱۱- **پاسخهای مشابه مشمول کسر یا حذف نمره می‌شوند.**

لطفا به تمام نکات بالا توجه کنید

- ۱- می‌خواهیم مداری روی FPGA طراحی و پیاده‌سازی کنیم که مطابق با شکل (الف) دارای چهار پورت یک بیتی RD، Data، Get و CLK است. غیر از پورت RD، بقیه‌ی پورتها از جمله کلاک CLK خروجی بوده و توسط مدار ما کنترل می‌شوند. فرض کنید سیگنال کلاک (CLK) مدار ما دارای فرکانس 100MHz باشد. مدار ما برای ارسال اطلاعات ذخیره شده در بافر ۸-بیتی DataBuf (شکل الف) به صورت سریال (از طریق پورت خروجی Data) به یک مدار بیرونی فرضی است. برای این که این اطلاعات به بیرون منتقل شود مراحل زیر باید به ترتیب انجام شود:
- ابتدا مدار در حالت «انتظار» بوده و RD=1 (یعنی مدار بیرونی کاری ندارد) و Get=1 (یعنی مدار ما منتظر) است.
- اگر پورت ورودی RD (توسط مدار بیرونی) مقدار صفر بگیرد، یعنی این که مدار ما «آماده‌ی» انجام کارهای مربوط به ارسال اطلاعات باشد. مدار بیرونی باید در تمام مدت عملیات ارسال اطلاعات این سیگنال را در سطح صفر نگه دارد (شکل ب).
- مدار ما باید حداقل ۱۰ میلی‌ثانیه صبر کند (همچنان در حالت «آماده» هستیم).
- حالا با گذشت حداقل ۱۰ میلی‌ثانیه، مرحله‌ی «ارسال» شروع می‌شود. در این مرحله، مطابق با شکل ب، با اولین لبه‌ی پایین‌رونده‌ی کلاک پورت/سیگنال خروجی Get مقدار صفر به خود گرفته و همزمان، اولین بیت اطلاعات از طریق پورت خروجی Data خارج/ارسال می‌شود. این بیت، بیت LSB (کم‌ارزش‌ترین بیت) است که با شماره‌ی صفر مشخص شده است. به همین ترتیب، با لبه‌های پایین‌رونده‌ی بعدی، بیت‌های بعدی ارسال می‌شوند تا این که تمام ۸ بیت ارسال شده و حالا با لبه‌ی پایین‌رونده‌ی بعدی کلاک، پورت خروجی Get دوباره به سطح/مقدار ۱ برمی‌گردد.
- حالا (مطابق با شکل ب) مدار بیرونی نیز می‌تواند سیگنال RD را به سطح/مقدار ۱ برگرداند.
- مدار ما مجدداً وارد حالت «انتظار» می‌شود.
- توجه: اگر سیگنال RD زود هنگام مقدار ۱ به خود بگیرد، مدار باید به حالت اولیه‌ی انتظار برگردد.

مدار فوق را به زبان VHDL و به کمک یک FSM (ماشین حالت محدود) توصیف کنید. **راهنمایی:** اگر بخواهید می‌توانید سه حالت «انتظار»، «آماده» و «ارسال» را برای FSM خود تعریف کنید. حالا در هر حالت، کارهای گفته شده را انجام دهید. به رعایت زمان‌بندی‌های گفته شده در بالا که در شکل (ب) نیز مشخص شده است، دقت داشته باشید.



۲- با نوشتن یک تابع در بسته (Package) و نشان دادن نحوه‌ی استفاده از این تابع در داخل یک کد VHDL، عملگر تفریق (-) را برای نوع STD_LOGIC_VECTOR سربارگذاری کنید.

۳- مدار نشان داده شده در شکل زیر یک شیفت‌رجیستر ۴-بیتی با قابلیت بارگذاری موازی را نشان می‌دهد. به کمک کدنویسی مدل ساختاری (یعنی نمونه‌سازی کامپوننت‌ها) و استفاده از روش ۳ (method 3) گفته شده در کتاب (یعنی استفاده از بسته برای اعلان کامپوننت‌ها) مدار مشابهی را در حالت کلی N-بیتی به زبان VHDL توصیف کنید (**یعنی یک کد عام Generic**) بنویسید که بتواند مدار شکل زیر را در حالت دلخواه N-بیتی به راحتی پیاده‌سازی کند). **راهنمایی:** همان طور که می‌دانید در کدنویسی مدل ساختاری، باید مدار اصلی را به تعدادی زیرمدار (یا همان کامپوننت) تجزیه کنید.

