

شکل ۲-۱۳ خازن یک ترانزیستور MOS

۲-۴ اثرات غیرایده‌آل نمودار I-V

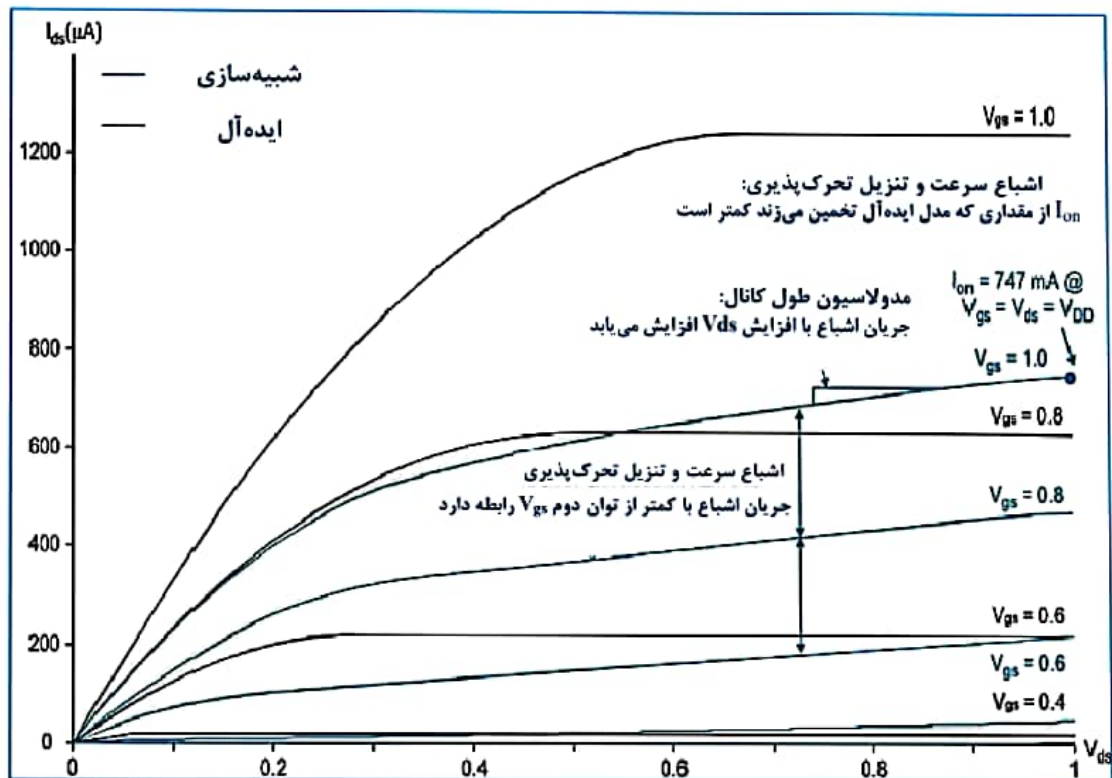
مدل I-V کانال بلند رابطه ۲-۱۰، از بسیاری از اثراتی که در ترانزیستورهایی با طول کانال کوچک‌تر از ۱ میکرون مهم است صرف‌نظر می‌کند. این بخش اثراتی را که برای طراحان مهم‌اند را خلاصه می‌کند و هریک را با جزئیاتی بیشتر مورد بررسی قرار می‌دهد.

شکل ۲-۱۴ مشخصه‌های I-V شبیه‌سازی شده یک ترانزیستور nMOS با عرض ۱ میکرون را در فرایند ۶۵ نانومتری و مشخصه‌های ایده‌آل محاسبه شده در بخش ۲-۲ را با هم مقایسه می‌کند. همان‌گونه که از شکل پیداست افزایش جریان اشباع با توان دوم V_{gs} رابطه ندارد؛ بلکه کمتر از آن است. این پدیده دو دلیل عمده دارد: اشباع سرعت^۱ و تنزیل قابلیت تحرک^۲. در میدان افقی بزرگ $(\frac{V_{ds}}{L})$ سرعت حامل‌ها به صورت خطی با افزایش قدرت میدان افزایش نمی‌یابد. این پدیده را اشباع سرعت می‌نامند و سبب می‌شود تا مقدار I_{ds} از مقدار مورد انتظار در مقادیر بزرگ V_{ds} پایین‌تر باشد. در میدان عمودی بزرگ $(\frac{V_{gs}}{t_{ox}})$ برخورد حامل‌ها با سطح اکسید به کاهش قابلیت تحرک آن‌ها منجر می‌شود. تنزیل قابلیت تحرک سبب می‌شود که مقدار جریان از مقدار مورد انتظار در V_{gs} ‌های بزرگ کمتر باشد. جریان اشباع ترانزیستور غیرایده‌آل با افزایش V_{ds} تا حدی بالایی رود. این امر به

^۱ Velocity saturation

^۲ Mobility degradation

دلیل اثر مدولاسیون طول کانال^۱ به وجود می‌آید که در آن افزایش V_{ds} سبب افزایش ناحیه تخلیه در اطراف درین می‌شود که کوتاه‌شدن طول مؤثر کانال را به دنبال داشته و سبب افزایش جریان می‌شود.



شکل ۲-۱۴ مشخصه‌های I - V ایده‌آل و شبیه‌سازی شده

ولتاژ آستانه، مقدار ولتاژی که باید به گیت اعمال شود تا کانال وارون‌شود را تعیین می‌کند. از جمله عوامل مهم در تعیین مقدار ولتاژ آستانه ضخامت اکسید و غلظت ناخالصی در کانال است، اما میدان‌های دیگر موجود در ترانزیستور نیز اثراتی روی کانال دارند که سبب جابه‌جاشدن مقدار ولتاژ آستانه می‌شوند. افزایش پتانسیل میان سورس و بدنه از طریق اثری به نام اثر بدنه^۲ افزایش ولتاژ آستانه را باعث می‌شود. از سوی دیگر، افزایش ولتاژ درین به واسطه اثر کاهش سد ناشی از ولتاژ

^۱ Channel length modulation

^۲ Body effect

درین^۱ ولتاژ آستانه را پایین می‌آورد. افزایش طول کانال از طریق اثر کانال کوتاه^۲ ولتاژ آستانه را افزایش می‌دهد.

منشأهای متعدد نشتی سبب می‌شوند که جریان‌هایی در ترانزیستورهای خاموش نیز برقرار باشند. هنگامی که $V_{gs} < V_t$ است، جریان به جای کاهش ناگهانی به صفر به صورت نمایی کاهش می‌یابد. این جریان را جریان زیر آستانه^۳ می‌نامند. جریان عبوری از گیت ترانزیستور در حالت ایده‌آل برابر صفر است، اما با کاهش ضخامت اکسید گیت به چندین لایه اتمی، الکترون‌ها از میان گیت، تونلی ایجاد کرده و جریانی به نام جریان نشتی گیت^۴ یا جریان تونلینگ را به وجود می‌آورند. در محل نفوذهای درین و سورس با بدنه، دیودهایی تشکیل شده که به صورت معکوس بایاس می‌شوند. این دیودها جریان نشتی پیوندی^۵ را سبب می‌شوند.

هر دو قابلیت تحرک و ولتاژ آستانه، با افزایش دما کاهش می‌یابند. کاهش قابلیت تحرک برای ترانزیستورهای به طور کامل روشن بر کاهش ولتاژ آستانه غالب است که این امر به کاهش I_{ds} در دمای بالا منجر می‌شود. کاهش ولتاژ آستانه در دمای بالا در ترانزیستورهای خاموش مهم بوده که افزایش جریان نشتی در دمای بالا را به دنبال دارد. به طور کلی، مشخصه‌های MOS با دما بدتر می‌شوند.

درک کمی اثرات غیرایده‌آل برای پیش‌بینی تأثیر آن‌ها بر رفتار مدار و پیش‌بینی تغییر ترانزیستورها در نسل‌های بعدی می‌تواند مفید باشد. اما اثرات، مشخصه‌های $I-V$ پیچیده‌ای را سبب شده که اعمال مستقیم آن‌ها در محاسبات دستی سخت است.

^۱ drain-induced barrier lowering

^۲ Short channel effect

^۳ Subthreshold conduction

^۴ Gate leakage current

^۵ Junction leakage current

۲-۴-۱- تنزیل قابلیت تحرک و اشباع سرعت

از رابطه (۲-۳) به یاد دارید که سرعت حرکت حامل‌ها و بنابراین جریان با میدان الکتریکی افقی $E_{lat} = \frac{V_{ds}}{L}$ میان سورس و درین متناسب است. ثابت این تناسب قابلیت تحرک حامل μ می‌باشد. در مدل کانال بلند فرض می‌شود قابلیت تحرک حامل از میدان‌های اعمال‌شده مستقل است. برای میدان‌های کوچک این تقریب، خوب است، اما هنگامی که میدان‌های افقی و عمومی بزرگ باشند این تقریب خطای زیادی خواهد داشت.

تنزیل قابلیت تحرک با جایگزینی μ با مقدار کوچک‌تری μ_{eff} که تابعی از V_{gs} است می‌تواند مدل‌شود. یک مدل عمومی که با داده‌های تجربی از چندین فرایند به‌دست‌آمده منطبق است به‌صورت رابطه زیر می‌باشد:

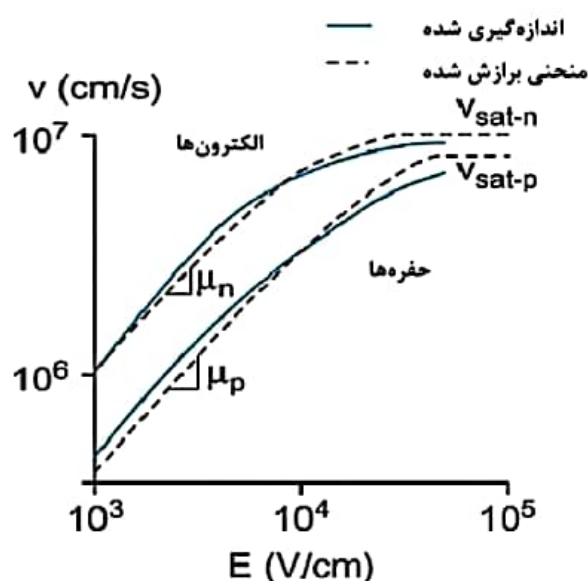
$$\mu_{eff-n} = \frac{540 \frac{cm^2}{V.s}}{1 + \left(\frac{V_{gs} + V_t}{0.54 \frac{V}{nm} t_{ox}} \right)^{1.85}}, \quad \mu_{eff-p} = \frac{185 \frac{cm^2}{V.s}}{1 + \frac{|V_{gs} + 1.5V_t|}{0.338 \frac{V}{nm} t_{ox}}} \quad (2-23)$$

مثال ۲-۳: قابلیت تحرک مؤثر ترانزیستورهای nMOS و pMOS زمانی که به‌طور کامل روشن هستند را محاسبه کنید (از پارامترهای فیزیکی مثال ۲-۱ استفاده کنید).

راه‌حل: فرض کنید که V_{gs} برابر ۱ ولت باشد. با جایگزینی $V_t = 0.3V$ و $t_{ox} = 1.05 nm$ در رابطه ۲-۲۳ اعداد زیر حاصل می‌شود:

$$\mu_{eff-n}(V_{gs} = 1) = 96 \frac{cm^2}{V}, \quad \mu_{eff-p}(V_{gs} = 1) = 36 \frac{cm^2}{V}$$

شکل ۲-۱۵ سرعت حامل را به‌عنوان تابعی از میدان الکتریکی، E ، میان سورس و درین نشان می‌دهد. در میدان‌های کوچک، سرعت به‌صورت خطی با میدان افزایش می‌یابد. شیب این نمودار قابلیت تحرک مؤثر μ_{eff} است. در میدان‌های بالای یک حد بحرانی، E_c ، سرعت به مقدار اشباع می‌شود که مقدار آن برای الکترون‌ها حدود $1.07 \frac{cm}{s}$ و برای حفره‌ها $1.06 \times 10^6 \frac{cm}{s}$ است. همان‌طور که در شکل مشخص است، سرعت می‌تواند با رابطه (۲-۲۴) تخمین زده‌شود.



۲-۱۵ سرعت حامل بر حسب میدان الکتریکی در دمای ۳۰۰ کلوین

$$v = \begin{cases} \frac{\mu_{eff} E}{1 + \frac{E}{E_c}} & E < E_c \\ v_{sat} & E \geq E_c \end{cases} \quad (2-24)$$

که میدان الکتریکی بحرانی برابر مقدار زیر است:

$$E_c = \frac{2v_{sat}}{\mu_{eff}} \quad (2-25)$$

ولتاژ بحرانی V_c ولتاژ درین سورسی است که در آن میدان مؤثر بحرانی به دست می آید:

$$V_c = E_c L$$

مثال ۲-۴: ولتاژ بحرانی برای ترانزیستورهای nMOS و pMOS به طور کامل روشن با استفاده از قابلیت تحرک مؤثر مثال ۲-۳ را به دست آورید.

راه حل: با استفاده از رابطه ۲-۲۵ به صورت زیر محاسبه می شوند:

$$V_{c-n} = \frac{2 \left(10^7 \frac{cm}{s} \right)}{96 \frac{cm^2}{V.s}} (5 \times 10^{-6} cm) = 1.04 V$$

$$V_{c-p} = \frac{2 \left(8 \times 10^6 \frac{cm}{s} \right)}{36 \frac{cm^2}{V.s}} (5 \times 10^{-6} cm) = 2.22 V$$

از آنجایی که V_{c-n} با V_{DD} قابل مقایسه است ترانزیستور nMOS در حالت نرمال دچار اشباع سرعت می‌شود. حفره‌ها، قابلیت تحرک پایینی داشته و بنابراین ترانزیستور pMOS زیاد دچار اشباع سرعت نمی‌شود.

استفاده از رابطه ۲-۲۴ جریان‌های خطی و اشباع را به صورت زیر حاصل می‌دهد.

(۲-۲۶)

$$I_{ds} = \begin{cases} \frac{\mu_{eff}}{1 + \frac{V_{ds}}{V_c}} C_{ox} \frac{W}{L} \left(V_{GT} - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} \quad \text{خطی} \\ C_{ox} W (V_{GT} - V_{dsat}) v_{sat} & V_{ds} > V_{dsat} \quad \text{اشباع} \end{cases}$$

توجه داشته باشید که μ_{eff} به دلیل تنزیل قابلیت تحرک تابعی کاهشی نسبت به V_{gs} است. همان‌گونه که مشخص است جریان در ناحیه خطی مشابه با رابطه ۲-۵ است فقط قابلیت تحرک با ضریبی متناسب با V_{ds} کاهش یافته است. در میدان‌های افقی به اندازه کافی بزرگ، جریان در مقداری که به سرعت بیشینه حامل‌ها وابسته است اشباع می‌شود. با مساوی قرار دادن دو بخش رابطه ۲-۲۶ در $V_{ds} = V_{dsat}$ و لتاژ اشباع به صورت زیر به دست می‌آید:

$$V_{dsat} = \frac{V_{GT} V_c}{V_{GT} + V_c} \quad (۲-۲۷)$$

با جایگذاری ۲-۲۷ در رابطه ۲-۲۶ عبارت ساده شده‌ای برای رابطه جریان اشباع بر حسب اشباع سرعت به صورت زیر به دست می‌آید:

$$I_{dsat} = W C_{ox} v_{sat} \frac{V_{GT}^2}{V_{GT} + V_c} \quad V_{ds} > V_{dsat} \quad (۲-۲۸)$$

اگر $V_{GT} \ll V_c$ اثرات اشباع سرعت قابل اغماز هستند و رابطه (۲-۲۸) به مدل درجه دوم کاهش می‌یابد. به این مدل، مدل کانال بلند می‌گویند، اما اگر $V_{GT} \gg V_c$ ، رابطه (۲-۲۸) به محدودیت اشباع سرعت نزدیک می‌شود که برابر است با:

$$I_{dsat} \approx W C_{ox} v_{sat} V_{GT} \quad V_{ds} > V_c \quad (۲-۲۹)$$

همان‌گونه که مشخص است در مدل کانال بلند جریان درین با مربع ولتاژ وابسته است و زمانی که سرعت اشباع می‌شود به صورت خطی با ولتاژ وابستگی دارد. برای ولتاژهای تغذیه متوسط، ترانزیستورها در ناحیه‌ای کار می‌کنند که سرعت نه خطی با میدان افزایش می‌یابد و نه سرعت به طور کامل اشباع می‌شود. مدل قانون توان α داده شده در رابطه ۲-۳۰ تقریبی ساده را برای مدل کردن این رفتار ارائه می‌کند. α را شاخص اشباع سرعت می‌گویند و با داده‌هایی که بر نمودار I-V منطبق‌اند تعیین می‌شود. ترانزیستورها با کانال‌های بلند یا V_{DD} پایین مشخصه‌های I-V به صورت توان دو از خود نشان می‌دهند و با $\alpha=2$ مدل می‌شوند. زمانی که ترانزیستورها به اشباع سرعت دچار می‌شوند افزایش V_{gs} روی جریان تأثیری کمتر خواهد داشت و α کاهش می‌یابد و برای ترانزیستورهایی که به طور کامل دچار اشباع سرعت شده‌اند α به مقدار ۱ می‌رسد. برای سادگی، مدل از یک خط مستقیم در ناحیه خطی استفاده می‌کند. در حالت کلی، مدل بر اساس سه پارامتر که به صورت تجربی از روی مشخصه‌های I-V قابل محاسبه است تعیین می‌شود که عبارت‌اند از α ، βP_c و P_v .

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{خاموش} \\ I_{dsat} \frac{V_{ds}}{V_{dsat}} & V_{ds} < V_{dsat} & \text{خطی} \\ I_{dsat} & V_{ds} > V_{dsat} & \text{اشباع} \end{cases} \quad (2-30)$$

که

$$I_{dsat} = P_c \frac{\beta}{2} V_{GT}^{\alpha} \quad (2-31)$$

$$V_{dsat} = P_v V_{GT}^{\frac{\alpha}{2}}$$

شکل ۲-۱۶ نتایج شبیه‌سازی را با مدل قانون α به ازای $\alpha=1/3$ مقایسه می‌کند. تطبیق برای V_{ds}

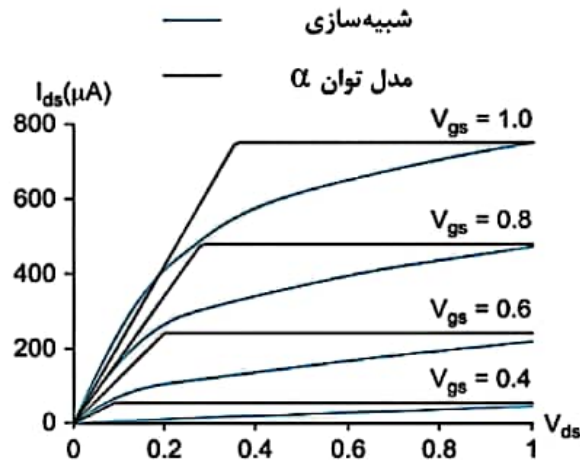
پایین کم است اما در $V_{ds}=V_{DD}$ شبیه‌سازی به صورتی مناسب با مدل α تطابق دارد.

قابلیت تحرک حفره‌ها در میدان کوچک بسیار کوچک‌تر از الکترون‌هاست، بنابراین برای مقدار

مشخص V_{DD} ترانزیستورهای pMOS اشباع سرعت کمتری را نسبت به ترانزیستورهای nMOS

تجربه می‌کنند. این سبب می‌شود که α برای ترانزیستورهای pMOS از ترانزیستورهای nMOS

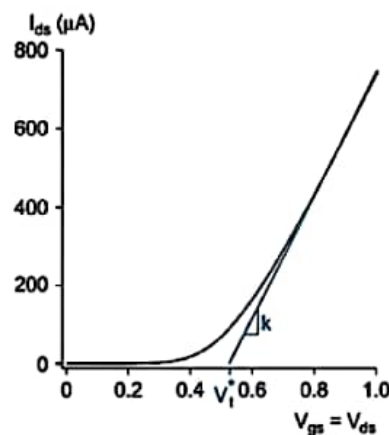
بزرگ‌تر باشد.


 شکل ۲-۱۶ مقایسه مدل توان α با رفتار ترانزیستور شبه‌سازی شده

این مدل‌ها برای محاسبات دستی بسیار پیچیده‌اند. راه‌حل ساده‌تر این است که در ترانزیستورهایی که دچار اشباع سرعت شده‌اند، I_{ds} به جای اینکه با مربع V_{gs} افزایش پیدا کند به صورت خطی با آن افزایش یابد. شکل ۲-۱۷ I_{ds} را بر حسب V_{gs} نشان می‌دهد ($V_{ds} = V_{gs}$). این معادل رسم I_{on} بر حسب V_{DD} است. زمانی که V_{gs} به صورت قابل توجهی بزرگ‌تر از V_t باشد، I_{ds} به خوبی بر یک خط مستقیم منطبق می‌شود، بنابراین جریان روشن را می‌توان به صورت زیر تخمین زد:

$$I_{ds} = k(V_{gs} - V_t^*) \quad (2-32)$$

که V_t^* طول از مبدأ است.


 شکل ۲-۱۷ I_{ds} بر حسب V_{gs} در ناحیه اشباع

۲-۴-۲ مدولاسیون طول کانال

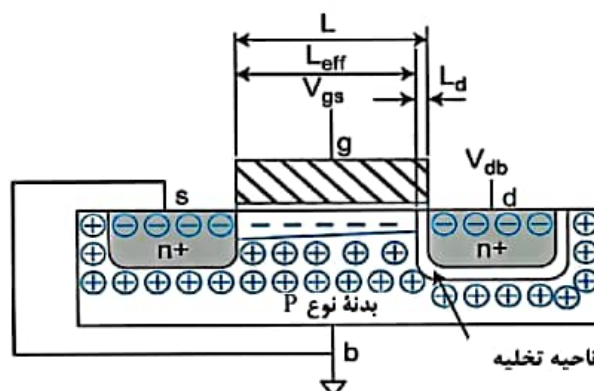
از آنجایی که در حالت ایده‌آل و در ناحیه اشباع، I_{ds} از V_{ds} مستقل است ترانزیستور یک منبع جریان مناسب محسوب می‌شود. پیوند p-n میان درین و بدنه، ناحیه تخلیه با عرض L_d را تشکیل می‌دهد که با مقدار V_{db} افزایش می‌یابد (مطابق شکل ۱۸-۲). ناحیه تخلیه به صورت مؤثری طول کانال را کوتاه می‌کند:

$$L_{eff} = L - L_d \quad (۳۳-۲)$$

برای ممانعت از وارد کردن ولتاژ بدنه در محاسبات فرض می‌شود که ولتاژ سورس به ولتاژ بدنه نزدیک است $(V_{db} \approx V_{ds})$ ؛ بنابراین افزایش V_{ds} طول مؤثر کانال را کاهش می‌دهد. طول کانال کوتاه‌تر به جریان بزرگ‌تر منجر می‌شود. همان‌گونه که در شکل ۱۸-۲ نمایش داده شده است I_{ds} در ناحیه اشباع با افزایش V_{ds} افزایش می‌یابد. این پدیده می‌تواند با ضرب رابطه ۱۰-۲ در ضریب $(1 + \frac{V_{ds}}{V_A})$ که V_A ولتاژ ارلی^۱ نامیده می‌شود مدل شود. در ناحیه اشباع رابطه زیر برقرار است:

$$I_{ds} = \frac{\beta}{2} V_{GT}^2 \left(1 + \frac{V_{ds}}{V_A} \right) \quad (۳۴-۲)$$

با کوتاه‌تر شدن کانال، اثر مدولاسیون طول کانال مهم‌تر می‌شود. V_A متناسب با طول کانال است. مدل مدولاسیون طول کانال یک ساده‌سازی از رفتار غیرخطی ترانزیستور است.



شکل ۱۸-۲ ناحیه تخلیه، طول مؤثر را کاهش می‌دهد

^۱ Early

مدولاسیون طول کانال برای طراحان آنالوگ بسیار مهم محسوب می‌شود، زیرا بهره تقویت‌کننده‌ها را پایین می‌آورد، اما در درک کیفی رفتار مدارهای دیجیتال زیاد مهم نیست.

۲-۴-۳ اثرات ولتاژ آستانه

تا این بخش از ولتاژ آستانه به عنوان عددی ثابت یاد شد، اما V_t با افزایش ولتاژ سورس افزایش، با افزایش ولتاژ بدنه کاهش، با افزایش ولتاژ درین کاهش و با افزایش طول کانال افزایش می‌یابند. این بخش هریک از این اثرات را مدل می‌کند.

۲-۴-۳-۱ اثر بدنه

در بخش‌های گذشته همیشه ترانزیستور به صورت عنصری سه پایه (گیت، سورس و درین) در نظر گرفته می‌شد، اما بدنه پایه چهارم ترانزیستور محسوب می‌شود. زمانی که ولتاژ V_{sb} میان بدنه و سورس بالارود، مقدار بار مورد نیاز برای وارون کردن کانال افزایش پیدا کرده، بنابراین ولتاژ آستانه افزایش می‌یابد. ولتاژ آستانه می‌تواند به صورت زیر مدل شود:

$$V_t = V_{t0} + \gamma(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}) \quad (2-35)$$

که V_{t0} ولتاژ آستانه را هنگامی که پتانسیل سورس و بدنه یکسان باشد نشان می‌دهد. ϕ_s پتانسیل سطحی در ولتاژ آستانه و γ ضریب اثر بدنه است که معمولاً در بازه 0.4 تا 1.2 تغییر می‌کند که خود به سطح ناخالصی کانال و N_A بستگی دارد.

$$\phi_s = 2v_T \ln \frac{N_A}{n_i} \quad (2-36)$$

$$\gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{si}N_A} = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}} \quad (2-37)$$

برای ولتاژهای کوچک سورس به بدنه رابطه ۲-۳۵ می‌تواند به صورت زیر خطی شود:

$$V_t = V_{t0} + k_\gamma V_{sb} \quad (2-38)$$

که

$$k_V = \frac{\gamma}{2\sqrt{\phi_s}} = \frac{\sqrt{\frac{q\epsilon_{si}N_A}{v_T \ln \frac{N_A}{n_i}}}}{2C_{ox}} \quad (۳۹-۲)$$

مثال ۲-۵: ترانزیستور nMOS در فرایند ۶۵ نانومتری را با ولتاژ آستانه ۰/۳ ولت و چگالی ناخالصی $8 \times 10^{17} \text{ cm}^{-3}$ در نظر بگیرید. بدنه با استفاده از اتصال زیرلایه به زمین متصل شده است. در صورتی که ولتاژ سورس از ۰ به ۰/۶ ولت تغییر کند ولتاژ آستانه چگونه تغییر خواهد کرد؟

راه حل: در دمای اتاق ولتاژ حرارتی برابر $v_T = \frac{kT}{q} = 26 \text{ mV}$ و $n_i = 1/45 \times 10^{10} \text{ cm}^{-3}$ است. بنابراین، ولتاژ آستانه حدود ۰/۰۴ ولت افزایش می یابد.

$$\phi_s = 2(0.026 \text{ V}) \ln \frac{8 \times 10^{17} \text{ cm}^{-3}}{1.45 \times 10^{10} \text{ cm}^{-3}} = 0.93 \text{ V} \quad (۴۰-۲)$$

$$\gamma = \frac{10.5 \times 10^{-8} \text{ cm}}{3.9 \times 8.85 \times 10^{-14} \frac{\text{F}}{\text{cm}}} \sqrt{2(1.6 \times 10^{-19} \text{ C}) \left(11.7 \times 8.85 \times 10^{-14} \frac{\text{F}}{\text{cm}} \right) (8 \times 10^{17} \text{ cm}^{-3})} = 0.16$$

$$V_t = 0.3 + \gamma(\sqrt{\phi_s + 0.6 \text{ V}} - \sqrt{\phi_s}) = 0.34 \text{ V}$$

۲-۴-۳-۲ کاهش سد ناشی از درین

ولتاژ درین V_{ds} یک میدان الکتریکی ایجاد می کند که روی ولتاژ آستانه تأثیری گذارد. این اثر که کاهش سد ناشی از درین (DIBL) نامیده می شود در ترانزیستورهای کانال کوتاه مشخص تر است. این اثر به صورت زیر قابل مدل کردن است:

$$V_t = V_{t0} - \eta V_{ds} \quad (۴۱-۲)$$

که η ضریب DIBL می باشد که در حدود ۰/۱ است.

کاهش سد ناشی از درین سبب افزایش I_{ds} با افزایش V_{ds} در ناحیه اشباع می شود. این اثر می تواند با وارد کردن اثر آن در ولتاژ ارلی V_A در رابطه ۲-۳۴ در نظر گرفته شود. اثر ذکر شده برای طراحی های آنالوگ می تواند مخرب باشد، اما در بسیاری از مدارهای دیجیتال بی اهمیت است.

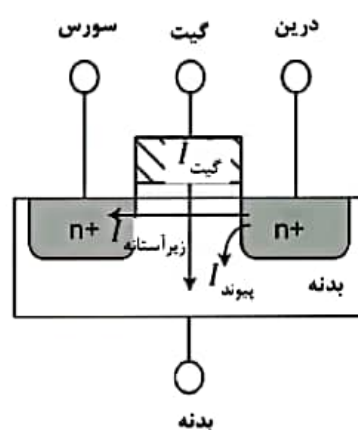
۲-۴-۳-۳ اثر کانال کوتاه

ولتاژ آستانه به طور عموم با افزایش طول کانال افزایش می یابد. این پدیده برای L کوتاه که نواحی تخلیه سورس و درین در قسمت عمده ای از کانال گسترش یافته، بیشتر مورد توجه است و

بنابراین به آن اثر کانال کوتاه می‌گویند. در برخی فرایندها، اثر کانال کوتاه معکوس، کاهش V_t با طول را در پی دارد.

۴-۴-۲ جریان نشتی

زمانی که ترانزیستورها خاموش هستند مقداری جریان نشتی در آن‌ها برقرار است. جریان‌های نشتی شامل جریان نشتی زیرآستانه میان سورس و درین، جریان نشتی گیت از گیت به بدنه و جریان نشتی پیوند از سورس به بدنه و درین به بدنه می‌باشند (شکل ۲-۱۹). جریان نشتی زیرآستانه به دلیل نشر حرارتی^۱ حامل‌ها ایجاد می‌شود. جریان نشتی گیت یک اثر مکانیک کوانتومی است که به دلیل ایجاد تونل توسط حامل‌ها در لایه بسیار نازک دی‌الکتریک گیت رخ می‌دهد. جریان نشتی پیوندی به سبب جریان از میان پیوند p-n میان نفوذ سورس/درین و بدنه برقراری شود.



شکل ۲-۱۹ مسیرهای جریان نشتی

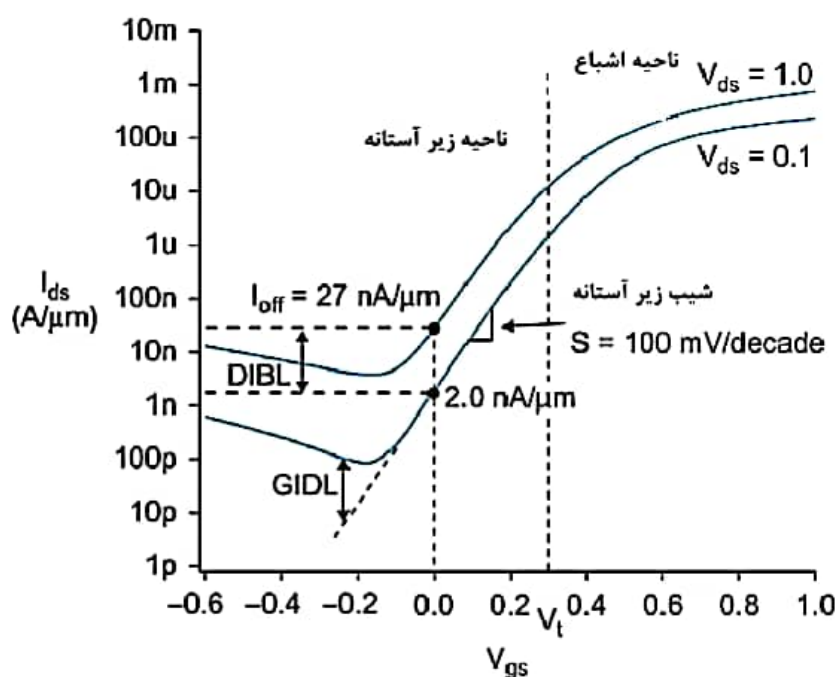
در فرایندهای بزرگ‌تر از ۱۸۰ نانومتری، جریان نشتی به‌جز در کاربردهای توان پایین اهمیت چندانی نداشت. در فرایندهای ۳۲ و ۲۲ نانومتری، ولتاژ آستانه به قدری پایین آمده‌است که جریان زیرآستانه به چندین یا چنددهه نانوآمپر به‌ازای هر ترانزیستور رسیده‌است. این مقدار اگرچه زیاد

^۱ Thermal emission

به نظر نمی‌رسد اما زمانی که در تعداد ترانزیستورهای روی تراشه‌های امروزی (در حد بیلیون) ضرب شود مقدار قابل توجهی خواهد بود. در فرایند ۴۵ نانومتری، ضخامت اکسید به اندازه‌ای کاهش یافته است که جریان نشتی گیت با جریان زیرآستانه قابل مقایسه است مگر آن‌که با به کارگیری دی‌الکتریک‌ها با ثابت بزرگ بتوان ضخامت اکسید را افزایش داد. در فرایندهای نانومتری، جریان نشتی مسئله‌ای مهم در طراحی محسوب می‌شود.

۲-۴-۴-۱ جریان زیرآستانه

مدل I-V ترانزیستور کانال بلند فرض می‌کند که فقط زمانی که $V_{gs} > V_t$ است جریان از سورس به درین برقرار می‌شود. در ترانزیستورهای واقعی، جریان در زیر ولتاژ آستانه به صورت ناگهانی قطع نمی‌شود بلکه طبق شکل ۲-۲۰ به طور نمایی کاهش می‌یابد. زمانی که ولتاژ گیت بالا است، ترانزیستور به طور کامل روشن است. زمانی که ولتاژ گیت به زیر ولتاژ آستانه V_t می‌رسد، جریان به صورت نمایی کاهش می‌یابد. این شرایط کاری $V_{gs} < V_t$ را وارونگی ضعیف می‌نامند. جریان نشتی



شکل ۲-۲۰ مشخصه‌های I-V ترانزیستور nMOS در دمای ۷۰ درجه سانتی‌گراد در مقیاس لگاریتمی

زیرآستانه به سبب کاهش سد ناشی از درین به طور قابل توجهی با V_{ds} افزایش پیدامی کند. محدودیت حد پایینی برای I_{ds} وجود دارد که از طریق جریان نشتی پیوندی درین تعیین می شود و با ولتاژ گیت منفی تشدید می شود.

جریان نشتی زیرآستانه در رابطه ۲-۴۲ بیان شده است. I_{ds0} جریان در ولتاژ آستانه بوده و از فرایند و اندازه ترانزیستور مستقل است. این عدد می تواند از راه شبیه سازی یا از طریق رابطه ۲-۴۳ به دست آید. $e^{1/8}$ به صورت تجربی حاصل شده است، n وابسته به فرایند است که تحت تأثیر مشخصه های ناحیه تخلیه است و برای فرایندهای CMOS به طور معمول در بازه $1/3 - 1/7$ است. قسمت نهایی رابطه تعیین می کند که جریان نشتی زمانی که V_{ds} برابر صفر است صفر می باشد، اما هنگامی که V_{ds} چندین برابر ولتاژ حرارتی v_T باشد (برای نمونه 50 mV $V_{ds} >$) مقدار آن افزایش می یابد. کاهش سد ناشی از درین، ولتاژ آستانه را کاهش می دهد که در رابطه، به صورت ηV_{ds} وارد شده است. این عامل، جریان نشتی را زمانی که $V_{ds} = V_{DD}$ حدود ده برابر نسبت به V_{ds} های کوچک می تواند افزایش دهد. اثر بدنه هنگامی که $V_{sb} \approx 0$ کمتر می شود.

$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k_F V_{sb}}{n v_T}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right) \quad (42-2)$$

$$I_{ds0} = \beta v_T^2 e^{1.8} \quad (43-2)$$

از جریان زیرآستانه در مدارهای توان بسیار پایین در جهت مثبت استفاده می شود. جریان زیر آستانه در مدارهای پویا و DRAM ها که به ذخیره بار روی یک خازن بستگی دارند از اهمیتی خاص برخوردار است. جریان در یک ترانزیستور خاموش، خازن را تخلیه می کند مگر این که به صورت دوره ای مقدار این خازن تجدید شده یا جریانی برای مقابله با جریان نشتی برقرار باشد. جریان نشتی سبب مصرف توان در مدارهای بی کار می شود. جریان زیرآستانه به صورت نمایی با کاهش V_t ، و با افزایش دما افزایش می یابد، بنابراین جریان زیرآستانه چالشی بسیار مهم برای تراشه هایی محسوب می شود که از منبع تغذیه و ولتاژ آستانه پایین استفاده کرده و در دمای بالا کار می کنند.

همان گونه که در شکل ۲-۲۰ نشان داده شده است، جریان زیرآستانه، روی نمودار نیمه‌لگاریتمی یک خط مستقیم است. معکوس شیب این خط، شیب زیرآستانه نامیده می‌شود که با S نمایش داده می‌شود:

$$S = \left[\frac{d(\log_{10} I_{ds})}{dV_{gs}} \right]^{-1} = n v_T \ln 10 \quad (2-44)$$

شیب زیرآستانه تعیین می‌کند که ولتاژ زیرآستانه باید چقدر کاهش یابد تا جریان نشتی زیرآستانه ده برابر کاهش پیدا کند. مقدار معمول این شیب در دمای اتاق حدود ۱۰۰ میلی‌ولت بر دهه است. رابطه ۲-۴۲ با استفاده از شیب زیرآستانه به صورت ۲-۴۵ می‌باشد:

$$I_{ds} = I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{dd}) - k_V V_{sb}}{S}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right) \quad (2-45)$$

که I_{off} جریان نشتی در $V_{gs}=0$ و $V_{ds}=V_{DD}$ است.

مثال ۲-۶: ولتاژ آستانه کمینه یک ترانزیستور که جریان نشتی آن ($V_{gs}=0$) در دمای اتاق حدود ۱۰۳ برابر کمتر از حالت $V_{gs}=V_t$ است، چقدر است ($n=1/5$)؟ یکی از مزایای فرایندهای SOI داشتن n کوچک‌تر است. اگر برای SOI $n=1/3$ باشد ولتاژ آستانه چقدر خواهد بود؟
راه‌حل: در دمای اتاق $v_T=26$ mV. فرض کنید $V_{ds} \gg v_T$ ، بنابراین جریان نشتی قابل توجه خواهد بود.

$$I_{ds}(V_{gs}=0) = 10^{-3} I_{ds0} = I_{ds0} e^{\frac{-V_t}{n v_T}} \quad (2-46)$$

$$V_t = -n v_T \ln 10^{-3} = 270 \text{ mV}$$

در فرایند CMOS، جریان نشتی با ضریب ۱۰ برای هر ۹۰ میلی‌ولت زیرآستانه کاهش می‌یابد. این امر به صورت شیب زیرآستانه ۹۰ میلی‌ولت در هر دهه بیان می‌شود. در فرایند SOI، شیب زیرآستانه S، ۷۸ میلی‌ولت بر دهه است، بنابراین ولتاژ آستانه برابر ۲۳۴ میلی‌ولت خواهد بود.

۲-۴-۴-۲ جریان نشتی گیت

بنابر قوانین مکانیک کوانتومی، ابر الکترونی که یک اتم را احاطه می‌کند دارای توزیع مکانی احتمالاتی است. برای اکسیدهای گیت باریک‌تر از ۲۰-۱۵ آنگسترون، احتمال غیر صفری وجود دارد

که یک الکترون در گیت از میان اکسید گیت عبور کند. این اثر عبور حامل‌ها از مانع نازک، تونلینگ نامیده، و به عبور جریان نشتی از میان گیت منجر می‌شود.

دو مکانیزم فیزیکی برای تونلینگ گیت به نام‌های تونلینگ فوولر-نوردیم^۱ (FN) و تونلینگ مستقیم وجود دارند. تونلینگ FN در ولتاژهای بالا و ضخامت اکسید متوسط بسیار مهم است و برای برنامه‌ریزی حافظه‌های EEPROM به کار می‌روند. تونلینگ مستقیم در ولتاژ پایین با اکسیدهای نازک مهم بوده و جزء غالب جریان نشتی محسوب می‌شود.

جریان نشتی تونلینگ مستقیم گیت از رابطه زیر قابل تخمین است:

$$I_{gate} = WA \left(\frac{V_{DD}}{t_{ox}} \right)^2 e^{-B \frac{t_{ox}}{V_{DD}}} \quad (۷-۲)$$

که A و B ثابت‌های تکنولوژی هستند.

ترانزیستورها به C_{ox} بالایی نیاز دارند تا بتوانند جریان روشن مناسبی را ارائه کنند که این امر سبب می‌شود تمایلی برای کاهش ضخامت اکسید گیت وجود داشته باشد تا خازن افزایش یابد، اما جریان تونلینگ به صورت نمایی با افزایش ضخامت اکسید کاهش می‌یابد و به تازگی از اهمیتی زیاد بهره‌مند شده است. شکل ۲-۲۱ نمودار چگالی جریان نشتی گیت I_G (جریان بر مساحت) را بر حسب ولتاژ برای ضخامت‌های اکسید مختلف نشان می‌دهد. جریان نشتی گیت با ضریب $2/7$ به ازای هر آنگسترون کاهش در ضخامت اکسید افزایش می‌یابد. جریان‌های تونلینگ بزرگ نه تنها روی گره‌های پویا اثر می‌گذارند بلکه مصرف توان را افزایش می‌دهند و سبب می‌شوند تا برای حفظ جریان نشتی در زیر ۱۰۰ آمپر بر سانتی‌متر مربع ضخامت اکسید به حداقل ۱۰/۵ آنگسترون محدود شود.

جریان تونلینگ برای ترانزیستورهای nMOS که از دی‌الکتریک SiO_2 استفاده می‌کنند حدود ده

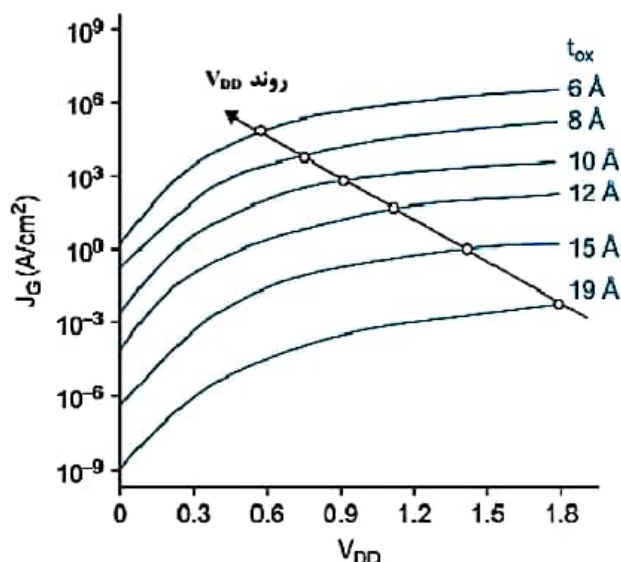
برابر بیشتر از pMOS است زیرا الکترون‌ها از باند رسانایی^۲ تونل زده، اما حفره‌ها از باند والانس^۳

^۱ Fowler-Nordheim

^۲ Conduction band

^۳ Valence band

تونل می‌زنند و سد بزرگ‌تری را در راه خود می‌بینند. دی‌الکتریک‌های مختلف دارای ویژگی‌های تونلینگ متفاوتی هستند.



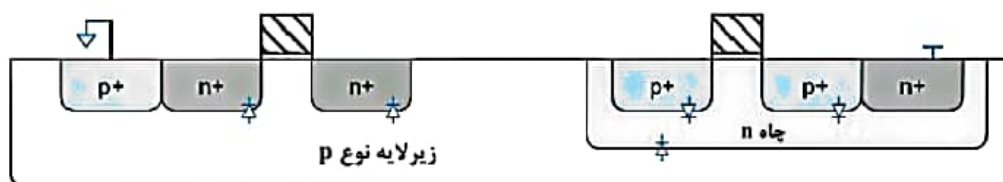
شکل ۲-۲۱ جریان نشتی گیت

۲-۴-۴-۳ جریان نشتی پیوندی

پیوندهای p-n میان نفوذ و زیرلایه/چاه دیودهایی مطابق شکل ۲-۲۲ را تشکیل می‌دهند. پیوند چاه به زیرلایه دیود دیگری است. زیرلایه p و چاه n به ترتیب به V_{DD} و GND متصل می‌شوند تا این اطمینان حاصل شود که این دیودها در حالت عادی به صورت معکوس بایاس شوند، اما دیودهایی که به صورت معکوس بایاس می‌شوند مقدار اندکی جریان I_D از خود عبور می‌دهند که برابر است با:

$$I_D = I_s \left(e^{\frac{V_D}{V_T}} - 1 \right) \quad (۲-۴۸)$$

که I_s به سطوح ناخالصی و به مساحت و محیط ناحیه تخلیه و به مقدار ولتاژ دیود V_D (برای نمونه $-V_{sb}$ یا $-V_{db}$) بستگی دارد. هنگامی که یک پیوند با ولتاژی بسیار بزرگ‌تر از ولتاژ حرارتی به صورت معکوس بایاس شود جریان نشتی برابر $-I_s$ بوده، در بازه $\frac{fF}{\mu m^2}$ ۰/۱ - ۰/۰۱ خواهد بود و در مقایسه با جریان‌های نشتی دیگر قابل اغماض است.



شکل ۲-۲ دیودهای نفوذ به زیرلایه در مدارهای CMOS

درین‌هایی که چگالی ناخالصی بالایی دارند در معرض تونلینگ باند به باند^۱ (BTBT) و جریان نشستی درین القاشده توسط گیت^۲ (GIDL) هستند.

BTBT در امتداد پیوند میان سورس یا درین و بدنه، زمانی که پیوند به صورت معکوس بایاس شود اتفاق می‌افتد. BTBT تابعی از ولتاژ بایاس معکوس و سطوح ناخالصی است. اعمال ناخالصی بالا در مجاورت پایه‌های درین و سورس^۳ که برای افزایش ولتاژ آستانه با هدف بهبود جریان نشستی زیرآستانه انجام می‌شود، BTBT را افزایش می‌دهد. جریان نشستی در طول جداره‌های نزدیک به کانال که بیشترین ناخالصی را دارد بیشتر پیش می‌آید. جریان BTBT به صورت زیر قابل مدل کردن است:

$$I_{BTBT} = WXJA \frac{E_j}{E_g^{0.5}} V_{dd} e^{-B \frac{E_g^{1.5}}{E_j}} \quad (۴۹-۲)$$

که X_j عمق پیوند نفوذ، E_g ولتاژ شکاف باند^۴ و A و B ثابت‌های تکنولوژی هستند. میدان الکتریکی در طول پیوندی که با ولتاژ معکوسی معادل V_{DD} بایاس می‌شود برابر است با:

$$E_j = \sqrt{\frac{2qN_{halo}N_{sd}}{\epsilon(N_{halo}+N_{sd})}} \left(V_{DD} + v_T \ln \frac{N_{halo}N_{sd}}{n_i^2} \right) \quad (۵۰-۲)$$

که N_{halo} معرف ناخالصی اضافی در مجاورت درین و سورس است. GIDL جایی رخ می‌دهد که گیت با درین هم‌پوشاست. جریان GIDL متناسب با مساحت هم‌پوشانی درین-گیت و بنابراین

^۱ Band-to-band tunneling

^۲ Gate-induced drain leakage

^۳ این عمل را ناخالصی هاله‌ای (halo doping) می‌نامند.

^۴ Bandgap voltage

متناسب با عرض ترانزیستور است. جریان GIDL تابع میدان الکتریکی است، بنابراین به سرعت با ولتاژ درین به گیت افزایش می‌یابد، اما این مقدار در شرایط $|V_{gd}| \leq V_{DD}$ مهم نیست و زمانی که مقدار ولتاژ گیت به منظور قطع جریان زیرآستانه از بازه ولتاژهای منابع تغذیه خارج باشد اهمیت پیدامی‌کند.

۲-۴-۵ وابستگی به دما

مشخصه‌های ترانزیستور تحت تأثیر دما قرار دارد. قابلیت تحرک حامل با دما کاهش می‌یابد. یک رابطه تقریبی به صورت زیر است:

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k_\mu} \quad (51-2)$$

که T دمای مطلق^۱، T_r دمای اتاق، k_μ پارامتر برازش^۲ است که حدود ۱/۵ می‌باشد. v_{sat} با دما کاهش می‌یابد که تغییر آن از ۳۰۰ تا ۴۰۰ کلوین حدود ۲۰ درصد است.

اندازه ولتاژ آستانه به طور تقریبی به صورت خطی با دما کاهش می‌یابد و با رابطه زیر قابل تخمین است:

$$V_t(T) = V_t(T_r) - k_{vt}(T - T_r) \quad (52-2)$$

که k_{vt} حدود ۱-۲ $\frac{mV}{K}$ است.

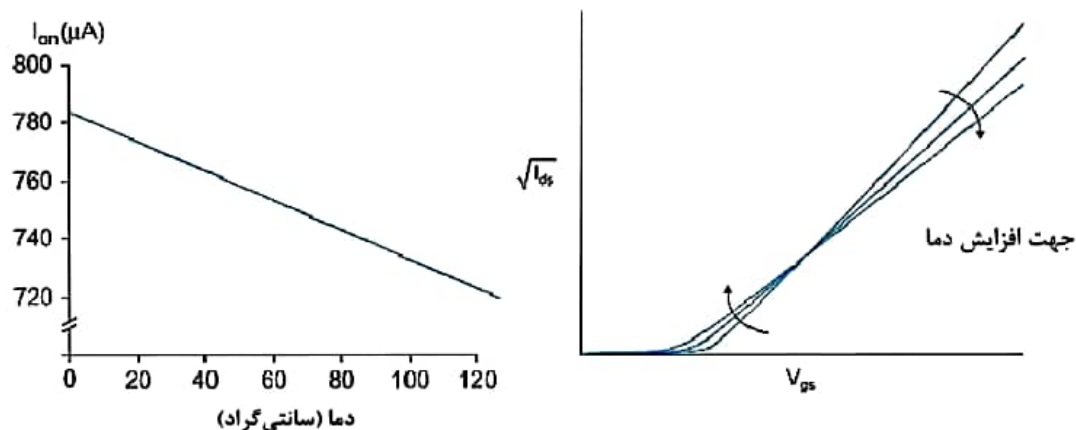
I_{on} در V_{DD} بالا با دما کاهش می‌یابد. جریان زیرآستانه و BTBT به ترتیب به صورت نمایی و به آرامی با دما افزایش می‌یابند و جریان نشتی گیت به طور تقریبی مستقل از دماست.

اثرات ترکیبی دما در شکل ۲-۲۳ نمایش داده شده است. در V_{gs} بالا، جریان ضریب دمای منفی دارد؛ به عبارت دیگر، جریان با افزایش دما، کاهش می‌یابد. در V_{gs} پایین، جریان دارای ضریب دمای مثبت است. بنابراین، جریان خاموش با دما افزایش، جریان روشن I_{dsat} با دما کاهش می‌یابد.

^۱ Absolute temperature

^۲ Fitting parameter

(شکل ۲-۲۴)؛ بنابراین کارایی مدار در دمای بالا بدتر می‌شود، اما برای سیستم‌هایی که در V_{DD} پایین عمل می‌کنند (کمتر از ۰/۷-۱/۱ ولت)، I_{dsat} با دما افزایش می‌یابد.



شکل ۲-۲۴ I_{dsat} بر حسب دما

شکل ۲-۲۳ مشخصه‌های I-V ترانزیستور nMOS در ناحیه اشباع در دماهای مختلف

کارایی مدار با خنک کردن بهبود می‌یابد. بیشتر سیستم‌ها از جریان همرفتی طبیعی یا فن‌ها همراه با گرماگیر^۱ استفاده می‌کنند، اما در صورتی که هزینه قابل توجهی باشد می‌توان از خنک‌کننده‌های لایه نازک^۲ یا نیتروژن مایع برای افزایش کارایی استفاده کرد. کار در دمای پایین دارای مزایایی زیاد است. جریان زیرآستانه به صورت نمایی با دما رابطه دارد؛ بنابراین، در صورت پایین بودن دما، ولتاژهای آستانه پایین‌تری را می‌توان به کاربرد. اشباع سرعت در میدان‌های بزرگ اتفاق می‌افتد. هنگامی که قابلیت تحرک نیز بیشتر باشد، این میدان‌ها در ولتاژ منبع پایین‌تری رخ می‌دهند و صرفه‌جویی در توان را باعث می‌شوند. در این شرایط، نواحی تخلیه عریض‌تر شده که سبب کاهش خازن پیوندی می‌شود.

^۱ Heat sink

^۲ Thin-film

۲-۴-۶ وابستگی به شکل هندسی ترانزیستور^۱

طراحان چینش، ترانزیستورهایی با عرض و طول W_{drawn} و L_{drawn} طراحی می‌کنند. ابعاد واقعی گیت ساخته شده به اندازه X_L و X_W با مقادیر طراحی شده اختلاف دارند. برای نمونه، سازنده تراشه‌ها ممکن است ماسک‌هایی با پلی‌سیلیکون باریک‌تر ایجاد کند یا احتمال دارد پلی‌سیلیکون برای ایجاد کانال‌های کوتاه‌تر (X_L منفی) بدون تغییر قوانین طراحی کلی یا گام فلز بیشتر بریده شود. علاوه بر این سورس و درین به طور افقی به اندازه L_D به زیر کانال نفوذ می‌کنند و سبب می‌شوند تا طول مؤثر کانال کاهش یابد. به طور مشابه، W_D نیز تحت تأثیر اثرات دیگری قرار می‌گیرد که سبب کاهش عرض مؤثر ترانزیستور می‌شود. با در نظر گرفتن عوامل دخیل در طول و عرض ترانزیستورها، می‌توان طول و عرض مؤثر ترانزیستور را که در روابط خازن و جریان باید جایگزین L و W شوند، محاسبه کرد.

$$L_{eff} = L_{drawn} + X_L - 2L_D \quad (۲-۵۳)$$

$$W_{eff} = W_{drawn} + X_W - 2W_D$$

با توجه به روابط بالا یک ترانزیستور که عرض آن دو برابر دیگری طراحی شده است، ممکن است دارای طول مؤثر بیش از دو برابر باشد. به طور مشابه، جریان اشباع دو ترانزیستوری که عرض یکی دو برابر دیگری است شاید بیش از دو برابر با هم تفاوت داشته باشند. ولتاژهای آستانه نیز می‌توانند تحت تأثیر اختلاف ابعاد ساخته شده با ابعاد طراحی شده تغییر کنند.

به دلیل ترکیب تغییرات ولتاژ آستانه، طول مؤثر کانال، مدولاسیون طول کانال و اشباع سرعت I_{dsat} به طور دقیق با $\frac{1}{L}$ تغییر مقیاس نمی‌یابد. در حالت کلی زمانی که جریان‌ها باید با اطمینان منطبق باشند (برای مثال در تقویت‌کننده‌های حسی یا مبدل‌های A/D)، بهترین راه استفاده از طول و عرض یکسان برای هر ترانزیستور است. نسبت جریان‌ها با قراردادن ترانزیستورها به صورت موازی با هم حاصل می‌شود.

^۱ Geometry dependence

در فرایندهای زیر ۰/۲۵ میکرومتر، طول مؤثر ترانزیستور به نحوه قرارگرفتن ترانزیستور نیز بستگی دارد. علاوه بر این، مقدار نزدیکی خطوط پلی سیلیکونی به تندی لبه‌های برش و طول کانال تأثیری گذارد.

۲-۴-۷ جمع‌بندی

اگرچه مباحث فیزیکی مربوط به ترانزیستورهای نانومتری پیچیده است، اما فهم تأثیر رفتار غیرایده‌آل I-V از دید طراح آسان است.

افت به اندازه ولتاژ آستانه: ترانزیستورهای عبور هنگام عبوردادن یکی از مقادیر صفر یا یک، یک افت ولتاژ به اندازه ولتاژ آستانه در خروجی را سبب می‌شوند. ترانزیستورهای nMOS مقدار V_{DD} را $V_{DD}-V_{tn}$ و ترانزیستورهای pMOS مقدار صفر را $|V_{tp}|$ عبور می‌دهند. مقدار افت با افزایش اثر بدنه افزایش می‌یابد، بنابراین ترانزیستورهای عبور در فرایندهای نانومتری که ولتاژ آستانه ضریبی از ولتاژ منبع تغذیه است به‌خوبی عمل نمی‌کنند. باید از گیت‌های عبوری استفاده کرد که ترانزیستورهای nMOS و pMOS را به‌کار می‌برند که هر دوی صفر و یک را به‌خوبی می‌گذرانند.

جریان نشتی: در حالت ایده‌آل، گیت‌های CMOS ایستا زمانی که بیکار هستند جریانی از خود عبور نمی‌دهند و بنابراین مصرف توان آن‌ها صفر است. گیت‌های واقعی دارای مقداری جریان نشتی هستند. مهم‌ترین عامل جریان نشتی جریان زیرآستانه میان سورس و درین ترانزیستوری است که باید قطع باشد. جریان زیرآستانه یک ترانزیستور خاموش زمانی که V_{gs} زیر V_t است برای هر ۱۰۰-۶۰ میلی‌ولت حدود ده برابر کاهش می‌یابد. در فرایندهای امروزی، ولتاژهای آستانه در حال کاهش هستند، بنابراین جریان نشتی زیرآستانه به‌شدت افزایش یافته است. برخی فرایندها انتخاب چندگانه‌ای از V_t را فراهم می‌کنند. ترانزیستورها با V_t پایین در مسیرهای بحرانی به‌کار می‌روند و ترانزیستورها با V_t بالا برای کاهش جریان نشتی روی مسیرهای دیگر استفاده می‌شوند.

اکسید گیت ترانزیستور عایق خوبی است ولی جریان تونلینگ قابل توجهی از اکسید گیت‌هایی که بسیار نازک‌اند عبور می‌کند. این پدیده سبب محدود شدن تغییر مقیاس اکسید گیت می‌شود و به روی آوردن به موادی با ضریب دی‌الکتریک بالا منجر می‌شود.

جریان نشتی سبب می‌شود که گیت‌های CMOS زمانی که بیکار هستند توان مصرف کنند. جریان نشتی همچنین مدت زمانی را که داده در منطق پویا، لچ‌ها و سلول‌های حافظه حفظ می‌شود را محدود می‌کند. در فرایندهای نانومتری، منطق پویا و لچ‌ها به ساختارهای پس‌خوردی نیاز دارند تا بتوانند از خرابی داده ناشی از جریان نشتی جلوگیری کنند. جریان نشتی در دماهای بالا افزایش می‌یابد.

ولتاژ منبع تغذیه (V_{DD}): اشباع سرعت و تنزیل قابلیت تحرک به جریانی کمتر از آنچه مورد انتظار است منجر می‌شود. این بدان معناست که افزایش V_{DD} با هدف افزایش سرعت ترانزیستورها نتیجه مطلوب را به دنبال نخواهد داشت، بنابراین V_{DD} با کاهش اندازه نما کاهش یافته‌است تا مصرف توان کاهش داده‌شود، علاوه بر این کانال‌های خیلی کوتاه و اکسیدهای گیت نازک در اثر V_{DD} ‌های بزرگ آسیب می‌بینند.

تأخیر: ترانزیستورهایی که به صورت سری با هم قرارداده شده‌اند هریک مقداری افت ولتاژ را روی دو سر تجربه می‌کنند که این پدیده سبب می‌شود که میدان افقی کوچک‌تری را تجربه کنند و نسبت به ترانزیستور تنها دچار اشباع سرعت کوچک‌تری شوند. بدین ترتیب ترانزیستورهای سری اندکی سریع‌تر از آنچه از طریق مدل ساده پیش‌بینی می‌شوند خواهند بود. برای مثال، دو ترانزیستور nMOS سری جریانی بیش از نصف جریان ترانزیستور تنها با عرض یکسان ارائه می‌دهند. این اثر برای ترانزیستورهای nMOS بیشتر است زیرا در ترانزیستورهای nMOS حامل‌ها نسبت به pMOS قابلیت تحرک بیشتری دارند، بنابراین به اشباع سرعت بیشتری دچار می‌شوند.

انطباق: اگر دو ترانزیستور قرار است یکسان عمل کنند، باید در ابعاد و جهت قرارگرفتن یکسان باشند.

۲-۵ مشخصه‌های انتقالی DC

مدارهای دیجیتال در حقیقت مدارهای آنالوگی هستند که در قسمتی از بازه عملیاتی خود استفاده می‌شود. مشخصه‌های انتقالی DC یک مدار، رابطه ولتاژ خروجی را با ولتاژ ورودی