

به نام خدا

راهنمای انجام پروژه درس VLSI پیشرفته

اهداف پروژه

هدف از انجام پروژه درس VLSI پیشرفته بررسی و اجرای عملی برخی از مفاهیمی است که در طول درس آموخته شده است. برای رسیدن به این هدف، معمولاً یک مثال مشخص از دنیای واقعی انتخاب می‌شود تا مراحل مختلف طراحی، مدل‌سازی و تحلیل بر روی آن مثال اعمال شوند. مثالی که برای این ترم در نظر گرفته شده است یک حافظه کوچک مبتنی بر SRAM مانند یک register file است که در هر پردازنده‌ای موجود است. مراحل انجام پروژه شامل فهم مفاهیم اولیه و جمع‌آوری مطالب مورد نیاز، انجام طراحی اولیه در سطح بالای تجرید، بررسی و تحلیل طراحی، بردن طراحی به سطح ترانزیستوری و تحلیل آن با استفاده از HSpice است. جزئیات این پروژه در ادامه آمده است.

توصیف و شرح پروژه

یکی از مباحث مهمی که متأسفانه در این نیمسال به آن پرداخته نشد مبحث SRAM بود. طراحی یک SRAM معمولاً از دو بخش تشکیل می‌شود: بخش حافظه و بخش سخت‌افزار جانبی. بخش حافظه مبتنی است بر تکرار یک طراحی مشخص از یک سلول حافظه تک-بیتی با یک چینش سطری و ستونی مناسب. بخش سخت‌افزار جانبی تشکیل می‌شود از طراحی‌هایی بهینه شده برای قسمت دیکدر آدرس و قسمت MUX داده‌ها. برای کسب دانش عمیق نظری در این زمینه و همچنین مشاهده عملی انتخاب‌های مختلفی که برای این طراحی وجود دارد و بررسی تاثیر این انتخاب‌ها، در این پروژه می‌خواهیم یک register file با 128 کلمه (word) 32 بیتی طراحی نماییم.

مراحل انجام پروژه

برای اطمینان از انجام این پروژه به صورت مرحله به مرحله، این پروژه به دو فاز شکسته شده است:

فاز اول – در این فاز از پروژه ابتدا رفتار یک سلول حافظه SRAM 6-ترانزیستوری را مرور نمایید تا بتوانید این رفتار را مدل کنید. بخش 12.2 کتاب و شکل‌ها و توضیحات آن شرح بسیار دقیقی از جزئیات یک SRAM را تشریح می‌کند و مطالعه آن می‌تواند در راستای اجرای این پروژه بسیار مفید باشد. قدم مهم بعدی در انجام این فاز از پروژه طراحی آن در سطح بالای تجرید (بالتر از سطح ترانزیستور) و اطمینان از داشتن درک مناسب نسبت به ساختار یک register file است. برای تحقق این امر، ابتدا با استفاده از یکی از زبان‌های توصیف سخت‌افزار (Verilog, VHDL, SystemC) یک ماجول در سطح رفتاری طرح کنید که رفتار یک سلول حافظه SRAM (مشابه آنچه که در شکل 12.28 قسمت b از کتاب آمده است) را مدل کند. توجه کنید که نام ورودی‌ها و خروجی‌های این ماجول مشابه همین شکل باشد. پیوست A.9 کتاب حاوی اطلاعات خیلی جالبی در همین راستاست.

در قدم بعدی، می‌بایست قسمت‌های دیکدر و MUX این پروژه طراحی شوند. این قسمت‌ها هم می‌بایست با یکی از زبانهای توصیف سخت‌افزار و در سطح RT (Register Transfer Level) طراحی شوند. سپس کل طراحی را در محیط ModelSim (یا هر شبیه‌ساز دیگری که مایل هستید) شبیه‌سازی نمایید و با دادن ورودی‌های مناسب در داخل یک testbench صحت عملکرد register file خود را نشان دهید. در طراحی این قسمت‌ها شما گزینه‌های مختلفی برای چیدن سلول‌های حافظه در کنار یکدیگر و طراحی ساختار کلی register file دارید. بنابراین، با انتخاب پارامتری که می‌خواهید بهینه کنید (مانند تاخیر کلی دسترسی به رجیسترها، توان مصرفی، مساحت اشغال شده، آرایش

منظم سلول‌ها، و غیره) چیدمان‌های مختلف را مقایسه نمایید. در این فاز از پروژه این مقایسه‌ها می‌تواند به صورت شهودی و به صورت دستی باشد. اما اگر بتوانید در همین فاز با کمک ابزارهای طراحی و شبیه‌سازی نیز مقایسه‌های شهودی خود را تایید کنید، نمره اضافی خواهید داشت (در صورت تمایل به این کار با من صحبت کنید). پس از انجام این مقایسه، گزینه‌ای که زمان دسترسی به رجیسترها را کمینه می‌کند را انتخاب نمایید و دلایل این انتخاب را در گزارش این فاز پروژه قید نمایید. به طور خلاصه، خروجی‌های این فاز عبارتند از: طراحی سلول در سطح رفتاری، طراحی RTL سایر قسمت‌ها، testbench و ورودی‌های تست اعمال شده، نتایج شبیه‌سازی که صحت عملکرد کلی register file را نشان بدهد، تحلیل روی چیدمان‌های مختلف و تاثیر آنها بر روی پارامترهای register file انتخاب ساختار نهایی جهت استفاده در فاز دوم.

فاز دوم – اکنون که از صحت عملکرد کلیت طراحی خود مطمئن شدید، می‌بایست طراحی را به سطح ترانزیستور ببریم. متأسفانه برای انجام این کار نمی‌توانید از ابزارهای CAD استفاده کنید و می‌بایست طراحی را به صورت دستی انجام دهید. علت این امر این است که اولاً سلول طراحی شده در سطح رفتاری قابل سنتز نیست و ثانیاً برای قسمت‌های نوشته در سطح RT هم بهتر است که از گیت‌های آماده موجود در کتابخانه ابزار سنتز استفاده نکنید و یک طراحی مناسب در سطح ترانزیستوری و به صورت دستی انجام دهید. برای طراحی ترانزیستوری سلول حافظه می‌توانید از مداری که در شکل 12.28 قسمت b از کتاب آمده است استفاده نمایید. اما برای سایر قسمت‌ها یک طراحی مناسب با استفاده از هر یک از تکنولوژی‌هایی که در درس دیدید انجام دهید.

قدم بعدی پروژه شبیه‌سازی و تحلیل طراحی است. اگرچه چند ابزار برای تحلیل مدار در سطح ترانزیستور وجود دارد، اما ابزار HSpice بهترین و دقیق‌ترین ابزار برای این کار است. ورودی این ابزار یک فایل ASCII است که در بر گیرنده netlist مدار شماست. بنابراین، باید netlist کل طرحتان را تولید نمایید. برای این کار می‌توانید ابتدا یک نمونه از طرح سلول خود را در سطح ترانزیستوری بنویسید و با تکرار این نمونه به تعداد کافی، طراحی کلی فاز قبل را بازسازی کنید. برای دیکرها و سایر مدارهای جانبی هم با داشتن طراحی سطح ترانزیستوری می‌توانید به همین طریق عمل نمایید. بخش 8.2 کتاب در مورد این ابزار توضیحات مفصلی دارد که یقیناً مطالعه آن مفید خواهد بود.

پس از ساختن فایل netlist، با کمک ابزار HSpice یک سیکل کامل خواندن از/یا نوشتن در رجیسترها را شبیه‌سازی نمایید (شبیه آنچه که در قسمت b از شکل 12.4 کتاب آمده است). هدف از این مرحله اطمینان از صحت عملکرد کلی register file است چرا که طراحی سطح ترانزیستوری شما ممکن است همان طراحی سطح بالای فاز اول نباشد. برای شبیه‌سازی از هر کتابخانه‌ای که در دسترس داشتید می‌توانید استفاده کنید و محدودیت خاصی در این پروژه برای کتابخانه وجود ندارد. فقط حتماً نوع کتابخانه مورد استفاده را در گزارشتان قید کنید.

پس از اطمینان از صحت عملکرد مدارتان، به تحلیل آن از نقطه نظر پارامترهایی که در فاز قبل ذکر شد بپردازید اما این بار این تحلیل‌ها را با استفاده از HSpice انجام دهید. آیا آنچه که در فاز اول و در سطح بالای تجرید پیش‌بینی کرده بودید با نتایج در سطح ترانزیستور مطابقت دارد؟ در گزارش توضیح کامل دهید.

خروجی نهایی این فاز عبارت است از کلیه فایل‌های مربوط به طراحی ترانزیستوری، فایل ورودی HSpice، خروجی‌های شبیه‌سازی، و تحلیل‌های خودتان از این نتایج.

زمان‌بندی انجام پروژه

زمان تحویل فاز اول پروژه ساعت 23:59 روز یکشنبه 1402/11/15 (به صورت الکترونیکی)
زمان تحویل فاز دوم پروژه صبح روز یکشنبه 1402/11/29 و به صورت حضوری خواهد بود. زمان‌بندی تحویل متعاقباً اعلام خواهد شد.

برای رفع اشکالات احتمالی می‌توانید با خود من تماس بگیرید.

ضمناً یادآوری می‌شود که موعد تحویل گزارش کتبی تحقیق ساعت 23:59 روز چهارشنبه 1402/11/25 خواهد بود.

موفق باشید

صدیقی