



بسمه تعالی

معماری کامپیوتر پیشرفته

نیمسال اول ۱۴۰۲-۱۴۰۳

تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

### دستور کار:

- ❖ پس از ۱۰ روز تاخیر مجاز در مجموع کل تمرینات (کامپیوتری + دستی)، تحویل تمرین با تاخیر شامل جریمه می باشد (هر روز ۲۵ درصد).
- ❖ نام فایل ارسالی را در قالب ACA\_HW(number)\_studentID بارگذاری شود.
- ❖ تمامی پروژه ها از لحاظ شباهت، کنترل و بررسی می شوند بنابراین از کپی کردن خودداری فرمایید چنانچه در صورت مشاهده صفر لحاظ خواهد شد و نیز در مجموع نمرات جریمه خواهید شد.
- ❖ پاسخ خود را در ادامه سوال و داخل فایل word قرار گرفته در سامانه قرار دهید و برای اسکن کردن پاسخ های خود از CamScanner استفاده کنید و طبق فرمت خواسته شده فایل را pdf شده اپلود کنید.
- ❖ راه ارتباطی با حل تمرین  
sara.zamaniv3@aut.ac.ir



بسمه تعالی  
معماری کامپیوتر پیشرفته  
نیمسال اول ۱۴۰۲-۱۴۰۳  
تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

## سوال اول:

جدول زیر را برای توماسولو و اسکوربورد کامل کنید.

Hazard	Scoreboard	Tomasulo
FU		
RAW		
WAR		
WAW		none

Hazard	Scoreboard	Tomasulo
FU	Yes	Yes
RAW	Yes	Yes
WAR	Yes	Yes
WAW	Yes	none



بسمه تعالی  
معماری کامپیوتر پیشرفته  
نیمسال اول ۱۴۰۲-۱۴۰۳  
تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

## سوال دوم:

جدول دستورات را برای Tomasulo ای با مشخصات یادشده کامل کنید.

a. یک واحد Integer برای Store/Load با تاخیر 2

b. یک واحد جمع (Sub/Add) با تاخیر 2

c. یک واحد ضرب کننده با تاخیر 10

d. یک واحد تقسیم کننده با تاخیر 40

LD F6 24+ R2

LD F2 44+ R3

MULT F0 F2 F4

SUBD F8 F6 F2

DIVD F10 F0 F6

ADDD F6 F8 F2

Instruction	Issue	Execution Complete	Write Result
LD	1	3	5
LD	2	4	5
MULT	3	13	14
SUBD	4	6	8
DIVD	5	45	46
ADDD	6	8	9



بسمه تعالی

معماری کامپیوتر پیشرفته

نیمسال اول ۱۴۰۲-۱۴۰۳

تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

سوال سوم:

Instruction	Status Functional	Status Result Reg	Execution Stage
LD	Idle	-	-
LD	Idle	-	-
MULT	Executing	-	-
SUBD	Executing	-	-
DIVD	Issued	-	-
ADDD	Issued	-	-

Table 1: For cycle 14

Instruction	Status Functional	Status Result Reg	Execution Stage
LD	Executing	-	-
LD	Executing	-	-
MULT	Executing	-	-
SUBD	Executing	-	-
DIVD	Executing	-	-
ADDD	Executing	-	-

Table 2: For cycle 21



بسمه تعالی

معماری کامپیوتر پیشرفته

نیمسال اول ۱۴۰۲-۱۴۰۳

تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

## سوال چهارم:

قسمت الف)

Clock Cycle	Unscheduled Code	Scheduled Code
1	addi x4,x1,#800	addi x4,x1,#800
2	fld f2,0(x1)	fld f2,0(x1)
3	stall	fld f6,0(x2)
4	fmul.d f4,f2,f0	fmul.d f4,f2,f0
5	fld f6,0(x2)	addi x1,x1,#8
6	stall	addi x2,x2,#8
	stall	sltu x3,x1,x4
	stall	stall
	stall	stall
7	fadd.d f6,f4,f6	fadd.d f6,f4,f6
8	stall	stall
9	stall	stall
10	stall	bnez x3,foo
11	fsdf f6,0(x2)	fsd f6,-8(x2)
12	addi x1,x1,#8	
13	addi x2,x2,#8	
14	sltu x3,x1,x4	
15	stall	
16	bnez x3,foo	
17	stall	



بسمه تعالی

معماری کامپیوتر پیشرفته

نیمسال اول ۱۴۰۲-۱۴۰۳

تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

زمان اجرای هر عنصر برای کد بدون زمان بندی ۱۶ سایکل کلاک است و برای کد با زمان بندی ۱۰ سایکل کلاک است. این تفاوت ۶۰٪ سرعت بیشتر است، بنابراین برای کد بدون زمان بندی برای تطابق عملکرد کد. زمان بندی شده با سخت افزار اصلی، ساعت باید ۶۰٪ سریع تر باشد.

قسمت ب)

Clock Cycle	Scheduled Code
1	addi x4,x1,#800
2	fld f2,0(x1)
3	fld f6,0(x2)
4	fmul.d f4,f2,f0
5	fld f2,8(x1)
6	fld f10,8(x2)
7	fmul.d f8,f2,f0
8	fld f2,8(x1)
9	fld f14,8(x2)
10	fmul.d f12.f2,f0
11	fadd.d f6,f4,f6
12	addi x1,x1,#24
13	fadd.d f10,f8,f10
14	addi x2,x2,#24
15	sltu x3,x1,x4
16	fadd.d f14,f12,f14
17	fsd f6,-24(x2)
18	stall f10,-16(x2)
19	stall x3,foo
20	stall f14,-8(x2)



بسمه تعالی

معماری کامپیوتر پیشرفته

نیمسال اول ۱۴۰۲-۱۴۰۳

تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

قسمت ج)

Unrolled six times:

Cycle	Memory reference 1	Memory reference 2	fP operation 1	fP operation 2	Integer operation branch
1	fld f1,0(x1)	fld f2,8(x1)			
2	fld f3,16(x1)	fld f4,24(x1)			
3	fld f5,32(x1)	fld f6,40(x1)	fmul.d f1,f1,f0	fmul.d f2,f2,f0	
4	fld f7,0(x2)	fld f8,8(x2)	fmul.d f3,f3,f0	fmul.d f4,f4,f0	
5	fld f9,16(x2)	fld f10,24(x2)	fmul.d f5,f5,f0	fmul.d f6,f6,f0	
6	fld f11,32(x2)	fld f12,40(x2)			
7					addi x1,x1,48
8					addi x2,x2,48
9			fadd.d f7,f7,f1	fadd.d f8,f8,f2	
10			fadd.d f9,f9,f3	fadd.d f10,f10,f4	
11			fadd.d f11,f11,f5	fadd.d f12,f12,f6	
12					sltu x3,x1,x4
13	fsd f7,-48(x2)	fsd f8,-40(x2)			
14	fsd f9,-32(x2)	fsd f10,-24(x2)			
15	fsd f11,-16(x2)	fsd f12,-8(x2)			bnez x3,foo

برای ۳۴ عملیات، ۱۵ سایکل کلاک لازم است که منجر به ۲.۶۷ عمل به ازای هر سایکل کلاک شود، با برابر با ۴۵.۳٪ که به دلیل انجام ۳۴ عملیات در ۷۵ اسلات است



بسمه تعالی

معماری کامپیوتر پیشرفته

نیمسال اول ۱۴۰۲-۱۴۰۳

تمرین (۳)

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳/۰۸/۱۴۰۲

شماره دانشجویی: ۴۰۲۱۳۱۰۵۵

نام و نام خانوادگی: رضا آدینه پور

Unrolled ten times:

Cycle	Memory reference 1	Memory reference 2	fP operation 1	fP operation 2	Integer operation branch
1	fld f1,0(x1)	fld f2,8(x1)			
2	fld f3,16(x1)	fld f4,24(x1)			
3	fld f5,32(x1)	fld f6,40(x1)	fmul.d f1,f1,f0	fmul.d f2,f2,f0	
4	fld f7,48(x2)	fld f8,56(x1)	fmul.d f3,f3,f0	fmul.d f4,f4,f0	
5	fld f9,64(x2)	fld f10,72(x1)	fmul.d f5,f5,f0	fmul.d f6,f6,f0	
6	fld f11 0(x2)	fld f12,8(x2)	fmul.d f7,f7,f0	fmul.d f8,f8,f0	
7	fld f13,16(x2)	fld f12,8(x2)	fmul.d f9,f9,f0	fmul.d f10,f10,f0	addi x1,x1,48
8	fld f15,32(x2)	fld f16,40(x2)			addi x2,x2,48
9	fld f17,48(x2)	fld f18,56(x2)	fadd.d f11,f11,f1	fadd.d f12,f12,f2	
10	fld f19,64 (x2)	fld f20,72(x2)	fadd.d f13,f13,f3	fadd.d f14,f14,f4	
11			fadd.d f15,f15,f5	fadd.d f16,f16,f6	
12			fadd.d f17,f17,f7	fadd.d f18,f18,f8	DSL TU x3,x1,x4
13	fsd f11,-80(x2)	fsd f12,-72(x2)	fadd.d f19,f19,f9	fadd.d f20,f20,f10	
14	fsd f15,-48(x2)	fsd f16,-40(x2)			
15	fsd f17,-32(x2)	fsd f18,-24(x2)			
16	fsd f17,-32(x2)	fsd f12,-8(x2)			
17	fsd f19,-16(x2)	fsd f20,-8(x2)		bnez x3,foo	

برای ۵۴ عملیات، ۱۷ سایکل کلاک لازم است که منجر به ۳.۱۸ عمل به ازای هر سایکل کلاک شود، با

برابر با ۶۳.۵٪ که به دلیل انجام ۵۴ عملیات در ۸۵ اسلات است