



دانشکده مهندسی کامپیوتر

بسمه تعالی
معماری کامپیوتر پیشرفته
نیمسال اول 1402-1403
کوییز شماره دوم



دانشگاه صنعتی امیر کبیر

شماره دانشجویی:

نام و نام خانوادگی:

زمان آزمون: 40 دقیقه

1- در یک سیستم multi core اگر write miss رخ دهد از کدام سیاست برای آوردن بلاک استفاده می‌شود؟

1. no write allocate

2. write through

3. write allocate

4. write back

پاسخ : 1

2- کدام عبارت‌ها صحیح است؟

- miss rate به تنهایی برای گزارش دادن performance مناسب نیست.

- اگر latency پردازنده‌ای n برابر بهبود یابد bandwidth نیز n برابر بهبود می‌یابد.

- اگر ترافیک نوشتن نسبت به تاخیری که حافظه برای نوشتن دارد کم‌تر باشد استفاده از write buffer می‌تواند کل latency نوشتن را بپوشاند.

1. هر سه عبارت صحیح است.

2. عبارت 2 و 3 صحیح است.

3. عبارت 1 و 2 صحیح است.

4. تنها عبارت 2 صحیح است.

پاسخ : 1

3- چند عبارت درست است؟

- زمانی که برای بررسی و مقایسه عملکرد دو پردازنده خواهیم power , performance به طور همزمان در نظر بگیریم، energy per task معیار مناسبی است.

-انرژی دینامیک با تعداد switching های درون مدار متناسب است.

-انرژی که سیستم در واحد زمان مصرف می کند فارغ از اینکه کاری انجام دهد یا خیر را انرژی استاتیک گویند.

-کاهش فرکانس باعث کاهش power می شود اما تاثیری در مصرف انرژی ندارد.

2(1

4(2

1(3

3(4

پاسخ: 4

4- تعریف های زیر به ترتیب مربوط به کدام نوع موازی سازی هستند؟ (چپ به راست)

-به صورت موازی داده ارسال شود instruction همزمان n داده را مدیریت کند و n خروجی تولید کند.

-پردازنده هر لحظه درگیر بیش از یک instruction است.

DLP-TLP(1

DLP-ILP(2

RLP,ILP(3

ILP-RLP(4

پاسخ: 2

5- چند عبارت درست است؟

- استفاده از multiple bank در DRAM ها برای بالا بردن bandwidth توسط معماران کامپیوتر طراحی شده است.

-Power wall دلیل اصلی رشد performance پردازنده ها بود.

- Prefetching از تکنیک های کاهش توان می باشد.

- اگر bandwidth پردازنده ای n برابر شود، latency نیز 1/n خواهد شد.

- طبقه بندی Flynn بکارگیری یک و چند پردازنده در یک کامپیوتر می باشد.

4(4

3(3

2(2

1 (1

پاسخ: 3

6) کدام گزینه صحیح است.

- 1) الگوریتم LRU برای applicationهایی که memory intensive هستند مناسب است.
- 2) با بزرگ کردن سایز بلاک کش compulsory miss زیاد می شود ولی capacity و conflict miss کم می شود.
- 3) برای کم کردن ترافیک دسترسی به حافظه سطح بعد از تکنیک write through می توان استفاده کرد.
- 4) اگر ترافیک نوشتن نسبت به تأخیری که حافظه برای نوشتن دارد کم تر باشد استفاده از write buffer می تواند کل latency نوشتن را بپوشاند.

پاسخ: 4

7) گزینه مناسب را انتخاب کنید.

- تلاش الگوریتم LRU براساس temporal access است.
- در الگوریتم LRU اگر reuse distance بزرگ تر از associativity باشد، trashing رخ می دهد.
- سیاست LRU هنگامی که access زیاد شود پیچیدگی سخت افزاری دارد.
- در الگوریتم LFU اگر شمارنده یک بیتی باشد عملکرد این الگوریتم مانند الگوریتم NRU خواهد بود

1. فقط عبارت اول و دوم درست است.

2. فقط عبارت اول و سوم درست است.

3. عبارت اول و دوم سوم درست است.

4. هر چهار عبارت درست است.

پاسخ: 4

8) لازمه‌ی موازی سازی در سطح نخ (Thread) چیست؟

- | | | | |
|--------|--------|--------|----------------------|
| 1. DLP | 2. RLP | 3. ILP | 4. داشتن معماری CISC |
|--------|--------|--------|----------------------|

پاسخ: 3

9) تعریف زیر مربوط به کدام گزینه است؟

- یک ردیف از حافظه خوانده می‌شود. این ردیف شامل چندین بلاک است و هر بلاک شامل چندین کلمه (word) است. پردازنده در حال حاضر به یکی از این کلمات نیاز دارد. این تکنیک تلاش می‌کند ابتدا کلمه مورد نیاز پردازنده را تحویل دهد سپس بقیه بلاک‌ها و کلمات آن ردیف به حافظه کش انتقال یابند.

1. Burst mode access

2. Double Data Rate

3. wider interfaces

4. critical word first access

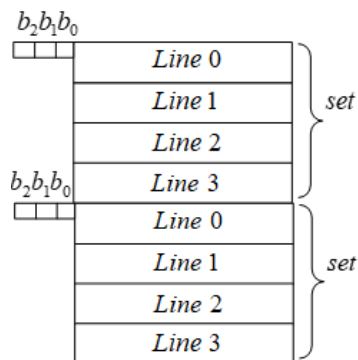
پاسخ: 4:

10) طبق شکل زیر و سیاست جایگزینی شبه LRU اگر فرض کنیم اولین دسترسی به بلاک 3 در set اول باشد (set بالایی) مقادیر $b_2b_1b_0$ ؟

B2b0=00

B1=-

جواب: 010 یا 000

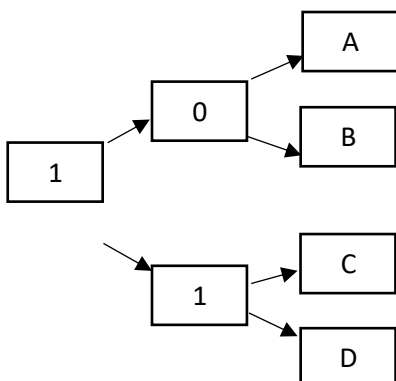


11) با توجه به شکل زیر طبق الگوریتم PLRU و MRU کاندید درست برای حذف شدن

را پیدا کنید.

PLRU=d

MRU=b



13) اگر clock rate در یکی از تکنولوژی‌های DDR برابر با 230 باشد نرخ انتقال داده (تعداد دفعاتی که می‌توانیم داده ارسال کنیم) بر حسب M/S چقدر خواهد بود؟

460