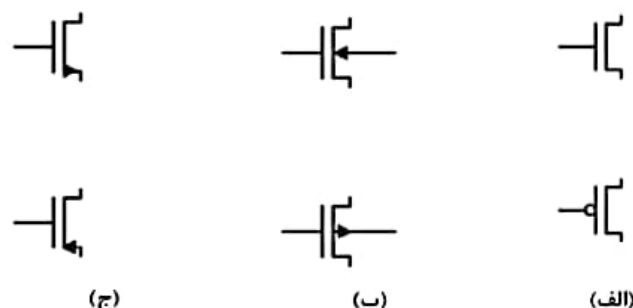


فصل دوم

تئوری ترانزیستورهای MOS

۱-۲ مقدمه

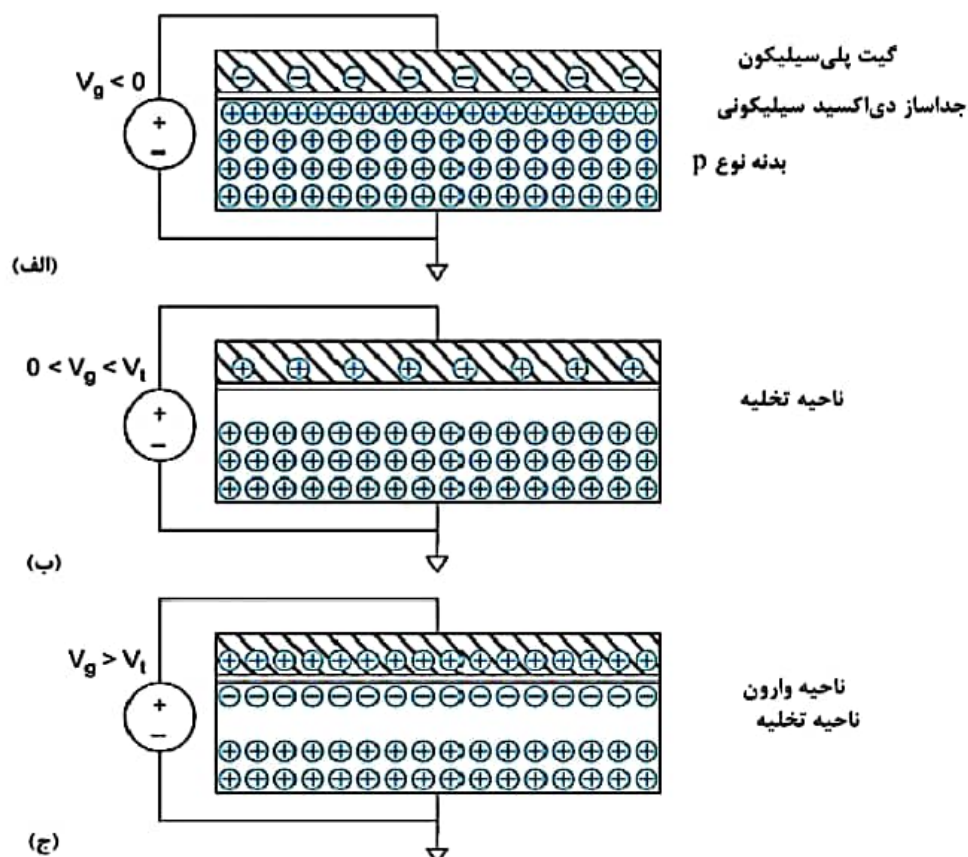
در این فصل ویژگی‌های ترانزیستورهای MOS با جزئیاتی بیشتر بررسی می‌شوند. شکل ۱-۲ برخی از علائمی که برای ترانزیستورهای MOS مورد استفاده قرار می‌گیرد را نشان می‌دهد.



شکل ۱-۲ نمادهای ترانزیستور MOS

ترانزیستور MOS ساختاری با حامل‌های اکثریت است که در آن، جریان در کانال میان سورس و درین با ولتاژ اعمال‌شده به گیت کنترل می‌شود. در یک ترانزیستور nMOS حامل‌ها الکترون‌ها، و در ترانزیستور pMOS حامل‌های حفره‌ها هستند. رفتار ترانزیستورهای MOS با بررسی ساختار گیت و زیرلایه و صرف‌نظر کردن از سورس و درین بیشتر قابل درک هست. شکل ۲-۲ ساختار یک MOS ساده را معرفی می‌کند. لایه بالایی ساختار، گیت است که از یک رسانای خوب

تشکیل شده است. ترانزیستورهای اولیه، گیت‌های فلزی به کار می‌بردند. گیت‌های ترانزیستور در ادامه از پلی‌سیلیکون استفاده کردند، اگرچه در تکنولوژی ۶۵ نانومتری و بعد از آن دوباره از گیت فلزی استفاده می‌شود. لایه میانی یک لایه بسیار نازک اکسید است که آن را اکسید گیت می‌نامند. لایه زیرین بدنه سیلیکونی است. شکل ۲-۲ بدنه از نوع p را نشان می‌دهد که حامل‌های آن حفره‌ها هستند. بدنه به زمین وصل شده و ولتاژی به گیت اعمال می‌شود.



شکل ۲-۲ ساختار MOS (الف) انباشتگی، (ب) تشکیل ناحیه تخلیه، و (ج) وارونگی

در شکل ۲-۲-الف، یک ولتاژ منفی به گیت اعمال می‌شود، بنابراین بار منفی روی گیت قرار می‌گیرد. حفره‌های مثبت متحرک موجود در زیرلایه تحت تأثیر بار منفی موجود روی گیت به زیر گیت جذب می‌شوند. این حالت را حالت انباشتگی^۱ می‌نامند. در شکل ۲-۲-ب یک ولتاژ مثبت

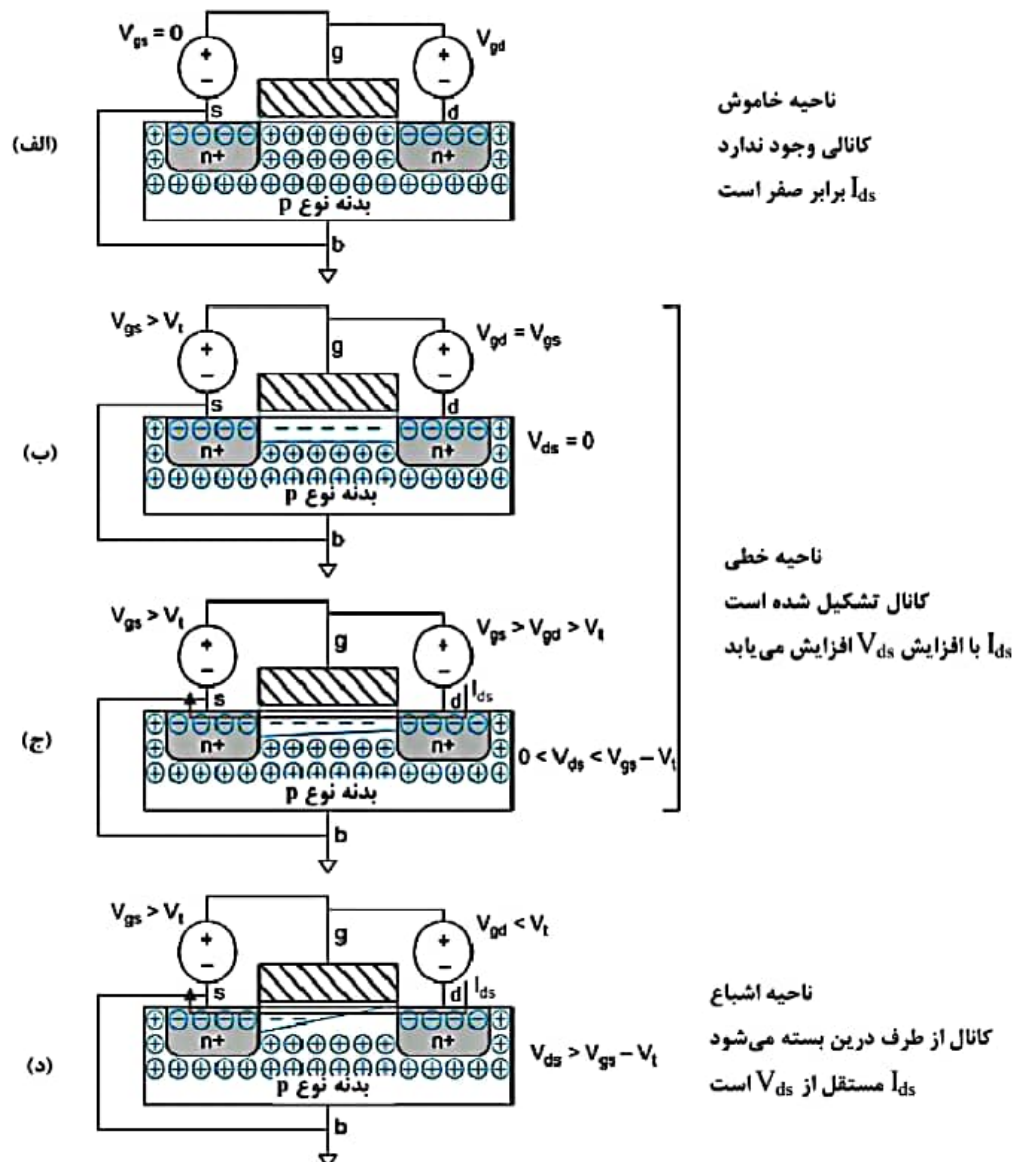
^۱ Accumulation

به گیت اعمال می‌شود که به تجمع بار مثبت روی گیت منجر می‌شود. در این حالت، حفره‌های موجود در بدنه در اثر بار مثبت موجود در گیت از زیر گیت دفع می‌شوند که ناحیه تخلیه^۱ در زیر گیت را تشکیل می‌دهند. در شکل ۲-۲، یک ولتاژ مثبت بالاتر از ولتاژ آستانه V_t به گیت اعمال شده و سبب می‌شود بار مثبت بیشتری به زیر گیت جذب شود. حفره‌ها بیشتر از زیر گیت دفع شده و برخی الکترون‌های بدنه به زیر گیت جذب می‌شوند. این لایه رسانا از الکترون‌ها در بدنه نوع p، لایه وارون نامیده می‌شود. ولتاژ آستانه به ناخالصی بدنه و ضخامت اکسید t_{ox} بستگی دارد.

شکل ۲-۳ ترانزیستور nMOS را نشان می‌دهد. ترانزیستور از پشته‌ای از فلز-اکسید-نیمه‌هادی میان نواحی n سورس و درین تشکیل می‌شود. در شکل ۲-۳-الف ولتاژ گیت به سورس V_{gs} کمتر از ولتاژ آستانه است. سورس و درین الکترون‌های آزاد دارند. بدنه، حفره‌های آزاد داشته و الکترون آزاد ندارد. فرض کنید که سورس به زمین متصل باشد. بایاس پیوندهای سورس یا درین به بدنه، صفر یا به صورت معکوس است بنابراین عبور جریان از این پیوند صفر، یا بسیار اندک است. در این حالت گفته می‌شود که ترانزیستور خاموش است و این حالت را حالت قطع^۲ می‌گویند. اغلب جریان در این حالت در مقایسه با جریان ترانزیستور روشن صفر در نظر گرفته می‌شود. البته باید توجه داشت که مقدار جریان نشتی در ترانزیستور خاموش به ویژه زمانی که تعداد ترانزیستورها روی تراشه چندین میلیون است قابل توجه خواهد بود. در شکل ۲-۳-ب، ولتاژ گیت از ولتاژ آستانه بزرگ‌تر است. در این حالت، ناحیه وارونی از الکترون‌ها به نام کانال، سورس و درین را به هم متصل کرده، که سبب ایجاد مسیری رسانا شده و ترانزیستور روشن می‌شود. با بالا رفتن ولتاژ گیت تعداد حامل‌ها و رسانایی افزایش می‌یابد. اختلاف پتانسیل میان سورس و درین برابر است با $V_{ds} = V_{gs} - V_{gd}$. اگر $V_{gs} = V_{gd}$ $V_{ds} = 0$ باشد میدان الکتریکی افقی برای ایجاد جریان مابین سورس و درین وجود نخواهد داشت.

^۱ Depletion

^۲ Cutoff



شکل ۲-۳ ترانزیستور nMOS در نواحی خاموش، خطی، و اشباع

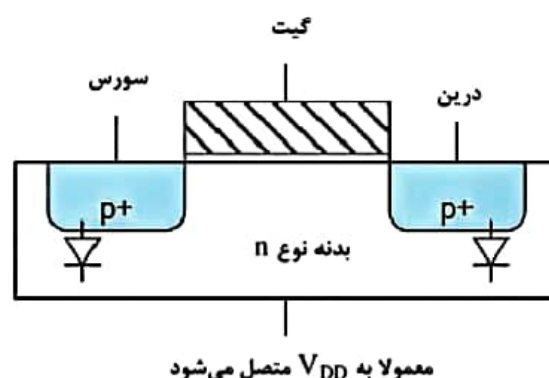
زمانی که ولتاژ مثبت کوچکی V_{ds} به درین اعمال شود (شکل ۲-۳-ج) جریان I_{ds} در کانال (از درین به سورس) برقرار خواهد شد. این حالت، حالت خطی^۱، مقاومتی^۲، تریود^۳ یا غیراشباع^۴ نامیده می شود. در این حالت جریان با افزایش ولتاژ گیت و ولتاژ درین افزایش می یابد. در صورتی که

^۱ Linear
^۲ Resistive
^۳ Triode
^۴ Nonsaturated

V_{ds} به اندازه کافی بزرگ باشد که $V_{gs} > V_t$ شود کانال در سمت درین دیگر وارون نشده و کانال از طرف درین بسته می‌شود^۱ (شکل ۲-۳-د). اما، به دلیل ولتاژ بالای مثبت درین الکترون‌ها مابین درین و سورس جریان پیدا کرده و جریان قطع نمی‌شود. در این حالت زمانی که الکترون‌ها به انتهای کانال می‌رسند در اثر میدان بالای مابین سورس و درین وارد ناحیه تخلیه شده و به سمت درین شتاب می‌گیرند. بالای این ولتاژ درین، جریان I_{ds} فقط با ولتاژ گیت کنترل می‌شود. این ناحیه کاری ترانزیستور را ناحیه اشباع^۲ می‌نامند.

در حالت کلی ترانزیستور nMOS سه حالت عملیاتی دارد. اگر $V_{gs} < V_t$ باشد، ترانزیستور قطع است. اگر $V_{gs} > V_t$ باشد، ترانزیستور روشن می‌شود. اگر V_{ds} کوچک باشد، ترانزیستور مانند یک مقاومت خطی عمل می‌کند که در آن جریان با V_{ds} متناسب است. اگر $V_{gs} > V_t$ و V_{ds} بزرگ باشد، ترانزیستور مانند یک منبع جریان عمل کرده که مقدار جریان مستقل از V_{ds} است.

ترانزیستور pMOS نمایش داده شده در شکل ۲-۴ بر عکس ترانزیستور nMOS عمل می‌کند. بدنه نوع n ترانزیستور pMOS به ولتاژ بالا متصل شده است و بنابراین پیوندهای سورس و درین با بدنه به صورت معکوس بایاس می‌شوند. زمانی که گیت به ولتاژ V_{DD} متصل باشد هیچ جریانی میان سورس و درین برقرار نمی‌شود. زمانی که ولتاژ گیت به اندازه ولتاژ آستانه V_t کاهش یابد (به مقدار



شکل ۲-۴ ترانزیستور pMOS

^۱ Pinch off

^۲ Saturation

ولتاژهای آستانه دو نوع ترانزیستور لزوماً یکسان نیستند و به‌طور معمول V_{in} و V_{ip} به ترتیب برای نمایش ولتاژ آستانه nMOS و pMOS استفاده می‌شوند.

اگرچه ترانزیستورهای MOS متقارن هستند، اما حامل‌های اکثریت از سورس ترانزیستور به درین آن حرکت می‌کنند. از آنجایی که الکترون‌ها دارای بار منفی هستند، سورس ترانزیستور nMOS از درین آن منفی‌تر است. حفره‌ها بار مثبت دارند، بنابراین سورس ترانزیستور pMOS مثبت‌تر از درین آن می‌باشد. در گیت‌های CMOS ایستا، سورس پایه‌ای است که به منبع تغذیه نزدیک‌تر است و درین پایه‌ای است که به خروجی نزدیک است.

بخش ۲-۲، ارائه یک مدل ایده‌آل برای رابطه جریان و ولتاژ (I-V) ترانزیستور را نشان می‌دهد. تأخیر مدارهای MOS با زمان لازم برای شارژ یا دشارژ خازن مدار مشخص شده و گیت ترانزیستور MOS با دی‌الکتریک نازک، خازن خوبی محسوب می‌شود. درحقیقت خازن گیت، نقش اصلی را در جذب حامل‌های بار به کانال و عملکرد ترانزیستور دارد. پیوندهای p-n از سورس/درین به بدنه، خازن‌های پارازیت زائدی را به مدار اضافه می‌کنند. خازن سیم‌هایی که ترانزیستورها را به هم متصل می‌کنند نیز مهم است. این مدل I-V ایده‌آل فهمی کیفی و کلی از رفتار ترانزیستور را به دست می‌دهد اما از نظر مقادیر کمی، دقیق نیست. ازسوی دیگر، این مدل از بسیاری از اثراتی که در ترانزیستورها با طول کانال کوتاه مهم هست صرف‌نظر می‌کند. بنابراین، مدل برای محاسبه دقیق جریان به قدر کافی دقیق نیست.

۲-۲ مشخصه‌های I-V ترانزیستورهای کانال بلند

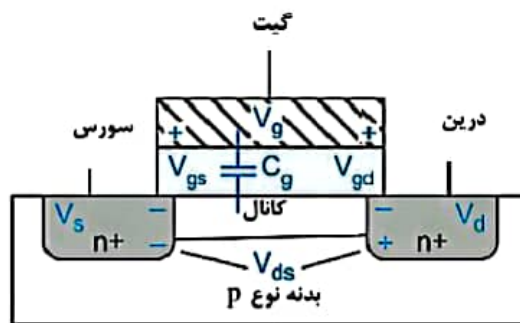
همان‌گونه که پیش‌تر بیان شد، ترانزیستورهای MOS دارای سه ناحیه کاری زیر هستند:

- ناحیه قطع یا ناحیه زیر آستانه؛
- ناحیه خطی؛
- ناحیه اشباع.

در این قسمت هدف استخراج مدلی میان جریان و ولتاژ (I-V) برای یک ترانزیستور nMOS در هریک از این ناحیه‌هاست. این مدل فرض می‌کند که طول کانال به اندازه کافی بلند است به طوری که میدان الکتریکی افقی (میدان میان سورس و درین) به نسبت کم است که در ترانزیستورهای نانومتری این شرط برقرار نیست. این مدل به نام مدل شاکلی، کانال بلند، مرتبه اول یا ایده آل نامیده می‌شود. در بخش‌های بعدی مدل بهبود داده شده است تا موارد ایده آل نبودن، نشتی، میدان بزرگ میان درین و سورس در نظر گرفته شود. در مدل کانال بلند فرض می‌شود که جریان عبوری از ترانزیستور خاموش برابر صفر است. هنگامی که ترانزیستور روشن شود ($V_{gs} > V_t$)، گیت، حامل‌ها (الکترون‌ها) را برای تشکیل کانال جذب می‌کند. الکترون‌ها با سرعتی متناسب با میدان الکتریکی میان سورس به درین از سورس به درین به حرکت درمی‌آیند. در صورتی که مقدار بارها در کانال و سرعت حرکت آن‌ها مشخص باشد جریان را می‌توان محاسبه کرد. بار روی هر صفحه خازن برابر با $Q = CV$ است. بنابراین بار در کانال برابر است با:

$$Q_{\text{کانال}} = C_g (V_{gc} - V_t) \quad (۱-۲)$$

که C_g خازن گیت به کانال و $V_{gc} - V_t$ مقدار ولتاژی است که بار را به زیر کانال جذب می‌کند. اگر ولتاژ سورس V_s و ولتاژ درین V_d باشد میانگین آن برابر با $V_c = \frac{V_s + V_d}{2} = V_s + \frac{V_{ds}}{2}$ است. بنابراین، اختلاف میان پتانسیل گیت و کانال برابر با $V_{gc} = V_g - V_c = V_{gs} - \frac{V_{ds}}{2}$ خواهد بود (شکل ۵-۲).



متوسط پتانسیل گیت به کانال

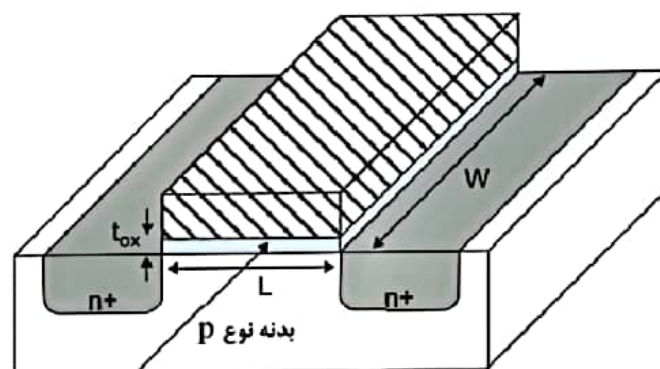
$$V_{gc} = \frac{V_{gs} + V_{gd}}{2} = V_{gs} - \frac{V_{ds}}{2}$$

شکل ۵-۲ ولتاژ متوسط گیت به کانال

گیت به صورت خازنی با صفحات موازی مدل می‌شود که مقدار آن متناسب با مساحت است. اگر گیت دارای طول L ، عرض W و ضخامت t_{ox} باشد (شکل ۲-۶) خازن برابر است با:

$$C_g = k_{ox} \epsilon_0 \frac{WL}{t_{ox}} = \epsilon_{ox} \frac{WL}{t_{ox}} = C_{ox} WL \quad (2-2)$$

که ϵ_0 ثابت دی‌الکتریک خلاء است که برابر $\frac{F}{cm} \times 10^{-12} \times 8.85$ و ثابت دی‌الکتریک SiO_2 $3.9/4$ برابر خلاء است. اغلب، $\frac{\epsilon_{ox}}{t_{ox}}$ خازن واحد سطح اکسید گیت نامیده شده و با C_{ox} نمایش داده می‌شود. برخی از فرایندهای نانومتری از دی‌الکتریک دیگری با ثابت دی‌الکتریک بالاتر استفاده می‌کنند. در این فرایندها، t_{ox} را ضخامت اکسید معادل^۱ (EOT)، ضخامت لایه‌ای از SiO_2 که دارای همان C_{ox} باشد، می‌نامند.



اکسید گیت SiO_2
(عایق، $\epsilon_{ox} = 3.9\epsilon_0$)

شکل ۲-۶ ابعاد ترانزیستور

هر حاملی در کانال دارای سرعت متوسط v است که این سرعت با میدان الکتریکی افقی (میدان میان سورس و درین) متناسب است. ثابت این تناسب را قابلیت تحرک^۲ μ می‌نامند.

$$v = \mu E \quad (3-2)$$

^۱ Equivalent oxide thickness

^۲ Mobility

مقدار معمول μ برای الکترون‌ها در ترانزیستور nMOS با میدان الکتریکی پایین حدود $700-500 \frac{cm^2}{V.s}$ است. اما، بیشتر ترانزیستورهای امروزی در میدان‌های بسیار بزرگ استفاده می‌شوند. میدان الکتریکی E برابر است با اختلاف ولتاژ میان سورس و درین V_{ds} تقسیم بر طول کانال

$$E = \frac{V_{ds}}{L} \quad (2-4)$$

زمان لازم برای عبور حامل‌ها در طول کانال برابر طول کانال بر سرعت حامل $\frac{L}{v}$ است. بنابراین، جریان میان سورس و درین برابر کل مقدار بار در کانال تقسیم بر زمان مورد نیاز برای عبور بارهاست:

$$I_{ds} = \frac{Q_{channel}}{\frac{L}{v}} = \mu C_{ox} \frac{W}{L} \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} = \beta \left(V_{GT} - \frac{V_{ds}}{2} \right) V_{ds} \quad (2-5)$$

که

$$\beta = \mu C_{ox} \frac{W}{L}; V_{GT} = V_{gs} - V_t \quad (2-6)$$

$V_{gs} - V_t$ را با V_{GT} نمایش می‌دهند. رابطه (2-5) ناحیه خطی را نشان می‌دهد، ناحیه‌ای که در آن $V_{ds} > V_t$ و V_{ds} کوچک است. این ناحیه را ناحیه خطی یا مقاومتی می‌گویند زیرا زمانی که $V_{ds} \ll V_{GT}$ است I_{ds} به‌طور تقریبی به‌صورت خطی با V_{ds} تغییر می‌کند. پارامترهای مربوط به ابعاد و وابسته به تکنولوژی گاهی در یک فاکتور β خلاصه می‌شوند. این علامت را با β که نشان‌دهنده نسبت جریان کلکتور به بیس در ترانزیستور دوقطبی است اشتباه‌نگیرید. برخی از متن‌ها پارامترهای وابسته به تکنولوژی را با یک ثابت k نشان می‌دهند که برابر است با

$$k = \mu C_{ox} \quad (2-7)$$

اگر $V_{ds} > V_{dsat} \equiv V_{GT}$ کانال دیگر در نزدیک درین وارون نمی‌شود. در ولتاژهای بالای این ولتاژ، ولتاژ اشباع درین، افزایش ولتاژ درین بر جریان تأثیری ندارد. با جای‌گذاری $V_{ds} = V_{dsat}$ در فرمول 2-5 جریان ناحیه اشباع مستقل از V_{ds} به‌صورت زیر به‌دست می‌آید.

$$I_{ds} = \frac{\beta}{2} V_{GT}^2 \quad (2-8)$$

این عبارت برای $V_{gs} > V_t$ و $V_{ds} > V_{dsat}$ معتبر است.

دو جریان یک ترانزیستور جریان I_{on} و I_{off} هستند. I_{on} (I_{dsat}) جریان روشن I_{ds} زمانی که $V_{gs}=V_{ds}=V_{DD}$ باشد را نشان داده و I_{off} جریان ترانزیستور خاموش زمانی که $V_{gs}=0$ و $V_{ds}=V_{DD}$ باشد را بیان می‌کند. بنا به مدل کانال بلند، $I_{off}=0$ و

$$I_{on} = \frac{\beta}{2} (V_{DD} - V_t)^2 \quad (9-2)$$

رابطه ۲-۱۰ جریان ترانزیستور را در سه ناحیه کاری خلاصه کرده است:

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \\ \beta \left(V_{GT} - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} \\ \frac{\beta}{2} V_{GT}^2 & V_{ds} > V_{dsat} \end{cases} \quad (10-2)$$

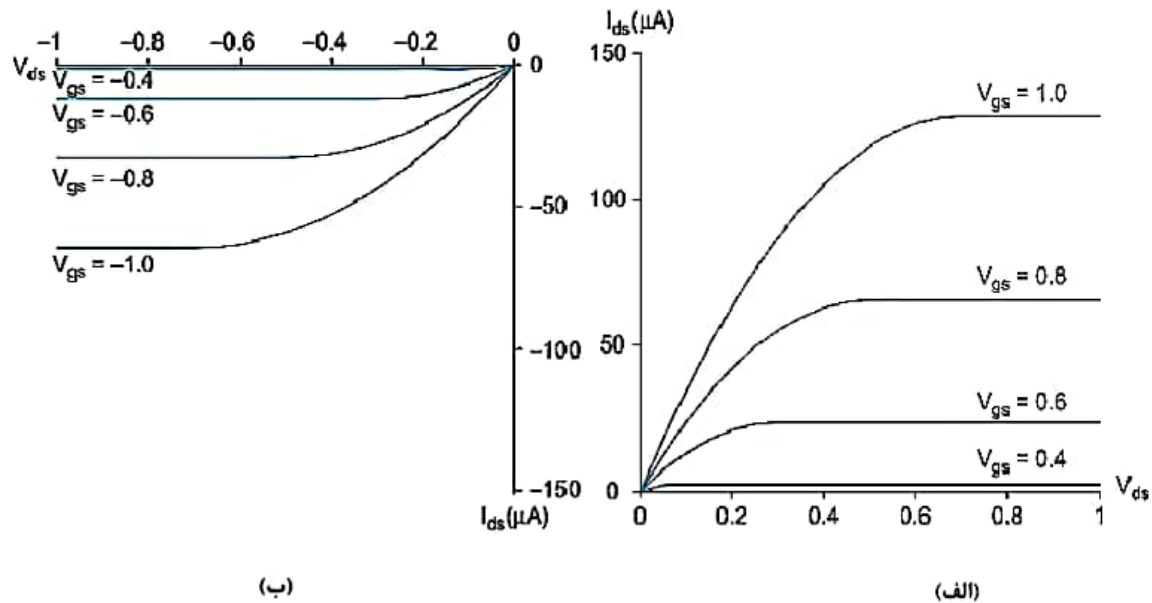
مثال ۲-۱: یک ترانزیستور در فرایند ۶۵ نانومتری با کانال کمینه ۵۰ نانومتر ($\lambda=25$ نانومتری) را در نظر بگیرید. فرض کنید $\frac{W}{L} = \frac{4}{2}$ باشد. در این فرایند، ضخامت اکسید گیت ۱۰/۵ آنگسترون است. قابلیت تحرک الکترون در میدان بزرگ را در دمای ۷۰ درجه سانتی‌گراد $\frac{cm^2}{V.s}$ ۸۰ در نظر بگیرید. ولتاژ آستانه برابر ۰/۳ ولت است. نمودار I_{ds} را بر حسب V_{ds} به ازای مقادیر ۰/۲، ۰/۴، ۰/۶، ۰/۸، و ۱ ولت برای V_{gs} با استفاده از مدل کانال بلند رسم کنید.

راه‌حل: اول β محاسبه می‌شود.

$$\beta = \mu C_{ox} \frac{W}{L} = \left(80 \frac{cm^2}{V.s} \right) \left(\frac{3.9 \times 8.85 \times 10^{-14} \frac{F}{cm}}{10.5 \times 10^{-8} cm} \right) \left(\frac{W}{L} \right) = 262 \frac{W}{L} \frac{\mu A}{V^2} \quad (11-2)$$

شکل ۲-۷ الف مشخصه $I-V$ ترانزیستور را نشان می‌دهد. بنا به مدل مرتبه اول، زمانی که ولتاژ گیت از V_t کمتر باشد جریان صفر خواهد بود. برای ولتاژهای بیشتر، جریان زمانی که V_{ds} کوچک باشد به صورت خطی با V_{ds} افزایش خواهد یافت. هنگامی که V_{ds} به $V_{dsat}=V_{GT}$ برسد، جریان مستقل از V_{ds} شده و ترانزیستور وارد ناحیه اشباع می‌شود. در ادامه کتاب مشخص خواهد شد که مدل شاکلی، جریان را در ولتاژ بالا بیشتر از مقدار واقعی تخمین می‌زند. دلیل این امر آن است که این مدل تنزیل قابلیت تحرک و اشباع سرعت در میدان‌های الکتریکی بزرگ را در نظر نمی‌گیرد.

ترانزیستورهای pMOS به همان شیوه ترانزیستور nMOS عمل می‌کنند اما علامت ولتاژ و جریان آنها معکوس می‌شود. مشخصه $I-V$ این ترانزیستورها در ناحیه سوم قرار می‌گیرند



شکل ۲-۷ مشخصه I-V ایده آل برای الف) ترانزیستور nMOS ب) ترانزیستور pMOS

(شکل ۲-۷-ب). قابلیت تحرک حفره‌ها در سیلیکون کمتر از قابلیت تحرک الکترون‌هاست. این بدان معنی است که ترانزیستورهای pMOS، نسبت به ترانزیستورهای nMOS هم‌اندازه با خود جریانی کمتر ارائه می‌کنند و کندتر از ترانزیستورهای nMOS هستند. μ_n و μ_p به ترتیب برای نمایش قابلیت تحرک الکترون‌ها و حفره‌ها در ترانزیستورهای nMOS و pMOS استفاده می‌شوند. نسبت قابلیت تحرک $\frac{\mu_n}{\mu_p}$ حدود ۲-۳ می‌باشد. برای مثال‌های این کتاب از عدد ۲ استفاده خواهد شد. ترانزیستور pMOS دارای شکلی مشابه با ترانزیستور nMOS شکل ۲-۷-الف است، اما $\mu_p = 40 \frac{cm^2}{V.s}$ و $V_{tp} = -0.3$ V است. β_n ، β_p ، k_n' و k_p' برای متمایز کردن مشخصه‌های ترانزیستورهای nMOS و pMOS مورد استفاده قرار می‌گیرد.

۲-۳ مشخصه‌های C-V

میان هر پایه ترانزیستور MOS و پایه‌های دیگر خازنی وجود دارد. در حالت کلی این خازن‌ها غیرخطی و وابسته به ولتاژ هستند (C-V). اما، در صورتی که از رفتار خازن‌ها در طول مدت سوئیچینگ میانگین گرفته شود می‌توان این خازن‌ها را با خازن‌هایی ساده جایگزین کرد. در این