

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

INSTITUTO DE INFORMÁTICA

CURSO DE CIÊNCIA DA COMPUTAÇÃO

CIRCUITOS DIGITAIS (2014/1)

Prof. Dr. Marcelo de Oliveira Johann

Graduandos:

Paulo Renato Lanzarin (228818)

Ricardo Gabriel Herdt (160622)

Relatório do laboratório 06:

Projeto de decodificador para 7 segmentos

Porto Alegre, 24 de abril de 2014

1 Descrição

O projeto deste laboratório consistiu na elaboração de um decodificador para 7 segmentos. Mais precisamente, os 4 bits de entrada são decodificados para o correspondente dígito de 0 a 9 (os quais são "desenhados" em segmentos de LED's enumerados de 'a' a 'g'). Para tanto, a partir de uma tabela verdade construída relacionando cada valor de entrada com os segmentos acionados, minimizou-se a correspondente função booleana através de mapas de Karnaugh e construiu-se o circuito.

2 Tabela Verdade

As funções de decodificação para ativação de cada LED (obtidas a partir da minimização por mapa de Karnaugh através dos valores da tabela-verdade acima) e a montagem dos circuitos específicos são como seguem nas subseções.

nº	$i_3 i_2 i_1 i_0$	a	b	c	d	e	f	g
0	0000	1	1	1	1	1	1	0
1	0001	0	1	1	0	0	0	0
2	0010	1	1	0	1	1	0	1
3	0011	1	1	1	1	0	0	1
4	0100	0	1	1	0	0	1	1
5	0101	1	0	1	1	0	1	1
6	0110	1	0	1	1	0	1	1
7	0111	1	1	1	0	0	0	0
8	1000	1	1	1	1	1	1	1
9	1001	1	1	1	0	0	1	1

Tabela 1: Tabela verdade

3 Equações minimizadas

$$a : i_2.i_0 + i_1 + i_3 + \neg i_2.\neg i_0$$

$$b : \neg i_3.\neg i_2 + \neg i_1.\neg i_0 + i_3 + i_1.i_0$$

$$c : i_0 + \neg i_1 + i_2 + i_3$$

$$d : \neg i_2.\neg i_0 + i_2.\neg i_1.i_0 + \neg i_2.i_1 + i_1.i_0$$

$$e : \neg i_2.\neg i_0 + i_1.i_0$$

$$f : \neg i_1.\neg i_0 + i_3 + \neg i_3.i_2.\neg i_0 + \neg i_3.i_2.\neg i_1$$

$$g : i_1.\neg i_0 + i_2.\neg i_1 + i_3 + \neg i_2.i_1$$

4 Circuitos

O decodificador de 7 segmentos foi projetado em blocos no programa *Max+plus II*. Foram dispostas entradas de i0 a i3 que são conectadas em decodificadores menores projetados especificamente para as funções de cada LED e que levam cada um a uma saída (que consistem dos correspondentes LEDs do dígito). A tabela verdade do decodificador é como segue, com 0-9 representando os dígitos que são ativados e a-g representando os LEDs correspondentes do dígito.

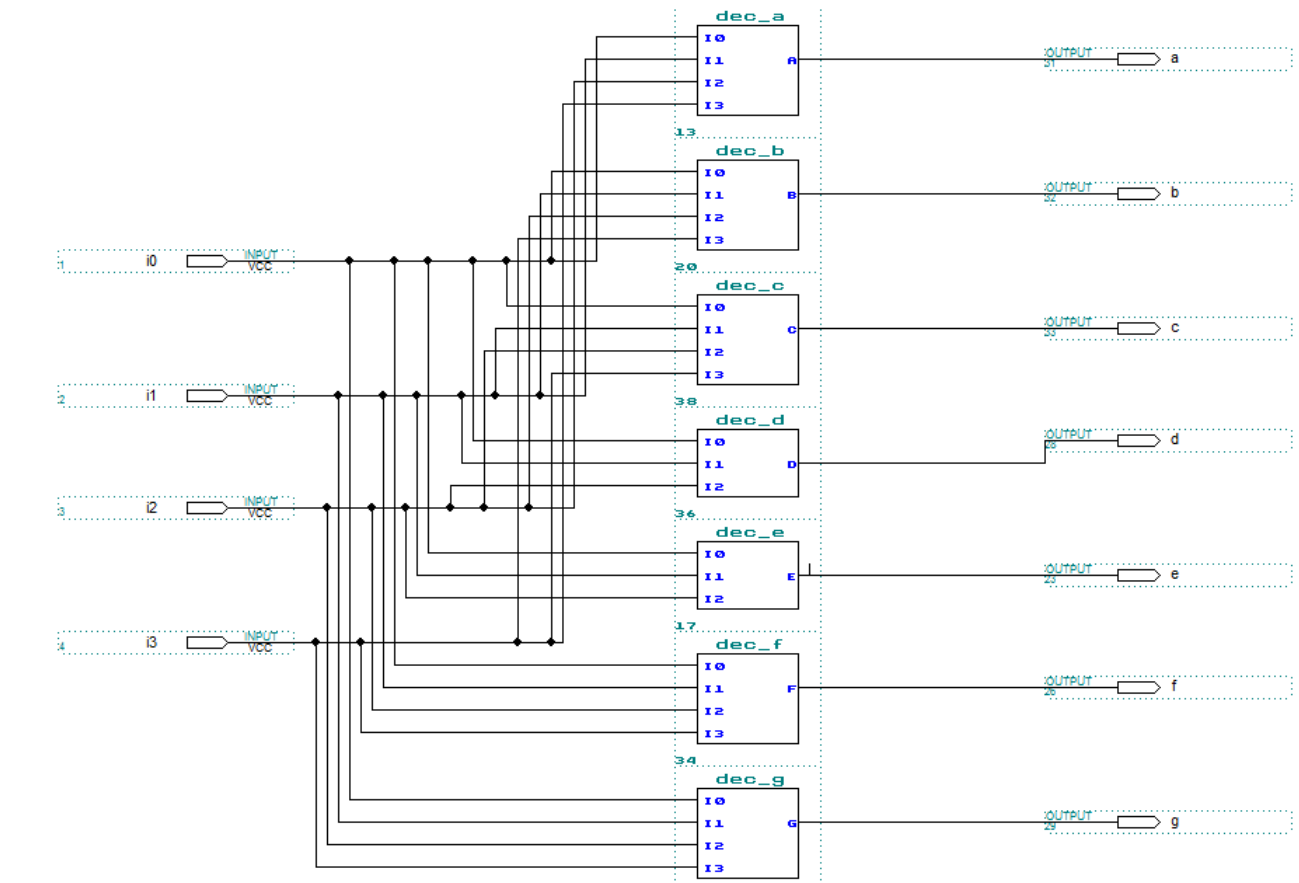


Figura 1: Visão geral do circuito

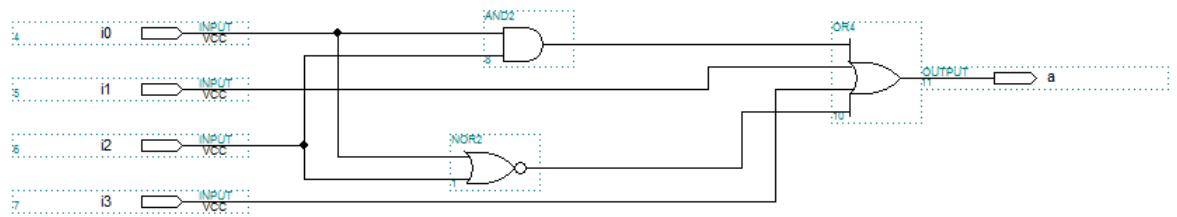


Figura 2: Decodificador 'a'

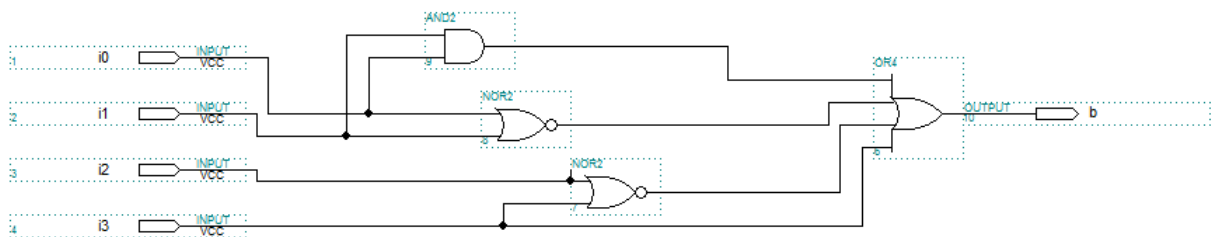


Figura 3: Decodificador 'b'

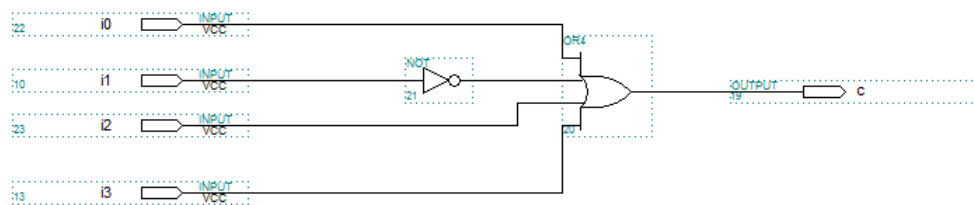


Figura 4: Decodificador 'c'

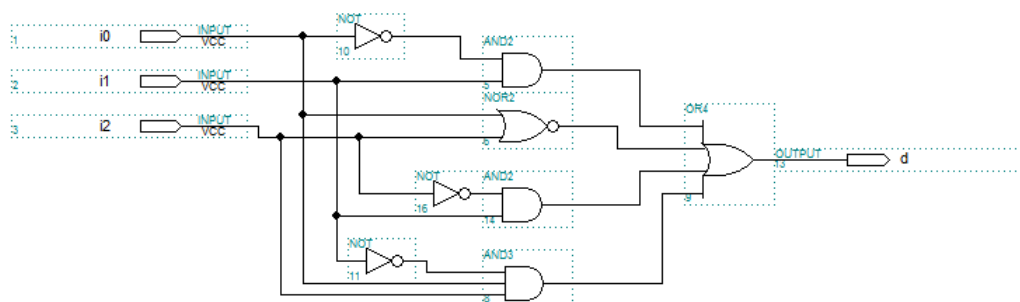


Figura 5: Decodificador 'd'

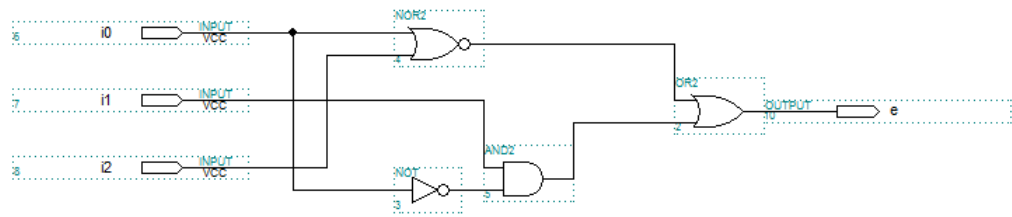


Figura 6: Decodificador 'e'

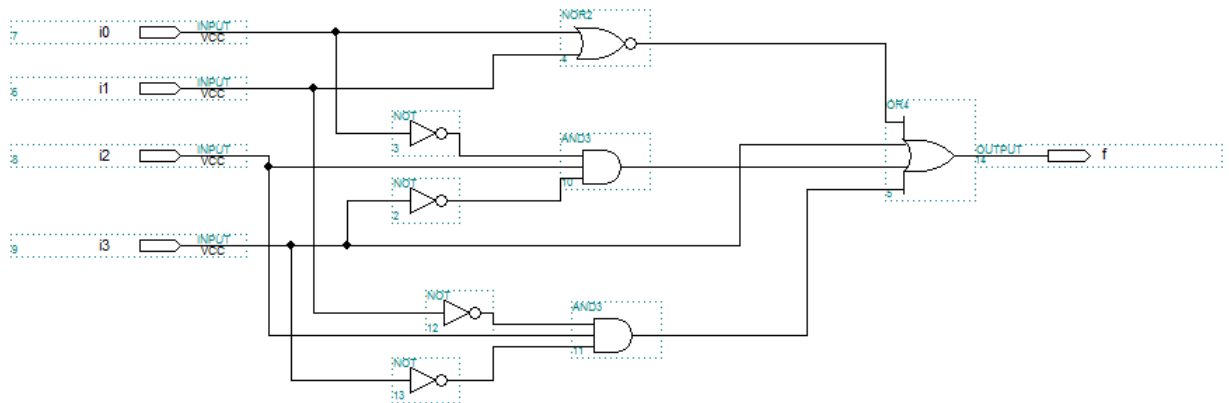


Figura 7: Decodificador 'f'

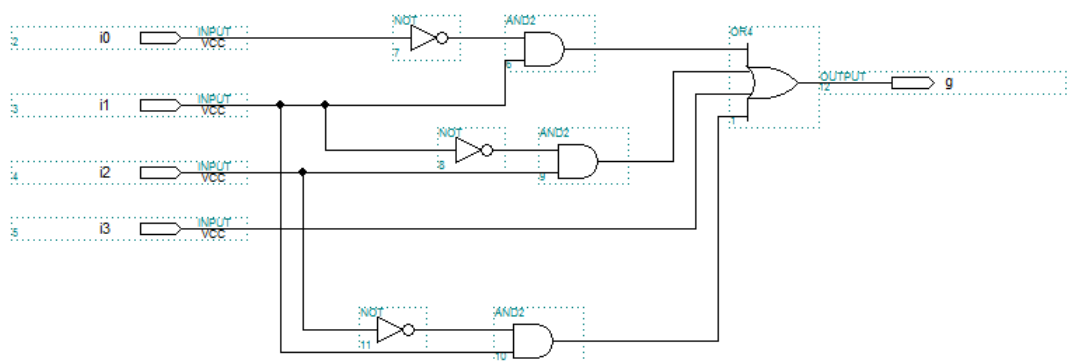


Figura 8: Decodificador 'g'

5 Simulação

A simulação funcional foi organizada de modo a cobrir todas as combinações possíveis para ativar os dígitos de 0 a 9 (como pode ser conferido na tabela verdade da seção 2). O resultado é tal como segue na figura:

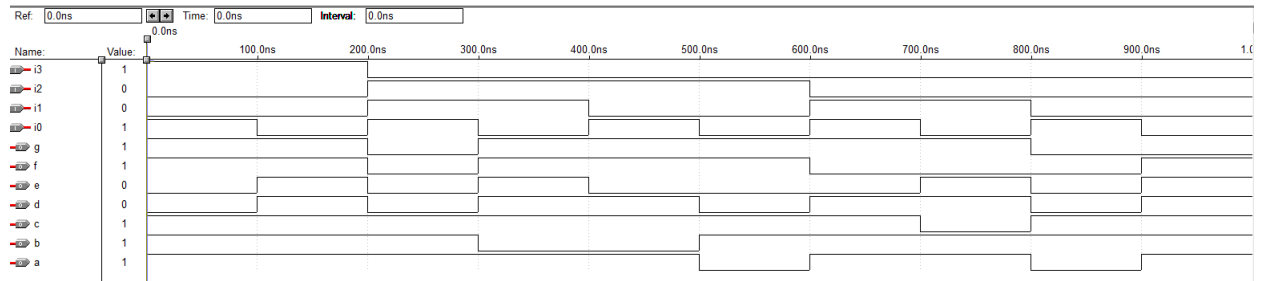


Figura 9: Simulação Funcional

6 Conclusão

O experimento foi importante ao concretizar a noção de otimização de circuitos através da minimização por mapas de Karnaugh. Entretanto, nota-se que isto foi possível levando em conta que o projeto em questão é de um circuito relativamente simples e, para algo mais complexo, seria impraticável proceder desta maneira.