UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL INSTITUTO DE INFORMÁTICA CURSO DE CIÊNCIA DA COMPUTAÇÃO CIRCUITOS DIGITAIS (2014/1)

Prof. Dr. Marcelo de Oliveira Johann Graduandos:

Paulo Renato Lanzarin (228818) Ricardo Gabriel Herdt (160622)

Relatório do laboratório 07: Projeto de multiplexador e decodificador

1 Descrição

O projeto deste laboratório consistiu na elaboração de um decodificador de 4 para 16 e um multiplexador de 8 para 16, ambos desenvolvidos na ferramenta Max+plus II. O decodificador, de entradas a[3..0], realiza a decodificação através de 16 portas OR que selecionam as combinações binárias das entradas (0000, 0001, ..., 1111) em saídas b[15..0]. O multiplexador, por sua vez, foi desenvolvido em partes: primeiramente, foi projetado um MUX 2:1 com um sinal de seleção, entradas d[1..0] e saída a0 utilizando duas portas AND e uma OR selecionando as entradas. Tal MUX foi definido como um bloco e utilizado para compor o multiplexador 16:8, que nada mais é que oito MUX2:1 dispostos com um mesmo sinal de seleção s0.

2 Circuitos

Os diagramas esquemáticos dos circuitos projetados neste laboratorio estão como seguem nas subseções.

2.1 Decodificador de 4 para 16

Como dito na descrição do experimento, o decodificador é como o exposto no diagrama esquemático a seguir:

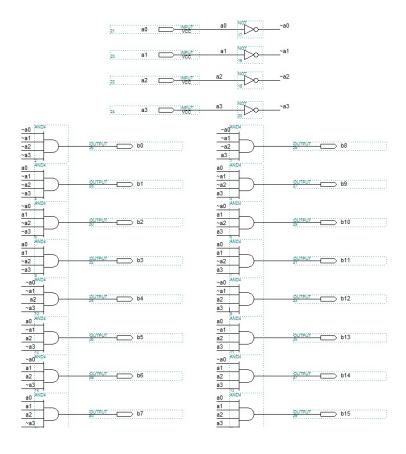


Figura 1: Diagrama esquemático do DEC4:16 retirado do Max+plus II

2.2 Mutiplexador de 8 para 16

O MUX2:1 utilizado na composição do MUX8:16 é tal qual está no seguinte diagrama:

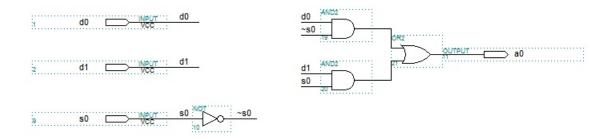


Figura 2: Diagrama esquemático do MUX2:1 retirado do Max+plus II

O MUX16:8, o qual recebe 2 entradas de 8 bits e gera uma saída de 8 bits através de 8 multiplexadores de 2:1 com um bit de seleção s0 é tal como segue no diagrama:

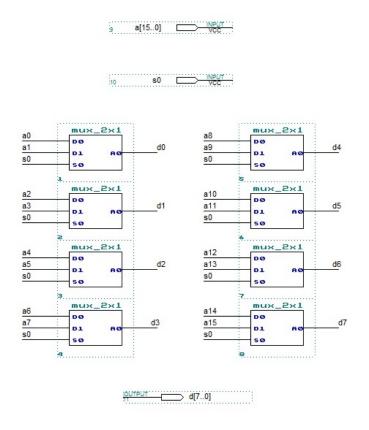


Figura 3: Diagrama esquemático do MUX16:8 retirado do Max+plus II

3 Simulação

A simulação funcional dos circuitos projetados estão expostas nas subseções seguintes e foram retiradas do *Max+plus II*.

3.1 Simulação do decodificador de 4 para 16

A simulação do decodificador de 4 para 16 foi feita e é exposta a seguir, notando que suas entradas e saídas estão dispostas em números decimais.

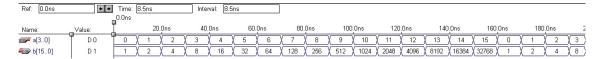


Figura 4: Simulação funcional do DEC4:16

3.2 Simulação funcional do multiplexador de 16 para 8

A simulação funcional exposta a seguir não pôde cobrir todas as possibilidades de entradas e saídas pelo fato de haver um alto número de combinações possíveis. A seguir, vê-se trechos da simulação com o bit de seleção s0 em '0' e em '1':

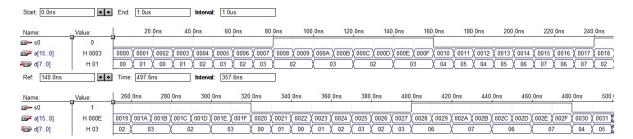


Figura 5: Simulação funcional do MUX16:8

4 Conclusão

Multiplexadores e decodificadores são componentes fundamentais na construção de estruturas computacionais mais complexas, seja na decodificação de instruções em um processador, endereçamento em memória, roteamento de sinais ou mesmo em seus usos na implementação de quaisquer funções lógicas. Não obstante, esta flexibilidade traz consigo a desvantagem do custo adicional devido ao desperdício, uma vez que todo o circuito precisa atuar, embora apenas um subconjunto do mesmo seja aproveitado a cada operação.