

# Sistema de rega automatizada

Edgar Rodrigo Rocha  
Silva Jimmy Cerqueira  
Matos Rian da Silva  
Santos

2024

## Resumo

A ineficiência no uso de recursos hídricos na irrigação têm levantado a necessidade de práticas tecnológicas inovadoras no âmbito da agricultura. O seguinte artigo relata o desenvolvimento do protótipo de um sistema automatizado de rega localizada utilizando circuitos combinacionais em um kit CPLD personalizado. Métodos de simplificação de expressões como o mapa de Karnaugh foram utilizados para criação do menor circuito possível. Foram realizados estudos de caso que exibiram respostas adequadas às condições de entrada estabelecidas, sendo que um tipo de rega é ativado para cada conjunto de entradas. Os testes realizados no protótipo demonstraram que a introdução de sensores de detecção das condições do ambiente e uso de um sistema digital de rega automatizada pode auxiliar no processo de redução do gasto de água.

**Palavras-chaves:** Circuitos combinacionais. Rega automatizada. Circuitos digitais.

## Introdução

Práticas tecnológicas inovadoras têm se tornado cada vez mais relevantes com o constante crescimento de problemas ambientais no âmbito global. Em especial, o consumo de água doce na agricultura, que representa cerca de 70% da captação de água no mundo. Nesse contexto, os sistemas de rega são desenvolvidos para obter uma maior eficácia na utilização de água e para gerar uma vantagem econômica por parte do agricultor (LEIRIA, 2023; LEVIDOW, et al., 2014.).

Atualmente, a eficiência no uso de água durante a rega de plantações é baixa. Agricultores tendem a utilizar mais água do que o necessário, afetando na produtividade e gasto de recursos. Portanto, uma solução viável para este problema é o uso de sistemas inteligentes e automatizados de rega (KAMIENSKI, 2020).

Os sistemas de rega inteligentes propõem a inserção de métodos, aparelhos e técnicas que têm por objetivo minimizar a interferência humana, tornando o processo de irrigação otimizado. Dessa forma, são introduzidos diferentes tipos de sensores e sistemas de controle, de acordo com a estratégia definida (LEIRIA, 2023).

O presente artigo relata o desenvolvimento do protótipo de um sistema simples de rega inteligente e automatizada, que utiliza-se de sensores de umidade, temperatura e nível d'água para controlar dois tipos de rega localizadas: por gotejamento e micro-aspersão. Dessa forma, é possível reduzir o uso de água quando forem atingidas as condições pré- estabelecidas.

O protótipo foi desenvolvido com o uso de circuitos combinacionais, também objetivando obter o circuito mais simples possível, além de ter sido implementado por meio da abordagem estrutural da linguagem *Verilog*, utilizando-se de um kit CPLD, o LEDS-CPLD, desenvolvido pelo Laboratório de Eletrônica Digital e Sistemas (LEDS) da Universidade Estadual de Feira de Santana (UEFS). As seguintes seções buscam detalhar as etapas de desenvolvimento do protótipo, além dos testes e discussões dos resultados.

## 1 Fundamentação teórica

### 1.1 Circuitos combinacionais

Circuitos combinacionais são definidos como a interconexão de portas lógicas, produzindo uma saída específica para certas combinações de variáveis de entrada e não envolvendo armazenamento/registro de dados. Na lógica combinacional, a saída resultante sempre depende apenas das entradas do circuito (FLOYD, 2007).

A expressão que representa cada saída de um circuito combinacional pode ser descrita na forma de soma-de-produtos (SoP); ou seja, na lógica de portas AND-OR. Essa forma de expressar circuitos digitais utiliza-se de *minterms* (termo resultante de uma operação AND entre as entradas de cada linha de nível alto em uma tabela-verdade) sendo operados por uma porta OR. Tal expressão pode ser descrita, também, como circuito digital utilizando portas lógicas. Ex.:  $AB + C + A B C$  (FLOYD, 2007).

### 1.2 CPLDs

A CPLD (*complex programmable logic device*), por sua vez, é um dispositivo lógico programável complexo.

Ela consiste em arranjos de dispositivos programáveis mais simples, conhecidos como SPLDs, que possuem interconexões programáveis. Cada um dos arranjos SPLD na CPLD é chamado de LAB (*logic array block*), ou bloco lógico. Essas interconexões podem ser programadas por um software utilizando uma linguagem de descrição de hardware, como o *Verilog* (FLOYD, 2007).

### 1.3 Display de 7 segmentos

Um display de sete segmentos, como seu nome indica, é composto de sete elementos (a, b, b, c, d, e, f, g) os quais podem ser ligados ou desligados individualmente. Eles podem ser combinados para produzir representações simplificadas, como os números de 0 a 9 e as letras do alfabeto.

Existem dois tipos de display, o cátodo comum, que para acender é necessário nível lógico alto "1", e o ânodo comum, que para acender é necessário nível lógico BAIXO "0" (FLOYD, 2007).

## 2 Metodologia

### 2.1 Materiais e diagramação

O protótipo apresentado é um sistema de rega automatizada que se baseia em um dispositivo lógico programável, a CPLD, utilizando circuitos combinacionais. O sistema foi diagramado como na Figura 1, relacionando as seguintes entradas, saídas e módulos:

- **Entradas:** 2 sensores de umidade:  $U_s$  (umidade do solo) e  $U_a$  (umidade do ar); 1 sensor de temperatura:  $T$ ; 3 sensores de nível d'água do tanque:  $H$  (nível alto),  $M$  (nível médio),  $L$  (nível baixo); 1 botão de escolha para o usuário:  $M7$ ;
- **3 módulos para processamento das entradas, programados a partir da linguagem Verilog:** Alarme e válvula de entrada do tanque; Tipo de rega; Informações do display de 7 segmentos.
- **Saídas:** Saídas dos segmentos do display:  $a, b, c, d, e, f, g$ ; Saída para os três primeiros dígitos:  $rd1, rd2, rd3$ . Alarme ( $Al$ ); Aparelhos de rega localizada: por gotejamento ( $Vs$ ) e por aspersão ( $Bs$ );

O kit CPLD utilizado no projeto é o kit LEDS-CPLD, desenvolvido pelo LEDS-UEFS. Ele é composto de duas placas, sendo uma o circuito integrado CPLD da família MAX II, modelo EPM240T100C5N e a outra uma plataforma contendo os recursos mais utilizados na área de Projeto de Circuitos Digitais (LEDS-UEFS, 2024).

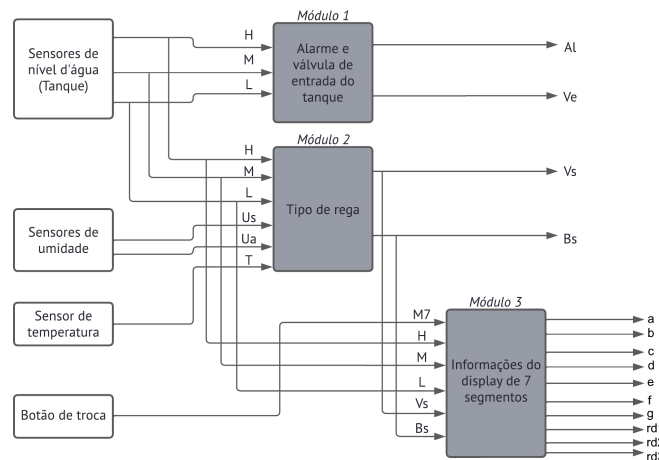


Figura 1 – Diagrama de alto-nível proposto.

### 2.2 Tabelas-verdade

A partir das informações de entrada e saída de cada módulo abstraídas pelo diagrama, criou-se as tabelas verdades com todas as combinações possíveis para as saídas. O primeiro módulo, do alarme e válvula do tanque, foi criado com base apenas nas entradas H, M e L, os sensores de nível d'água do tanque. Sua tabela, Figura 2, consiste de  $2^3 = 8$  linhas, uma para cada combinação possível. H é o bit mais significativo (*MSB*) e L é o bit menos significativo (*LSB*).

O segundo módulo foi criado com base em seis entradas: H, M, L,  $U_s$ ,  $U_a$  e T; e duas saídas, Vs e Bs. Ele consiste na escolha do tipo de rega, seja na saída Vs (gotejamento) ou Bs (aspersão). Portanto, para cada saída, foram construídas duas

tabelas independentes, mas que podem ser representadas por apenas uma, com duas saídas. Cada tabela possui  $2^6$  linhas = 64 linhas. H também é o bit mais significativo (*MSB*) e T, nesse caso, o menos significativo (*LSB*).

O terceiro e último módulo também foi criado com base em seis entradas: M7, H, M, L, Vs, Bs; e 10 saídas: a, b, c, d, e, f, g, rd1, rd2, rd3. M7 é o bit mais significativo (*MSB*) e Bs, o menos significativo (*LSB*). No total, 10 tabelas independentes puderam ser representadas em uma tabela só, com todas as 10 saídas. Cada saída do circuito, de a até g, foi atribuída a um segmento do display de 7 segmentos. Já as saídas rd1, rd2 e rd3, foram as saídas responsáveis pelos outros dígitos, não utilizados do display. No total, foram  $2^6$  linhas = 64 linhas na tabela.

Tabela 1 – Tabela-verdade do módulo 1.

Entradas			Saídas	
H	M	L	Ve	Al
0	0	0	1	1
0	0	1	1	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	0

Tabela 2 – Tabela-verdade do módulo 2.

Entradas						Saídas	
H	M	L	Us	Ua	T	Vs	Bs
0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0
0	0	0	0	1	1	0	0
0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0
0	0	0	1	1	0	0	0
0	0	0	1	1	1	0	0
0	0	1	0	0	0	0	1
0	0	1	0	0	1	0	1
0	0	1	0	1	0	1	0
0	0	1	0	1	1	1	0
0	0	1	1	0	0	0	0
0	0	1	1	0	1	0	0
0	0	1	1	1	0	0	0
0	0	1	1	1	1	0	0

0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0
0	1	0	0	1	0	0	0
0	1	0	0	1	1	0	0
0	1	0	1	0	0	0	0
0	1	0	1	0	1	0	0
0	1	0	1	1	0	0	0
0	1	0	1	1	1	0	0
0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1
0	1	1	0	1	0	0	1
0	1	1	0	1	1	1	0
0	1	1	1	0	0	0	0
0	1	1	1	0	1	0	0
0	1	1	1	1	0	0	0
0	1	1	1	1	1	0	0
1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0
1	0	0	0	1	1	0	0
1	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0
1	0	0	1	1	0	0	0
1	0	0	1	1	1	0	0
1	0	1	0	0	0	0	0
1	0	1	0	0	1	0	0
1	0	1	0	1	0	0	0
1	0	1	0	1	1	0	0
1	0	1	1	0	0	0	0
1	0	1	1	1	0	0	0
1	0	1	1	1	1	0	0
1	1	0	0	0	0	0	0
1	1	0	0	0	1	0	0
1	1	0	0	1	0	0	0
1	1	0	0	1	1	0	0
1	1	0	1	0	0	0	0
1	1	0	1	0	1	0	0

1	1	0	1	1	0	0	0
1	1	0	1	1	1	0	0
1	1	1	0	0	0	0	1
1	1	1	0	0	1	0	1
1	1	1	0	1	0	0	1
1	1	1	0	1	1	1	0
1	1	1	1	0	0	0	0
1	1	1	1	0	1	0	0
1	1	1	1	1	0	0	0
1	1	1	1	1	1	0	0

Tabela 3 – Tabela-verdade do módulo 3.

Entradas						Saídas									
M7	H	M	L	Vs	Bs	a	b	c	d	e	f	g	rd1	rd2	rd3
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	0	0	1	1	1	0	1	1	1	1	1	1
0	0	0	1	0	1	1	1	1	0	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	0	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	0	0	0	0	1	1	1
0	0	1	0	0	1	0	1	1	0	0	0	0	1	1	1
0	0	1	0	1	0	0	1	1	0	0	0	0	1	1	1
0	0	1	0	1	1	0	1	1	0	0	0	0	1	1	1
0	0	1	1	0	0	1	1	1	0	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	0	1	1	0	1	1	1
0	0	1	1	1	0	1	1	1	0	1	1	0	1	1	1
0	0	1	1	1	1	1	1	1	0	1	1	0	1	1	1
0	1	0	0	0	0	0	1	1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	1	1	0	0	0	0	1	1	1
0	1	0	0	1	0	0	1	1	0	0	0	0	1	1	1
0	1	0	0	1	1	0	1	1	0	0	0	0	1	1	1
0	1	0	1	0	0	0	1	1	0	0	0	0	1	1	1
0	1	0	1	0	1	0	1	1	0	0	0	0	1	1	1
0	1	0	1	1	0	0	1	1	0	0	0	0	1	1	1
0	1	0	1	1	1	0	1	1	0	0	0	0	1	1	1

0	1	1	0	0	0	0	1	1	0	0	0	0	1	1	1
0	1	1	0	0	1	0	1	1	0	0	0	0	1	1	1
0	1	1	0	1	0	0	1	1	0	0	0	0	1	1	1
0	1	1	0	1	1	0	1	1	0	0	0	0	1	1	1
0	1	1	1	0	0	0	1	1	0	1	1	0	1	1	1
0	1	1	1	0	1	0	1	1	0	1	1	0	1	1	1
0	1	1	1	1	0	0	1	1	0	1	1	0	1	1	1
0	1	1	1	1	1	0	1	1	0	1	1	0	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
1	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X
1	0	0	0	1	0	X	X	X	X	X	X	X	X	X	X
1	0	0	0	1	1	X	X	X	X	X	X	X	X	X	X
1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1
1	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
1	0	0	1	1	0	0	0	0	0	1	0	0	1	1	1
1	0	0	1	1	1	X	X	X	X	X	X	X	X	X	X
1	0	1	0	0	0	0	1	1	0	0	0	0	1	1	1
1	0	1	0	0	1	0	1	1	0	0	0	0	1	1	1
1	0	1	0	1	0	0	1	1	0	0	0	0	1	1	1
1	0	1	0	1	1	0	1	1	0	0	0	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	0	1	0	0	0	1	0	0	0	1	1	1
1	0	1	1	1	0	0	0	0	0	1	0	0	1	1	1
1	0	1	1	1	1	X	X	X	X	X	X	X	X	X	X
1	1	0	0	0	0	0	1	1	0	0	0	0	1	1	1
1	1	0	0	0	1	0	1	1	0	0	0	0	1	1	1
1	1	0	0	1	0	0	1	1	0	0	0	0	1	1	1
1	1	0	0	1	1	0	1	1	0	0	0	0	1	1	1
1	1	0	1	0	0	0	1	1	0	0	0	0	1	1	1
1	1	0	1	0	1	0	1	1	0	0	0	0	1	1	1
1	1	0	1	1	0	0	1	1	0	0	0	0	1	1	1
1	1	0	1	1	1	0	1	1	0	0	0	0	1	1	1
1	1	1	0	0	1	0	1	1	0	0	0	0	1	1	1
1	1	1	0	1	0	0	1	1	0	0	0	0	1	1	1
1	1	1	0	1	1	0	1	1	0	0	0	0	1	1	1
1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	1	0	0	0	1	0	0	0	1	1	1

1	1	1	1	1	0	0	0	0	0	1	0	0	1	1	1
1	1	1	1	1	1	X	X	X	X	X	X	X	X	X	X

### 2.3 Mapas de Karnaugh e expressões de saída

O mapa de Karnaugh foi a ferramenta utilizada para simplificação das expressões de saída de cada uma das variáveis nos módulos. Ele se baseou inteiramente nas tabelas- verdade apresentadas, possibilitando a eliminação visual de minterms que apenas poderiam, outrora, serem eliminados por simplificação utilizando a álgebra booleana. Os mapas criados foram os mapas da Figura 2, 3, 4 e 5 que representam as saídas Ve, Al, Vs e Bs.

		<b>L</b>	
		$\bar{L}$	$L$
<b>HM</b>	$\bar{H}.\bar{M}.$	1	1
	$\bar{H}.M.$	0	1
	$H.M.$	0	0
	$H.\bar{M}.$	0	0

Figura 2 – Mapa K. da saída Ve.

		<b>L</b>	
		$\bar{L}$	$L$
<b>HM</b>	$\bar{H}.\bar{M}.$	1	1
	$\bar{H}.M.$	1	0
	$H.M.$	1	0
	$H.\bar{M}.$	1	1

Figura 3 – Mapa K. da saída Al.



		L							
		$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$
HM	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	0	0	1	1	0	0	0	0
	$\overline{H.M.L}$	0	0	1	0	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	0	0	1	0	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0

Figura 4 – Mapa K. da saída Vs.

		Us Ua T							
		$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$	$\overline{Us.Ua.T}$
H M L	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	1	1	0	0	0	0	0	0
	$\overline{H.M.L}$	1	1	0	1	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0
	$\overline{H.M.L}$	1	1	0	1	0	0	0	0
	$\overline{H.M.L}$	0	0	0	0	0	0	0	0

Figura 5 – Mapa K. da saída Bs.

As expressões resultantes foram:

- $Ve = \overline{H} \overline{M} + \overline{H} L$
- $Al = \overline{M} + \overline{L}$
- $Vs = \overline{H} \overline{M} \overline{L} \overline{Us} Ua + \overline{M} \overline{L} \overline{Us} Ua T$
- $Bs = \overline{H} \overline{M} \overline{L} \overline{Us} Ua + \overline{M} \overline{L} \overline{Us} Ua T$
- $a = \overline{M} \overline{7} \overline{H} \overline{M} \overline{L} + \overline{H} \overline{M} \overline{Vs} \overline{Bs} + \overline{M} \overline{7} \overline{H} \overline{M} Bs = \overline{M} \overline{7} \overline{H} \overline{M} L + \overline{M} \overline{7} \overline{M} L \overline{Vs} \overline{Bs}$
- $b = \overline{M} \overline{7} + \overline{Vs} \overline{Bs} + Vs Bs + \overline{M} \overline{L} + \overline{H} \overline{M}$
- $c = \overline{M} \overline{7} + \overline{Vs} \overline{Bs} + Vs Bs + \overline{M} \overline{L} + \overline{H} \overline{M}$
- $d = \overline{M} \overline{7} \overline{H} \overline{M} \overline{L} + \overline{M} \overline{7} \overline{H} \overline{M} \overline{Vs} + \overline{M} \overline{7} \overline{M} L \overline{Vs}$
- $e = \overline{M} \overline{7} \overline{H} \overline{M} + \overline{H} \overline{M} Bs + \overline{M} \overline{7} \overline{M} L + \overline{M} L Bs$
- $f = \overline{M} \overline{7} \overline{H} \overline{M} + \overline{M} \overline{7} \overline{M} L + \overline{H} \overline{M} \overline{Vs} \overline{Bs} + \overline{M} L \overline{Vs} \overline{Bs}$
- $g = \overline{M} \overline{7} \overline{H} \overline{M} + \overline{H} \overline{M} \overline{Vs} \overline{Bs} + \overline{M} \overline{7} \overline{M} L \overline{Vs} \overline{Bs}$
- $rd1 = \overline{M} \overline{7} + \overline{M} \overline{7}$
- $rd2 = \overline{M} \overline{7} + \overline{M} \overline{7}$
- $rd3 = \overline{M} \overline{7} + \overline{M} \overline{7}$

## 2.4 Elaboração do código e modularização

O protótipo foi descrito na linguagem de descrição de hardware Verilog. O código foi escrito na forma estrutural. Os códigos para os circuitos de cada módulo do diagrama foram implementados em módulos separados na IDE Quartus. Criou-se os seguintes módulos por meio da refatoração do código: *mod1\_alarmetanque*, *mod2\_tiporega*, *mod3\_m7*.

Para o código do módulo do display, o *mod3\_m7*, de forma a refatorá-lo na linguagem de descrição, foram criados 10 sub-módulos, um para cada segmento do display e dígito, sendo: *seg\_a*, *seg\_b*, *seg\_c*, *seg\_d*, *seg\_e*, *seg\_f*, *seg\_g*, *rd123*. No módulo *rd123*, os dígitos não utilizados são desligados.

## 2.5 Pinagem na placa

Para a placa do kit LEDS-CPLD, a pinagem foi realizada como nas tabelas 5 e 6.

Tabela 5 – Pinagem na placa (Entradas).

Nome do nó	Tipo	Pino	Localização
m7	Entrada	33	CH6
h	Entrada	30	CH5
m	Entrada	34	CH4
l	Entrada	36	CH3
Us	Entrada	38	CH2
Ua	Entrada	40	CH1
T	Entrada	42	CH0
m7	Entrada	33	CH6

Tabela 6 – Pinagem na placa (Saídas).

Nome do nó	Tipo	Pino	Localização
al	Saída	86	LED RGB (R)
ve	Saída	57	LED2
vs	Saída	55	LED1
bs	Saída	54	LEDo
a	Saída	90	rda
b	Saída	70	rdb
c	Saída	41	rdc
d	Saída	98	rdd
e	Saída	100	rde
f	Saída	92	rdf
g	Saída	39	rdg
rd1	Saída	88	rd1
rd2	Saída	66	rd2

rd3	Saída	68	rd3
-----	-------	----	-----

### 3 Resultados e discussões

O protótipo de sistema de rega automatizada foi desenvolvido com o uso de circuitos combinacionais e uma CPLD. A implementação utilizou 20 Logic Elements (LEs) e 2 Logic Array Blocks (LABs), indicando um design eficiente e simplificado. A figura 6 apresenta a distribuição dos elementos lógicos nos LABs.

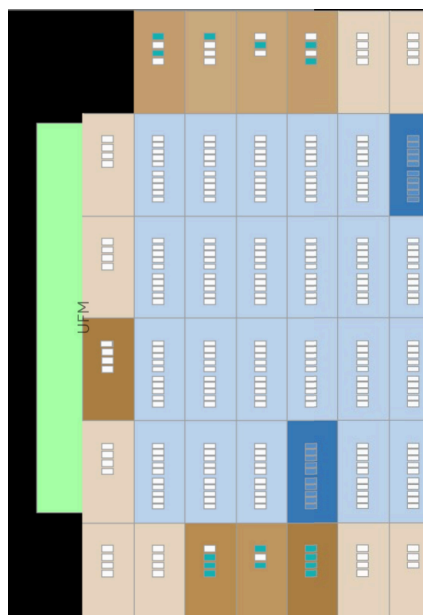


Figura 6 – Distribuição dos elementos lógicos.

Os testes foram conduzidos utilizando a IDE Quartus Prime Lite 20.1 e o kit CPLD. O sistema conseguiu executar as funções básicas de rega automatizada com os sensores de umidade do solo (Us), umidade do ar (Ua), temperatura (T), e os níveis de água do tanque (H, M, L). A resposta do sistema foi adequada, acionando o alarme (Al) e os dispositivos de rega (Vs e Bs) conforme os critérios pré-estabelecidos. Os testes com a LEDS-CPLD utilizaram os estudos de caso demonstrados na figura 7.

Não houve nenhuma discrepância entre os casos estabelecidos, as saídas esperadas e as saídas obtidas nos testes.

Ainda, durante o desenvolvimento, tentou-se implementar uma funcionalidade para que o alarme piscasse periodicamente usando um sinal de clock que controlaria um flip-flop, criando um efeito visual de oscilação. Isso aumentaria a percepção do usuário sobre o estado de alerta do sistema.

Para isso, seria necessário adicionar um oscilador que gerasse o sinal de clock e configurá-lo para alternar o estado do alarme em intervalos regulares. Porém, essa implementação exige um estudo mais profundo sobre circuitos sequenciais e a

configuração do oscilador e dos flip-flops, além de um planejamento cuidadoso para evitar interferências no sistema, o que excede o escopo do projeto do protótipo atual.

Todavia, é possível explorar o acréscimo de mais sensores e funcionalidades, como a contagem de litros na caixa d'água ou um cronômetro, para fornecer uma gestão ainda mais precisa dos recursos hídricos. Também implementar um nível crítico visualmente oscilante usando conceitos de clock pode melhorar a usabilidade do sistema.

Saída - Ve					Saída Vs							
Entradas				Saída	Entradas						Saída	
Casos	H	M	L	Ve	Casos	H	M	L	Us	Ua	T	Vs
Crítico	0	0	0	1	Crítico	0	0	0	0	0	0	0
Erro	0	1	0	0	Gotejamento	0	0	1	0	1	0	1
Nível min.	0	0	1	1	Aspersão	0	1	1	0	0	0	0
Erro	1	0	0	0	Gotejamento	0	1	1	0	1	1	1
Nível médio	0	1	1	1								
Nível alto	1	1	1	0								

Saída - AI					Saída Bs							
Entradas				Saída	Entradas						Saída	
Casos	H	M	L	AI	Casos	H	M	L	Us	Ua	T	Bs
Crítico	0	0	0	1	Solo úmido	0	0	0	1	1	1	0
Nível médio	0	1	1	0	Aspersão	0	0	1	0	1	0	1
Erro	1	0	0	1	Gotejamento	0	1	1	0	0	0	0
Nível alto	1	1	1	0	Aspersão	0	1	1	0	1	1	1

Saídas M7																
Entradas							Saída									
Casos	M7	H	M	L	Vs	Bs	a	b	c	d	e	f	g	rd1	rd2	rd3
Nível crítico	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
Nível baixo	0	0	0	1	0	0	1	1	1	0	1	1	1	1	1	1
Nível médio	0	0	1	1	0	0	1	1	1	0	1	1	0	1	1	1
Nível alto	0	1	1	1	0	0	0	1	1	0	1	1	0	1	1	1
Aspersão	1	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
Gotejamento	1	0	0	1	1	0	0	0	0	0	1	0	0	1	1	1
Nenhuma rega	1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1
Erro	1	1	0	0	0	0	0	1	1	0	0	0	0	1	1	1

Figura 7 – Planilha de estudos de caso utilizados nos teste.

## Considerações finais

Durante a elaboração das expressões que serviram de base para os circuitos do projeto, o método do mapa de Karnaugh foi preferido devido à sua eficácia na simplificação das mesmas por meio de eliminação dos minterms de cada saída da tabela-verdade. Além disso, sua praticidade em comparação com o processo manual de simplificação de expressões pelos teoremas e propriedades da álgebra booleana tornou a escolha do mapa K. ainda mais apropriada.

Partindo da concepção de um circuito simplificado, o resultado final incorporou 20 LEs (elementos lógicos) e 2 LABs. Dessa maneira, o protótipo desenvolvido demonstrou um circuito simplificado e, com base nos testes realizados, pode ser considerado como uma fundação viável para outros sistemas de rega automatizados.

Entretanto, a implementação de mais detalhes visuais e práticos, para o usuário, pode tornar o protótipo mais eficaz. Dentre essas adições, a utilização de um nível crítico visualmente oscilante pode ser implementado utilizando conceitos de clock num projeto futuro, algo não implementado neste protótipo pois foge ao âmbito de estudo do projeto. A contagem de litros na caixa d'água ou um cronômetro também poderia ser adicionada ao projeto para maior gerenciamento de recursos se aplicado na prática.

Por fim, o protótipo aqui desenvolvido evidencia a eficácia de um sistema de rega automatizada no processo de irrigação e como sua utilização pode auxiliar no processo de redução do gasto de água. Cada novo sensor acrescentado ao protótipo torna as situações mais bem delimitadas, permitindo ao usuário ter maior controle sobre quando não manter a rega ligada em caso de uma nova variável no sistema ser adicionada.

## Referências

FLOYD, T. L. Sistemas digitais: fundamentos e aplicações. 9. ed. Porto Alegre: Bookman, 2007. 888 p.

KAMIENSKI, C., et al. *SWAMP: an IoT-based Smart Water Management Platform for Precision Irrigation in Agriculture*. In: 2018 Global Internet of Things Summit. Annals. IEEE. Junho. 2018. Disponível em: <https://ieeexplore.ieee.org/document/8534541>. Acesso em 12 mai. 2024.

LEIRIA, M. da P. Z. *Adoção de tecnologias emergentes de gestão da rega*. Dissertação: Engenharia Agrônoma. 2023. Universidade de Lisboa. Lisboa. Disponível em: [https://www.repository.utl.pt/bitstream/10400.5/30965/1/Dissertacao\\_ManuelLeiria.pdf](https://www.repository.utl.pt/bitstream/10400.5/30965/1/Dissertacao_ManuelLeiria.pdf). Acesso em: 10 mai. 2024.

LEDS-UEFS. Manual do Kit LEDS-CPLD. Universidade Estadual de Feira de Santana. Disponível em: <https://sites.google.com/uefs.br/ltec3-leds/recursos?authuser=0>. Acesso em 10 mai. 2024.

LEVIDOW, L., et al. *Improving water-efficient irrigation: Prospects and difficulties of innovative practices*. Agricultural Water Management. v. 146, p. 84-96. Dezembro. 2014. Disponível em: <https://doi.org/10.1016/j.agwat.2014.07.012>. Acesso em: 10 mai. 2024.