

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ**  
**DEPARTAMENTO ACADÊMICO DE ENGENHARIA ELÉTRICA**  
**CURSO DE ENGENHARIA ELÉTRICA**

**JULIO CESAR GARCIA RIBEIRO**  
**WINNER ZAVOLSKI QUEIROZ**

**TRABALHO FINAL**  
**VALIDAÇÃO EXPERIMENTAL DE PROJETO DE CONTROLADOR DIGITAL PARA UM**  
**CONVERSOR DC-DC DE ALTA FREQUÊNCIA**

**APUCARANA**

**2021**

## SUMÁRIO

1	INTRODUÇÃO .....	3
2	RELEVÂNCIA DO TEMA .....	6
3	RESULTADOS E DISCUSSÕES .....	7
4	CONSIDERAÇÕES FINAIS.....	15
	REFERÊNCIAS .....	16

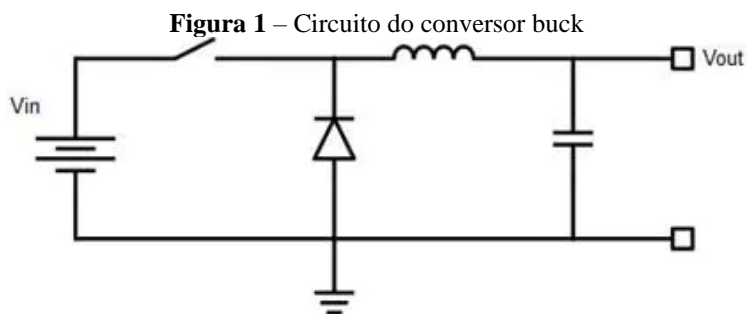
## 1 INTRODUÇÃO

O trabalho analisado teve como objetivo projetar um sistema de controle digital para atuar em um conversor DC-DC com chaveamento de alta frequência. O conversor utilizado deve seguir parâmetros de performance definidos pelo autor, que são atingidos utilizando um controlador digital projetado de duas maneiras diferentes.

O primeiro projeto, chamado de projeto por simulação, projetou um controlador no domínio contínuo, da maneira que um controlador analógico é projetado. Para este projeto, os efeitos associados ao conversor AD do sistema discreto, como atrasos computacionais foram descartados. Após projetado, este controlador foi convertido para o domínio discreto, usando o método de mapeamento de polos.

O segundo projeto, chamado de projeto direto, adiciona os efeitos ignorados no primeiro projeto, a fim de conseguir um controlador digital mais eficiente.

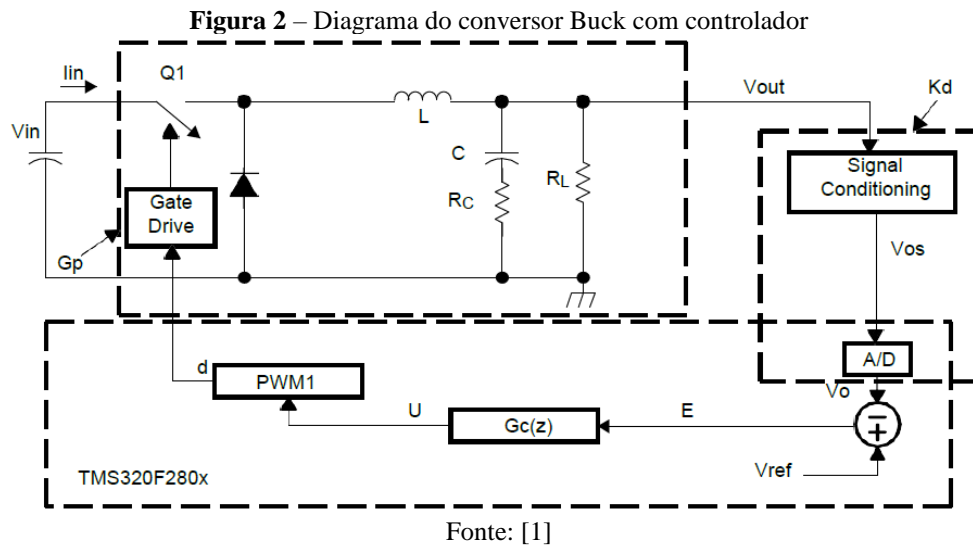
O conversor utilizado foi um conversor *Buck*, representado pela Figura 1, responsável por abaixar tensões CC [2]. Este conversor funciona em dois estados [3]: com chave fechada, onde existe fornecimento de tensão para a carga por meio do capacitor; e chave aberta, onde não existe o fornecimento de tensão para a carga.



Fonte: [2]

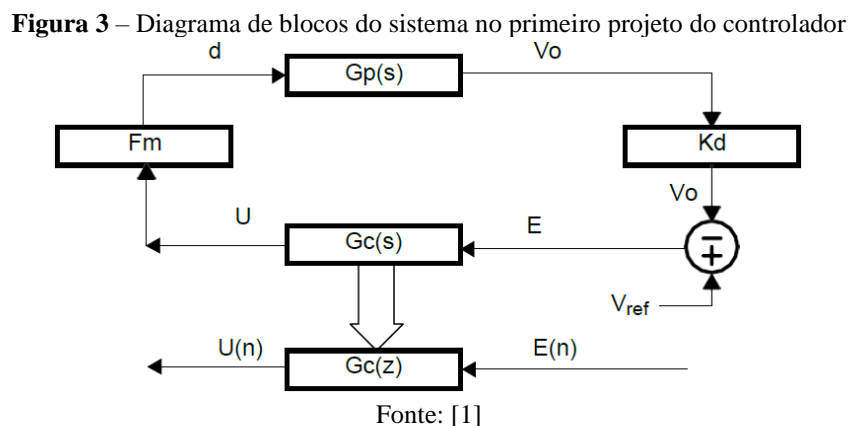
O acionamento para abertura e fechamento da chave é realizado usando um sinal PWM [1].

A estrutura do conversor no projeto descrito no trabalho analisado pode ser observada com a Figura 2.

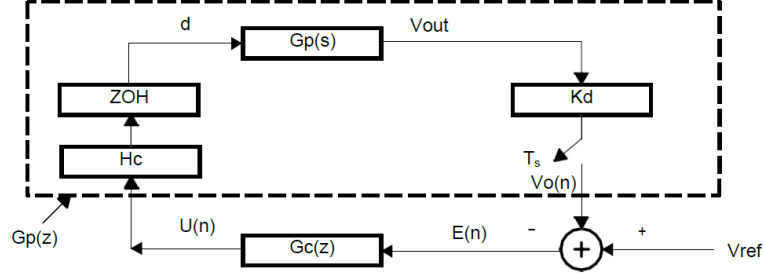


Analisando a Figura 2, é perceptível que o sinal de saída do conversor *Buck* é lido utilizando um sensor de tensão, que alimenta o microcontrolador DSP (dispositivo programável especializado em processar sinas em tempo real ou não [4]) por meio do canal ADC. Então, o valor da saída do conversor é comparado com um valor de referência e por meio desta comparação é gerado um sinal de controle para definir a relação entre o sinal ligado e desligado do PWM, que por sua vez controla a abertura e o fechamento da chave do conversor [1].

Como mencionado anteriormente, foram realizados dois projetos para o controlador. O diagrama de blocos simplificado do primeiro projeto pode ser observado com a Figura 3 e o diagrama para o segundo projeto é demonstrado na Figura 4.



**Figura 4** – Diagrama de blocos do sistema no primeiro projeto do controlador



Fonte: [1]

Comparando as Figuras 3 e 4 se percebe que no segundo projeto do controlador são englobados blocos para os efeitos associados ao conversor AD.

A função de transferência do conversor *Buck* pode ser obtida a partir da seguinte equação.

$$G_p(s) = V_{in} \frac{sR_c C + 1}{s^2 LC \left(1 + \frac{R_c}{R_L}\right) + s \left(R_c C + \frac{L}{R_L}\right) + 1} \quad (1)$$

Para os valores dos componentes  $L = 1\mu H$ ,  $C = 1620\mu F$ ,  $R_c = 0,04\Omega$  e  $R_L = 0,1\Omega$  e um valor de tensão de entrada de  $V_{in} = 5V$  se encontrou a seguinte expressão.

$$G_p(s) = \frac{3,24 \times 10^{-5} s + 5}{1,685 \times 10^{-9} s^2 + 1,648 \times 10^{-5} s + 1} \quad (2)$$

Os controladores descritos no trabalho foram obtidos utilizando uma ferramenta do software matemático MATLAB chamada *sisotool*. As funções de transferência dos controladores obtidos de maneira simulada e direta são, respectivamente:

$$G_{c1}(s) = \frac{14,3s^2 + 6,514 \times 10^5 s + 7,2 \times 10^9}{s(s + 1,256 \times 10^5)} \quad (3)$$

$$G_{c1}(z) = \frac{12,34 - 22,53z^{-1} + 10,28z^{-2}}{1 - 1,605z^{-1} + 0,6051z^{-2}} \quad (4)$$

$$G_{c2}(z) = \frac{14,87 - 26,19z^{-1} + 12,16z^{-2}}{1 - 1,473z^{-1} + 0,473z^{-2}} \quad (5)$$

Os resultados serão exibidos mais adiante neste trabalho.

## **2 RELEVÂNCIA DO TEMA**

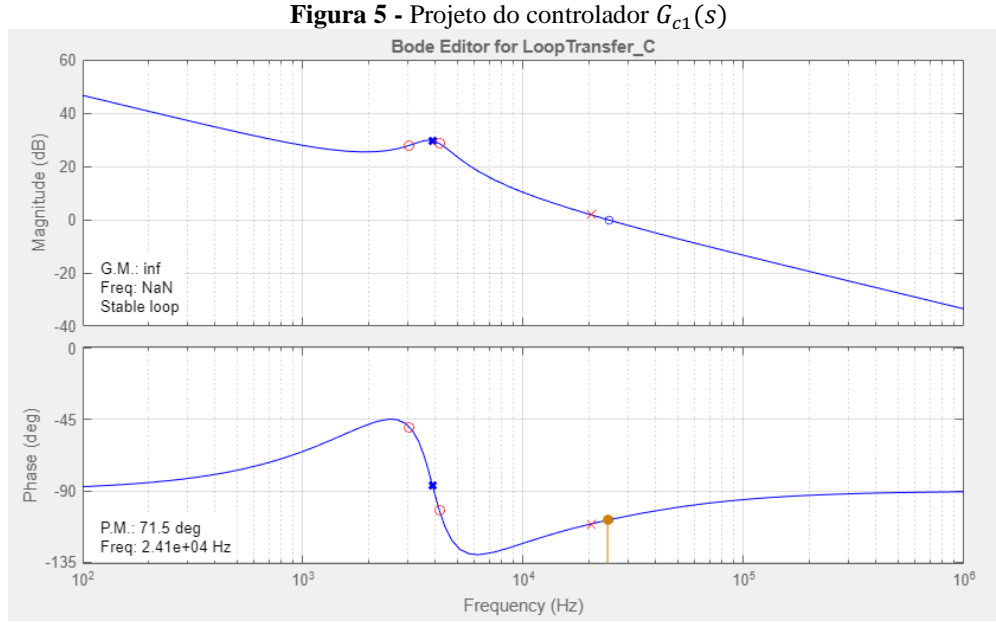
Controle digital de conversores está se tornando muito utilizado devido a relação entre os pontos positivos de se utilizar um controlador DSP e o seu custo associado [1].

Se podem citar como vantagens da utilização de controladores digitais a possibilidade de embarcar controladores flexíveis, que podem ser utilizados em mais de um tipo de planta e atender especificações mais abrangentes de clientes, menor susceptibilidade a variáveis ambientais e melhor imunidade a ruídos [1].

Como DSPs modernos de 32-bits possuem especificações atrativas, é possível construir projetos que permitem implementação em projetos que requerem altas larguras de banda ou chaveamento em alta frequência sem perder performance [1].

### 3 RESULTADOS E DISCUSSÕES

De forma semelhante ao *Application Report*, foi projetado os controladores através da ferramenta *sisotool* do Matlab. A figura abaixo apresenta o projeto para o primeiro controlador  $G_{c1}(s)$ , onde, buscou-se atingir resultados semelhantes ao apresentado no *Application Report*.



Fonte: Autoria Própria.

Obteve-se uma margem de fase de  $71,5^\circ$  a uma frequência de 24,1 kHz. Dessa forma, obteve-se a seguinte função de transferência:

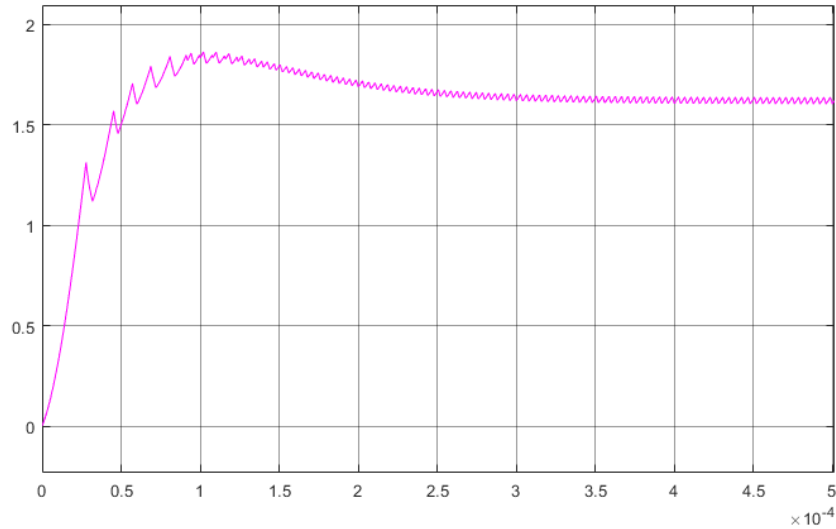
$$G_{c1}(s) = \frac{13,79s^2 + 6.244 \times 10^5 s + 6.893 \times 10^9}{s^2 + 127900s} \quad (6)$$

Obtendo a forma discretizada da equação (6), temos:

$$G_{c1}(z) = \frac{11,81 z^2 - 21,58 z + 9,857}{z^2 - 1,6 z + 0,5995} \quad (7)$$

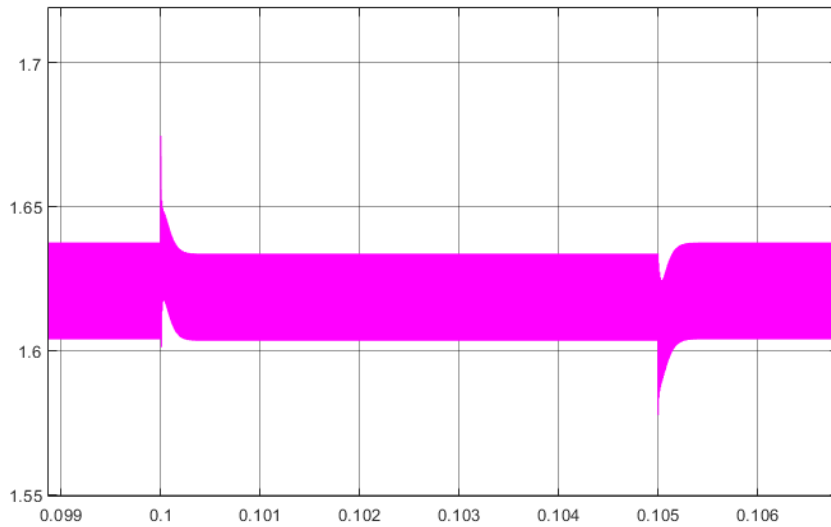
Nota-se uma boa aproximação com as equações (3) e (4). Realizando a simulação via *simulink*, e tomando como base o circuito da Figura 2, tem-se o seguinte resultado.

**Figura 6** - Saída do conversor buck com controlador  $G_{c1}(z)$ .



Fonte: Autoria Própria.

**Figura 7** - Saída do conversor buck devido a uma perturbação na carga.



Fonte: Autoria Própria.

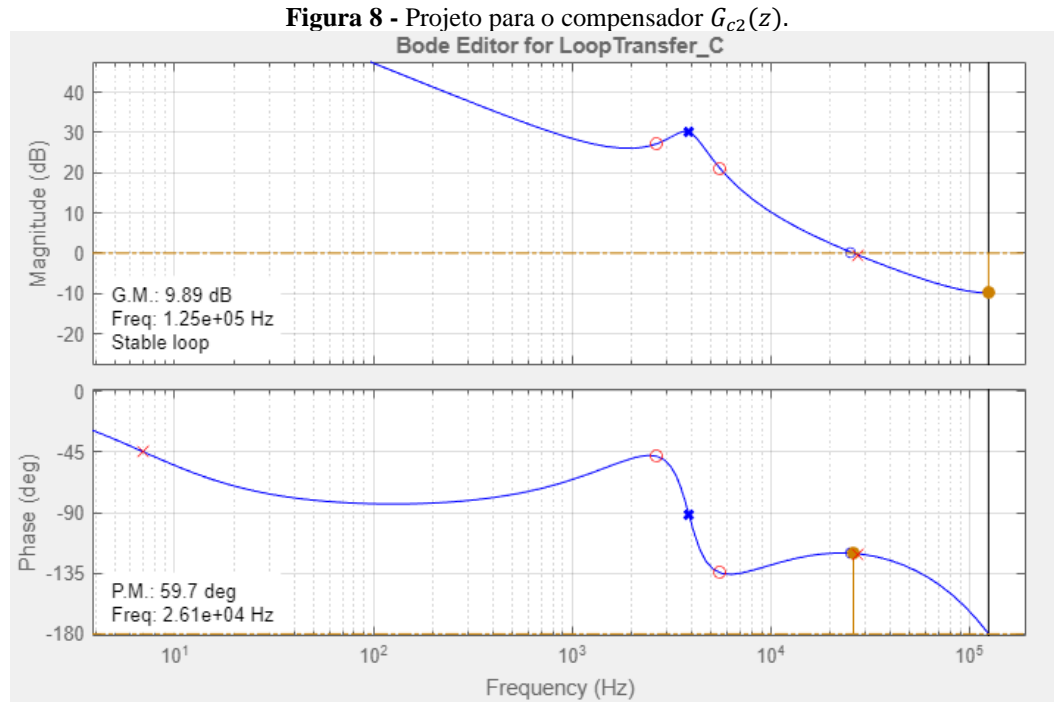
Considerando que existe um atraso para o processo de amostragem, será incluído para o processo ADC um tempo de atraso  $T_d$  para diferentes casos. Primeiramente, será feito a discretização da planta  $G_p(s)$  considerando um tempo de atraso  $T_d = 0$ .

A planta na forma discretizada fica sendo:

$$G_p(z) = \frac{0,04937 z - 0,0261}{z^2 - 1,952 z + 0,9616} \quad (8)$$



Realizando o projeto para o controlador em resposta em frequência utilizando da equação (8), temos o seguinte resultado:



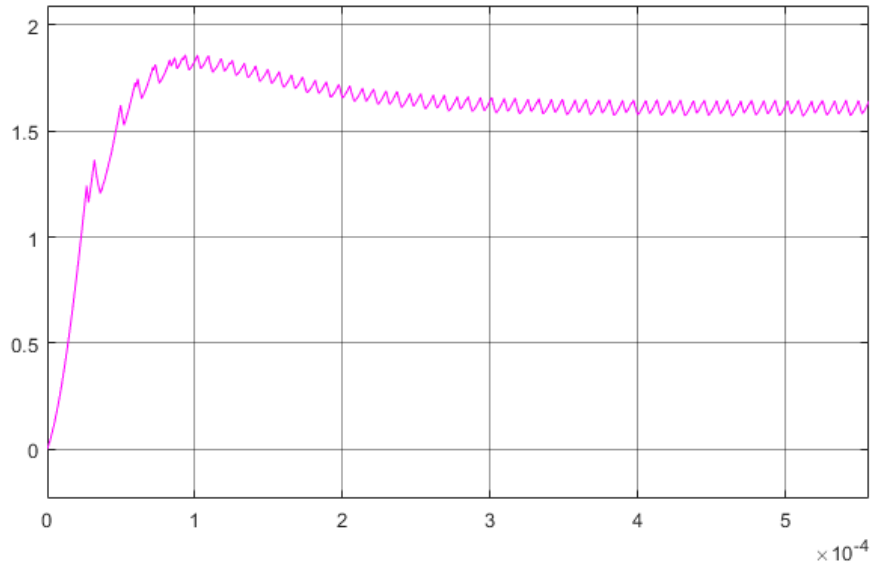
Fonte: Autoria Própria.

Assim, obteve-se um ganho de margem de 9,89 dB a uma frequência de 125 kHz, e uma margem de fase de 59,7° a uma frequência de 26,1 kHz e a seguinte FT para o controlador:

$$G_{c2}(z) = \frac{13,759 (z - 0,9354) (z - 0,8697)}{(z - 1) (z - 0,4997)} \quad (9)$$

Para a saída do conversor obteve-se a seguinte resposta:

**Figura 9** - Saída do conversor buck com o controlador  $G_{c2}(z)$ .



Fonte: Autoria Própria.

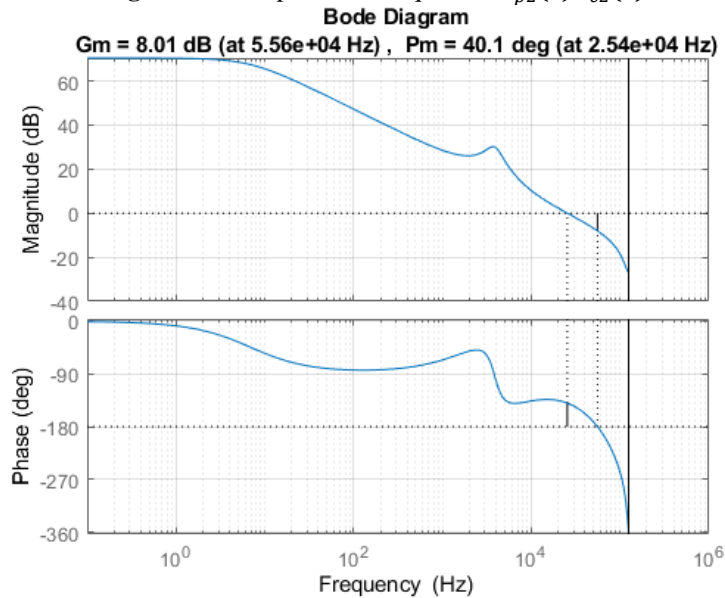
### Caso 1: Tempo de atraso $T_d = 0,5Ts$

Incluindo o tempo de atraso  $T_d = 0,5Ts$ , a nova FT para a planta ficará:

$$G_{p2}(z) = \frac{0,02198 z^2 + 0,01708 z - 0,0158}{z(z^2 - 1,952 z + 0,9616)} \quad (10)$$

Avaliando a resposta em frequência considerando o controlador  $G_{c2}(z)$ , tem-se:

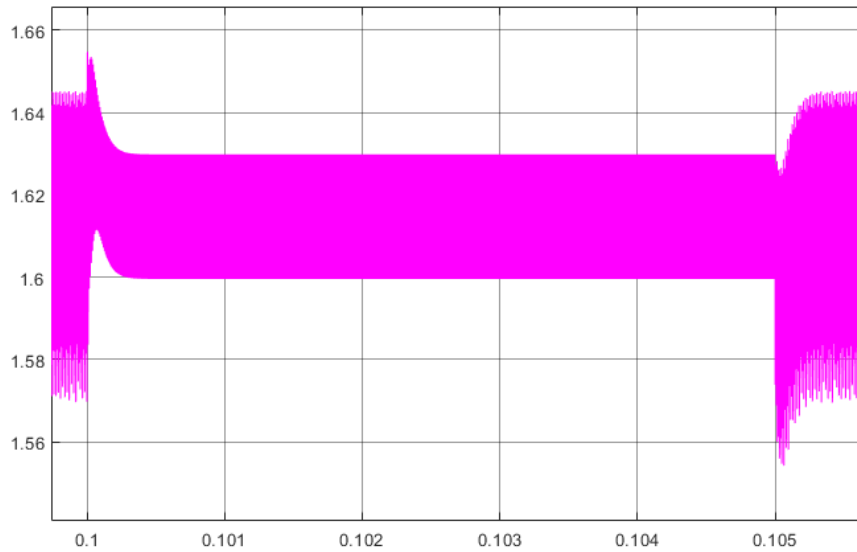
**Figura 10** - Resposta em frequência  $G_{p2}(z)G_{c2}(z)$



Fonte: Autoria Própria.

Observa-se que utilizando do controlador  $G_{c2}(z)$  para a planta com atraso, há uma queda de 19,6 dB na margem de fase que é devido ao tempo de atraso incluído na planta.

**Figura 11** - Saída do conversdor buck com controlador  $G_{c2}(z)$ .



Fonte: Autoria Própria.

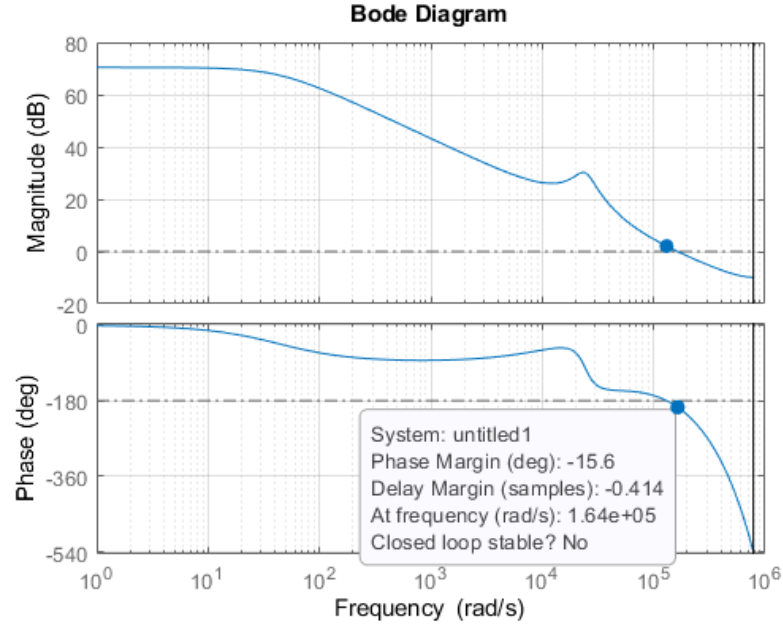
### **Caso 2: Tempo de atraso $T_d = 2Ts$**

Incluindo o tempo de atraso  $T_d = 2Ts$ , a nova FT para a planta ficará:

$$G_{p3}(z) = \frac{0.04937 z - 0.0261}{z(z^2 - 1.952 z + 0.9616)} \quad (11)$$

De maneira semelhante ao caso anterior, avalia-se a resposta em frequência considerando o controlador  $G_{c2}(z)$ :

**Figura 12** - Resposta em frequência  $G_{p3}(z)G_{c2}(z)$

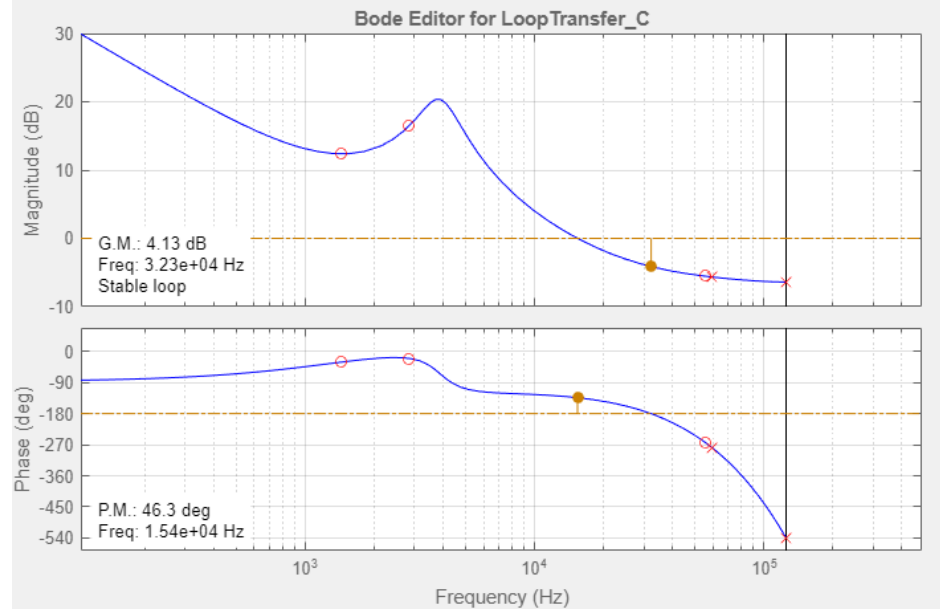


Fonte: Autoria Própria.

Nota-se que o sistema se torna instável com a utilização do controlador  $G_{c2}(z)$ . Em comparação ao caso anterior, para o tempo de atraso  $T_d = 2Ts$  houve uma redução de 75,3dB para a margem de fase.

Para contornar este problema, foi projetado um terceiro controlador a fim de sanar a instabilidade que o segundo controlador causou. Abaixo é apresentado o projeto realizado:

**Figura 13** - Projeto realizado para o controlador  $G_{c3}(z)$ .



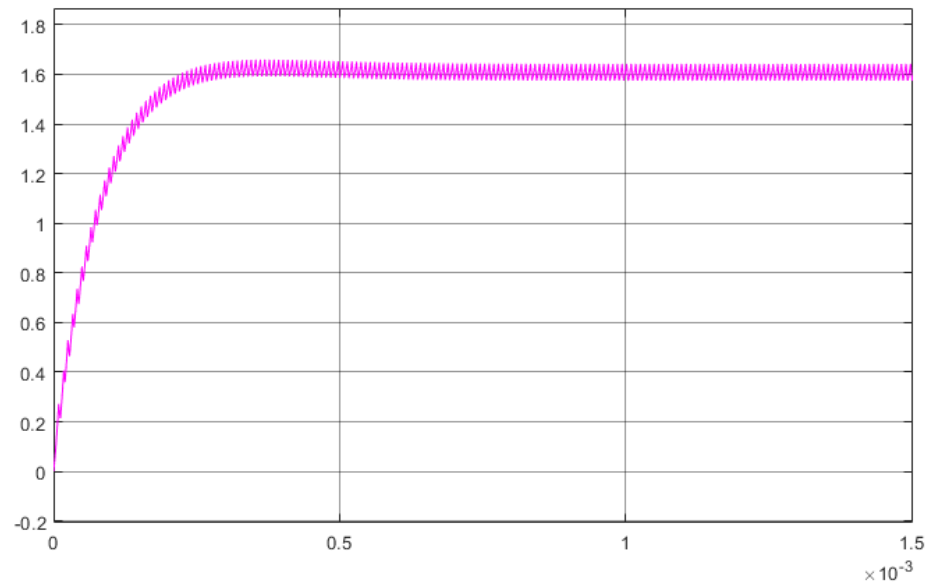
Fonte: Autoria Própria.

Nota-se que há um sistema estabilizado. Obteve-se a seguinte equação característica para o controlador:

$$G_{c3}(z) = \frac{13,392 (z - 0.9644) (z - 0,9312) (z - 0,2487)}{(z - 1) (z - 0,2238) (z - 0,04321)} \quad (12)$$

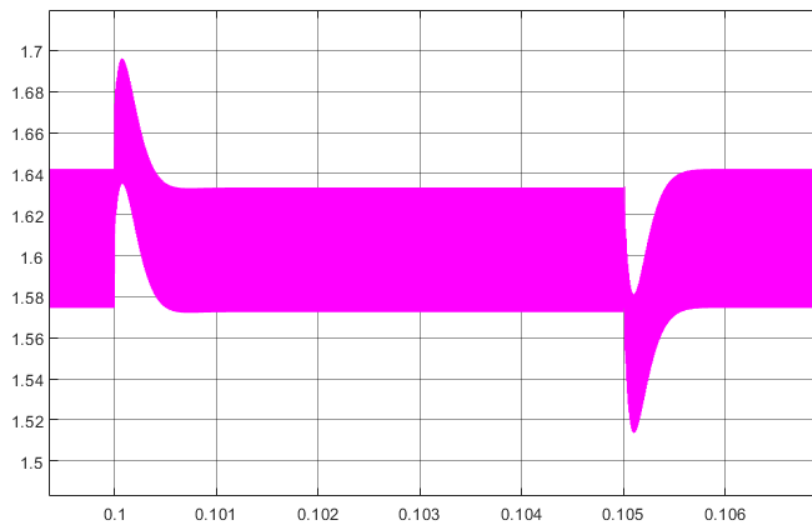
Avaliando a saída do conversor:

**Figura 14** - Saída do conversor com o controlador  $G_{c3}(z)$



Fonte: Autoria Própria.

**Figura 15:** Saída do conversor devido a uma perturbação na carga.



Fonte: Autoria Própria.

Dessa forma, obteve-se um controlador que para o tempo de atraso proposto convergiu para a estabilidade do sistema.

Nota-se, que os controladores projetados ficaram próximos ao resultado esperado do *Application Report*, o que torna a avaliação dos resultados mais fiel com o trabalho proposto.

## 4 CONSIDERAÇÕES FINAIS

O trabalho apresentado trouxe o projeto de controladores digitais por resposta em frequência tanto pelo método de emulação quanto na forma direta através do domínio  $z$ . Em comparação aos resultados apresentados pelo *Application Report* da Texas Instruments, nota-se que se obteve uma boa aproximação nos projetos dos controladores e nas respostas obtidas pelo circuito implementado via *simulink*.

Foi visto que o atraso considerado influencia o comportamento do sistema com o controlador, onde há uma redução na margem de fase até que o sistema se tornou instável e, por consequência, foi necessário o projeto de um novo controlador para suprir o atraso incluído na planta do conversor buck.

## REFERÊNCIAS

- [1] CHOUDHURY, S. **Designing a TMS320F280x Based Digitally Controlled DC-DC Switching Power Supply**. Texas Instruments, Julho, 2005.
- [2] GUDINO, M. **Types of Switching DC to DC Converters**. 2017. Disponível em: <https://www.arrow.com/en/research-and-events/articles/types-of-switching-dc-dc-converters#:~:text=A%20DC%20FDC%20converter%20is,DC%20converters%3A%20linear%20and%20switched..> Acesso em: 21 ago. 2021.
- [3] RICARDO, C. E. N. **Conversor Buck – Aspectos ideais e não ideais**. 2019. Disponível em: <https://www.embarcados.com.br/conversor-buck/>. Acesso em: 21 ago. 2021.
- [4] NUNES, R. A. A.; ALBUQUERQUE, M. P. **PROCESSADOR DIGITAL DE SINAIS - DSP**. 2012. Disponível em: <http://www.cbpf.br/~rastuto/>. Acesso em: 21 ago. 2021.