

## Projecto de Sistemas Digitais, MEEC 2014/15

### Projecto 3 – Processamento de Imagens Binárias

O Processamento Morfológico de Imagens Digitais tem por base operações binárias simples sobre os pixels de imagens digitais. O encadeamento de operações deste tipo permite a realização eficiente de um número significativo de algoritmos de processamento de imagem, tais como, a extracção ou detecção de componentes.

As operações morfológicas básicas sobre imagens binárias são:

*Erosão (“Erosion”)* - coloca cada pixel da imagem resultante a 0 desde que a imagem original tenha dentro do elemento estruturante (sub-imagem de pequenas dimensões) um pixel a 0 (efeito: diminui as regiões).

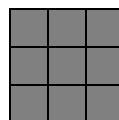
*Dilatação (“Dilation”)* - coloca cada pixel da imagem resultante a 1 desde que a imagem original tenha dentro do elemento estruturante um pixel a 1 (efeito: alarga as regiões).

*Fecho (“Closing”)* - consiste na aplicação da operação de dilatação seguida da operação de erosão sobre a imagem dilatada (efeito: fecha buracos interiores às regiões).

*Abertura (“Opening”)* - consiste na aplicação da operação de erosão seguida da operação de dilatação sobre a imagem resultante da erosão (efeito: elimina partes marginais às regiões).

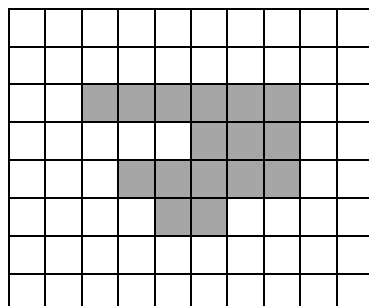
*Extracção de Contornos (“Boundary Extraction”)* - consiste na aplicação da operação de erosão seguida pela obtenção da diferença entre a imagem inicial e a sua erosão.

Projecte um circuito que implemente as operações acima indicadas sobre imagens binárias, considerando como elemento estruturante a seguinte sub-imagem 3×3:

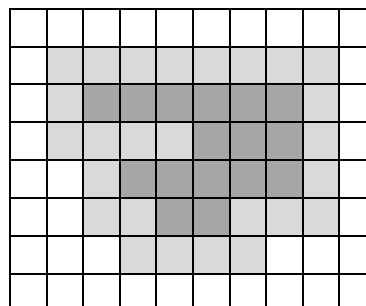


Considere imagens de até 128×128×1 bits. A imagem inicial está armazenada numa memória BRAM. A imagem resultado deverá ser armazenada numa outra memória.

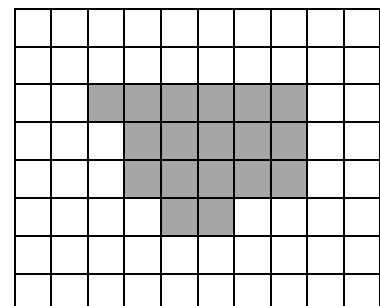
Exemplo:



*Imagem Original*



*Dilatação da imagem original*



*Erosão da imagem dilatada*

Projecte o circuito de maior desempenho possível face à tecnologia e dispositivo alvo (p.ex. Spartan-3E 100).

Todos os registos básicos do circuito, quer da unidade de dados quer do controlador, são realizados com *flip-flops edge-triggered* positivos (i.e actualizados no flanco positivo de relógio).

O projecto deverá ser verificado por simulação lógica, após o que o circuito será mapeado para a arquitectura da FPGA e o seu funcionamento correcto demonstrado na placa de desenvolvimento. Os dados serão enviados/recebidos de/para o PC para/de a FPGA, por software, através da interface usb (ou outra). São fornecidos o software e a interface hardware de comunicação básica via usb. Esta deverá ser generalizada a fim de ler/escrever as memórias respectivas conforme os objectivos de demonstração deste projecto. (As memórias BRAM de entrada/saída ficam com um único porto disponível para leitura/escrita de dados pelo circuito a desenvolver).

O desempenho do circuito será avaliado pelo tempo de processamento dos dados entre as memórias. O tempo de comunicação entre o PC e a FPGA não conta, portanto, para a quantificação do desempenho do circuito.

Nota: todos os recursos ou conteúdos de uso livre utilizados no projecto e não desenvolvidos de raiz pelos autores têm de ser adequadamente referenciados no relatório final.