

# Latch de alta performance sensível ao nível com saídas tristate (Relatório)

Trabalho realizado por: João Pedro Sá Gomes A89141

Ricardo da Silva Correia A89156

**Nota:** O projeto está guardado na pasta “Início 2018” na célula “projeto” do S-Edit

## Índice:

- Representação esquemática
- Diagrama de blocos
- Diagrama de pinos
- Comportamento da Latch.
- Tabela de verdade
- Clock
- Inversor
- Transmission Gate
- Buffer Tristate
- Funcionamento do circuito
- Fundamentação do dimensionamento
- Análise gráfica
- Extra: implementação alternativa
- Apêndice.

## Representação esquemática:

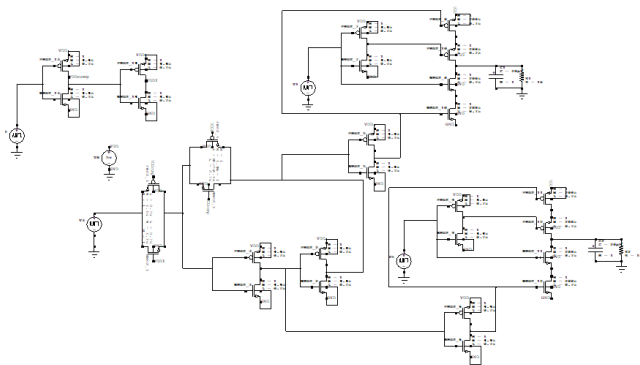


Figura 1: Representação esquemática no S-Edit do Latch de alta performance sensível ao nível com saídas tristate

## Diagrama de blocos:

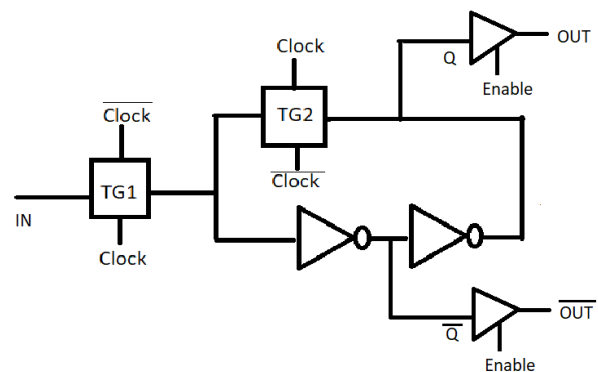


Figura 2: Diagrama de blocos do Latch de alta performance sensível ao nível com saídas tristate

## Diagrama de pinos:

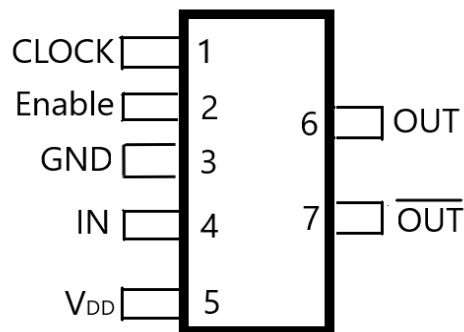


Figura 3: Diagrama de Pinos do Latch de alta performance sensível ao nível com saídas tristate

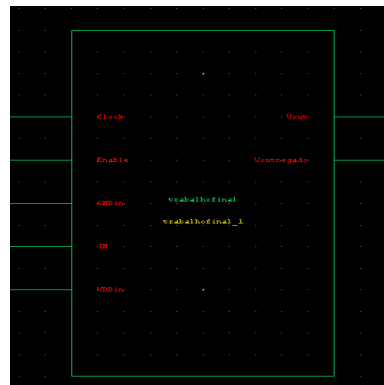


Figura 4: Diagrama de Pinos do Latch de alta performance sensível ao nível com saídas tristate no S-Edit

## Comportamento da Latch:

O nosso circuito é constituído por 5 entradas (IN, Clock, Enable, GND e VDD) e 2 saídas (OUT e complementar de OUT).

Caso o Enable e o Clock estejam a 1 lógico, a saída OUT tem de apresentar um valor lógico igual ao da entrada IN, ou seja:

- se na entrada temos IN=1 lógico, na saída temos OUT=1 lógico.
- se na entrada temos IN=0 lógico, na saída temos OUT=0 lógico.

Se o Enable for 1 lógico e o Clock for 0 lógico, a nossa saída OUT apresenta um valor lógico igual ao valor que OUT tinha antes de o Clock transitar para o nível lógico 0, ou seja:

- Se, anteriormente à transição, tínhamos uma saída OUT=1 lógico (para um Clock=1 lógico), quando o Clock passa a ter nível lógico igual 0 (Clock=0 lógico), continuamos a ter OUT=1 lógico
- Se, anteriormente à transição, tínhamos uma saída OUT=0 lógico (para um Clock=1 lógico), quando o Clock passa a ter nível lógico igual 0 (Clock=0 lógico), temos OUT=0 lógico

Por sua vez, se o Enable apresentar um nível lógico igual a 0, a saída do buffer Tri-state (ou seja, o OUT) vai estar “desconectada do resto do circuito” e deste modo nenhuma corrente vai fluir para a carga. A este estado denominamos de alta impedância (Z).

## Tabela de verdade:

IN	Clock	Enable	OUT	C(OUT)
0	0	0	Z	Z
0	0	1	VA	C(VA)
0	1	0	Z	Z
0	1	1	0	1
1	0	0	Z	Z

1	0	1	VA	C(VA)
1	1	0	Z	Z
1	1	1	1	0

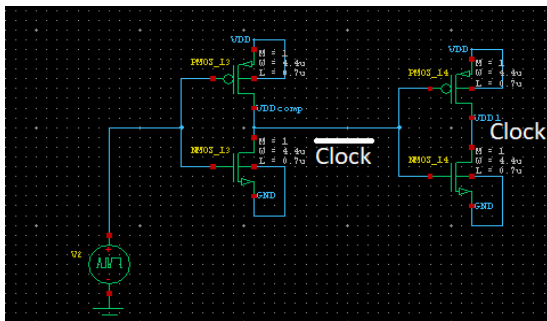
*Tabela 1: Níveis lógicos das saídas do circuito em função dos níveis lógicos das entradas.*

**Nota:** VA=valor anterior  
C()=complementar do ()  
Z=alta impedância

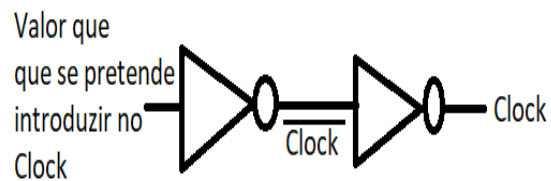
## Clock:

O Clock/Clock complementar estão ligados às gates dos NMOS/PMOS dos Transmission Gate, logo vão ser estes que vão controlar quando os MOSFETS vão ou não conduzir. Como podemos observar o Clock comporta-se como um sinal de controlo.

O Clock e o seu complementar obtém-se a partir do uso de dois inversores em série, tal como indica a seguinte imagem.



*Figura 5: Representação esquemática do Clock no S-Edit*

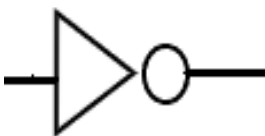


*Figura 6: Símbolo do Clock*

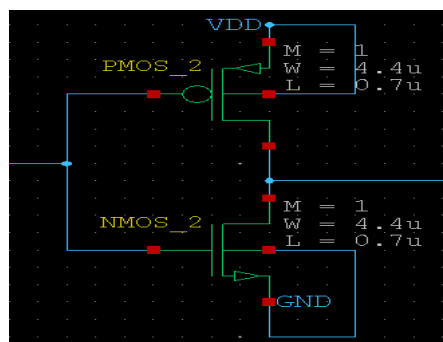
## Inversor:

O inversor é uma porta lógica que inverte o nível lógico da entrada, ou seja, para uma dada entrada lógica, na saída obtemos o nível lógico complementar.

Este é constituído por um PMOS e NMOS, sendo que o Dreno do PMOS está ligada ao Dreno do NMOS. A saída do inversor está ligada ao Dreno do PMOS/ Dreno do NMOS, tal como podemos ver na figura 8.



*Figura 7: Símbolo do inversor*



*Figura 8: Representação esquemática do inversor no S-Edit*

## Transmission Gate (TG):

É constituído pelo paralelo de um PMOS com um NMOS, em que uma das gates está ligada ao Clock e a outra está ligada ao seu complementar.

Este componente funciona como um “interruptor”, sendo que este desliga a sua entrada do resto do circuito caso o nível lógico presente na gate seja 1 lógico e 0 lógico para o PMOS e NMOS respetivamente. O valor da entrada do TG passa para a sua saída caso o nível lógico presente na gate seja 1 lógico e 0 lógico para o NMOS e PMOS, respetivamente.

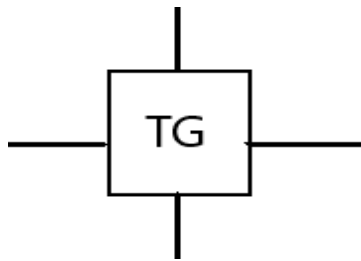


Figura 9: Símbolo do TG

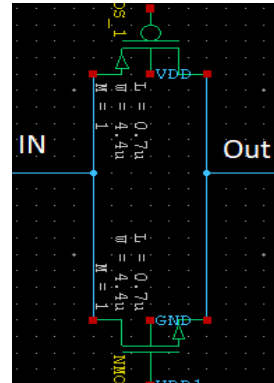


Figura 10: Representação do TG1 no S-Edit- apresentado no diagrama de blocos da Figura 2

## Buffer Tristate:

Uma vez que se pretende projetar este circuito com saídas tristate, foi necessário implementar um Buffer Tristate.

O Buffer Tristate contém duas entradas e uma saída. Uma das entradas é a chamada “entrada de dados” e a outra é a “entrada Enable”.

A saída do buffer tristate pode apresentar 3 estados possíveis, o 1 lógico, o 0 lógico e o estado de alta impedância (Z). O estado de alta impedância acontece quando a entrada Enable tem um nível 0 lógico. Neste estado, podemos pensar que dentro do buffer temos um interruptor que desconecta a saída ao resto do circuito, ou seja, a corrente na saída será 0 Amperes. Caso o Enable seja 1 lógico, a saída do Buffer é igual ao valor lógico da entrada de dados.

No circuito em questão, a saída Q (saída do circuito sem o Buffer Tristate) é ligada à “entrada de dados” do Buffer e a saída complementar de Q (saída complementar do circuito sem o Buffer Tristate) é ligada à “entrada de dados” do outro Buffer, sendo que as entradas Enable devem ser as mesmas para ambos os Buffer's. Assim, as saídas do sistema passam a ser as saídas dos Buffer's.

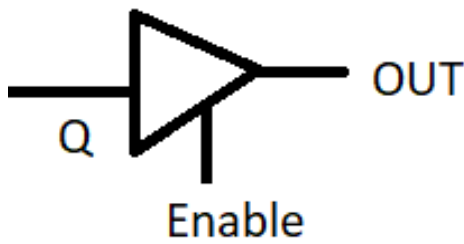


Figura 11: Simbolo do Buffer Tristate

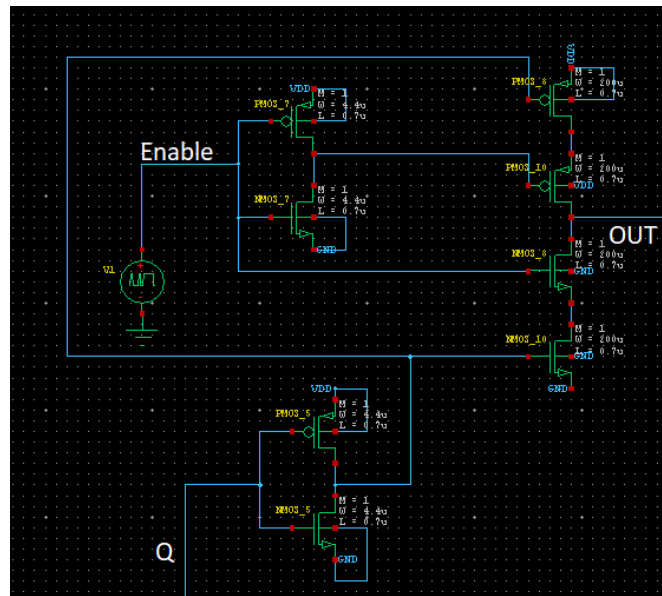


Figura 12: Representação do Buffer Tristate no S-edit

## Funcionamento do circuito:

Em primeiro plano, a entrada é ligada à Transmission Gate 1(TG1), na qual está ligado um Clock e um Clock complementar na gate do NMOS e na gate do PMOS, respetivamente.

Quando o Clock apresenta o valor lógico 1, implica que o seu complementar(Clock do PMOS) tenha um valor lógico 0. Nestas circunstâncias, a saída da TG1 terá o mesmo nível lógico que a entrada, dado que tanto o NMOS como o PMOS conduzem. Por sua vez, se tivermos Clock = 0 lógico (o seu complementar terá 1 lógico), o NMOS e o PMOS não vão conduzir, logo a entrada IN é “desconectada” do resto do circuito (corrente nula).

Ligado à saída da TG1, temos dois inversores ligados em série e, em seguida destes, uma TG2. A TG2, contrariamente ao TG1, apresenta no NMOS e no PMOS os Clock's invertidos, ou seja, nas gates do PMOS e do NMOS temos ligado um Clock e um Clock complementar, respetivamente.

Se o Clock (de todo o circuito) estiver no nível lógico 1, a TG1 conduz e a sua saída terá o mesmo valor lógico que a sua entrada (IN). Deste modo, como a saída da TG1 tem o mesmo valor lógico que IN, a saída do segundo inversor também terá o mesmo valor lógico que IN. Por fim, temos a TG2 que contrariamente à TG1, não vai conduzir. Esta não conduz porque na gate do NMOS temos 0 lógico(complementar do Clock) e na gate do PMOS 1 lógico (Clock). Como TG2 não conduz e sabendo como os inversores funcionam(explicado anteriormente), concluímos que  $Q=IN$  e  $C(Q)=C(IN)$ .

Se o Clock estiver no nível lógico 0, TG1 não irá conduzir (não há passagem de corrente) mas TG2 sim, e deste modo vamos ficar com um loop constituído pelos inversores e pela TG2. Isto significa que o valor de Q anterior à mudança do Clock(de 1 lógico para 0 lógico) vai ficar enclausurado neste loop. Como vamos ter este valor para “sempre” (caso não alteremos o nível lógico do Clock), significa que estamos a lidar com uma memória de 1 bit.

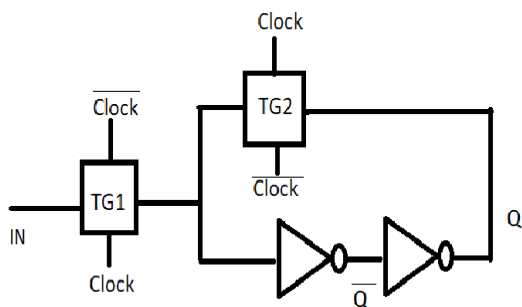


Figura 13: Diagrama de blocos do latch sem o buffer Tristate.

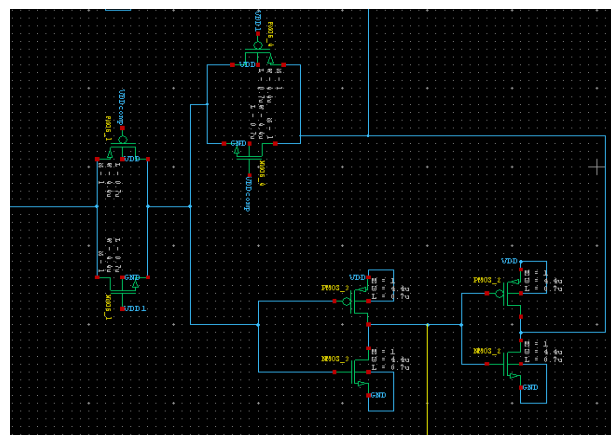


Figura 14: Representação do Latch sem o buffer Tristate no S-edit

**Nota:** Ver o funcionamento da memória no Apêndice

Por fim, temos o Buffer Tristate ligado à saída Q. A introdução deste vai-nos fornecer uma nova entrada(Enable) e vai permitir que a corrente na saída seja maior.

Do mesmo modo que o Clock afeta o comportamento do circuito, a entrada Enable também vai afetar. Se esta tiver o nível lógico 1, o OUT(saída do buffer) vai ter o mesmo nível lógico que Q. Por sua vez, se Enable=0 lógico, vai existir um novo estado denominado de alta impedância(Z), que “desconecta” a saída OUT ao circuito, e consequentemente fará com que a corrente de saída(Iout) seja 0.

## Fundamentação do dimensionamento:

Introduzindo uma carga constituída pelo paralelo entre um condensador de 20 pF e uma resistência de 1 kOhm à saída do circuito, idealmente pretende-se cumprir os seguintes requisitos:

- Uma tensão 5V, na qual representa o nível lógico 1.
- Um dimensionamento dos PMOS/NMOS que não exigissem um custo de fabrico elevado (W e L baixos).

Inicialmente tínhamos os PMOS/NMOS presentes no circuito com W=4.4u e L=0.7u, porém para as entradas seguintes:

	Binário	FT	HT	LT	PW	RT	Delay
<b>IN</b>	1100110011	1 ns	100 ns	100 ns	100 ns	1 ns	30 ns
<b>Clock</b>	1010101010	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns
<b>Enable</b>	1111111111	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns

Tabela 2: Características das entradas Clock, IN e Enable

o resultado da simulação foi:

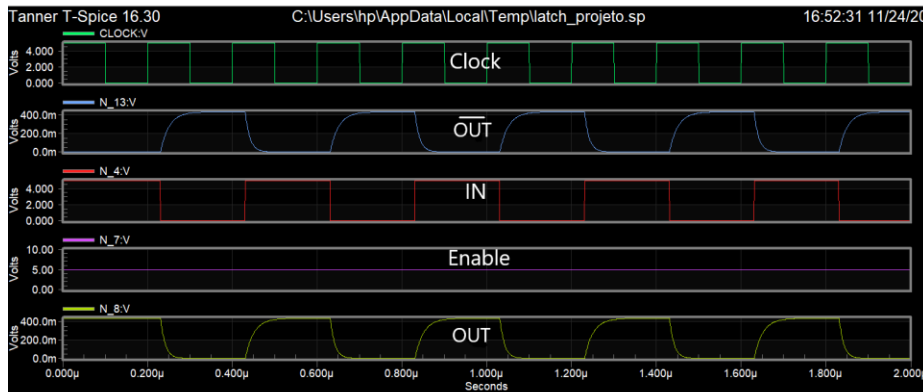


Gráfico 1: Representação gráfica das entradas (IN, Clock e Enable) e das saídas segundo a tabela 2.

Verificou-se que quando se pretendia uma saída igual a 1 lógico, a tensão não passava dos 400mV, ou seja, a carga exigia mais potência do que o circuito podia oferecer!

Deste modo foi necessário dimensionar os PMOS e NMOS que constituíam o circuito para, no mínimo, ser fornecida uma corrente de 4mA à resistência quando a saída pretendida fosse 1 lógico.

Uma vez que os únicos PMOS e NMOS que contribuem para o aumento da corrente na carga são os quatro selecionados na figura seguinte:

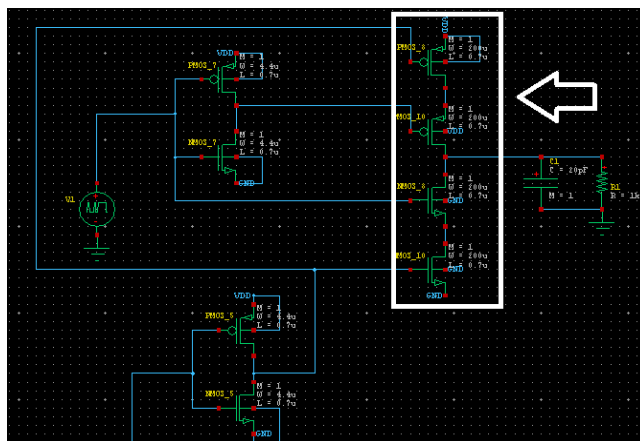


Figura 15: Buffer Tristate

Então, apenas foi preciso aumentar o W e diminuir L (pois analisando esta fórmula  $I_d = 1/2 K_n (W/L) (V_{GS} - V_{th})^2$ , e uma vez que para o valor lógico 1 o  $V_{GS}$  e  $V_{th}$  são fixos, então deve-se aumentar W e diminuir L) destes PMOS e NMOS presentes em ambos os Buffer.

**Nota:** Nos restantes PMOS e NMOS do circuito, mesmo que se aumente o W e diminua o L de forma a tentar aumentar a corrente que chega às gates dos NMOS e PMOS rodeados na figura, acaba-se por não aumentar a corrente que vai para a carga, uma vez que embaixo das gates existe uma camada de óxido que não deixa passar corrente. Sendo apenas o nível de tensão presente nas gates é que pode influenciar a corrente na carga (abrindo o canal), porém para 1 lógico (que é o caso que se obtinha problemas) é sempre fixo (5V para  $V_{DD}=5V$ ).

Como a tecnologia CMOS pretendida era de 0.7, então colocou-se o L de todos os PMOS/NMOS do circuito igual a 0.7u.

Para os PMOS/NMOS do circuito, sem contar com os PMOS/NMOS selecionados na imagem acima, escolheu-se um  $W=4.4u$  de forma a minimizar os custos de fabrico.

Para os PMOS/NMOS selecionados na imagem acima, a escolha de W levantou alguns problemas no cumprimento dos requisitos ideais referidos anteriormente, pois para se obter uma saída próxima de 5V(desempenho próximo do ideal) o custo de fabrico ia ser bastante elevado, uma vez que o W desses PMOS/NMOS iam ter valores acima dos 600u.

De modo a melhorar a relação custo/performance, diminui-se os valores de W dos PMOS/NMOS para 200u. Com esta diminuição dos W's,a saída vai-se afastar do valor ideal(5V), mas como essa variação não é muito significativa, continuamos a ter um valor razoável na saída (4,56V) que representa um nível lógico 1

Já com o dimensionamento feito, foi feita a seguinte simulação:

	Binário	FT	HT	LT	PW	RT	Delay
<b>IN</b>	0101010101	1 ns	100 ns	100 ns	100 ns	1 ns	30 ns
<b>Clock</b>	0101010101	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns
<b>Enable</b>	1111111111	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns

Tabela 3

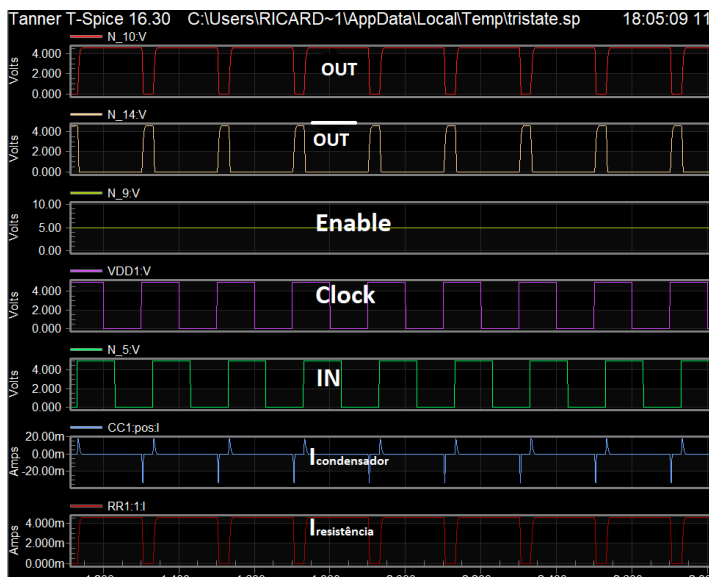


Gráfico 2: Representação das entradas (Clock, Enable e IN), das tensões de saída (OUT e o seu complementar) e da corrente que passa na carga. Este gráfico é baseado nos dados da tabela 3

A saída Q para 1 lógico tem 4.56V, ou seja, tem uma performance bastante razoável.

Alternando o Enable:

	Binário	FT	HT	LT	PW	RT	Delay
<b>IN</b>	0101010101	1 ns	100 ns	100 ns	100 ns	1 ns	30 ns
<b>Clock</b>	0101010101	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns
<b>Enable</b>	111000111000	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns

Tabela 4



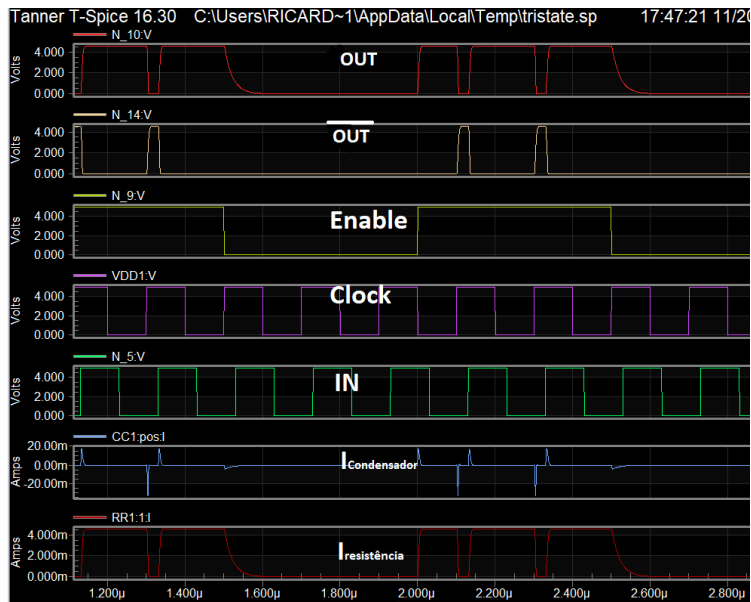


Gráfico 3: Representação das entradas (Clock, Enable e IN), das tensões de saída (OUT e o seu complementar) e da corrente que passa na carga. Este gráfico é baseado nos dados da tabela 4

Obtemos o esperado.

## Análise gráfica:

Gráfico 4- VDD vs Q (com carga)

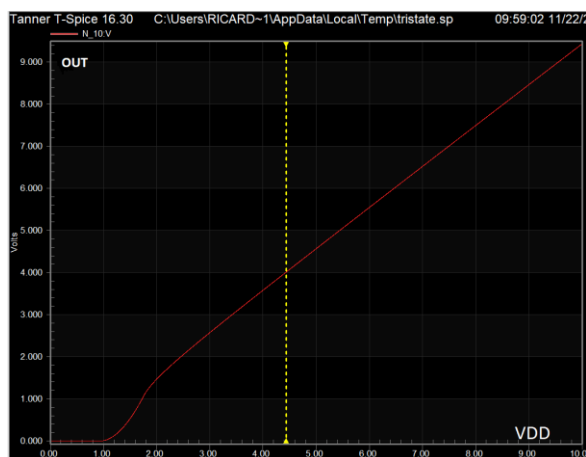


Gráfico 4

Neste gráfico podemos ver o comportamento da saída em função de VDD, sendo que IN=Clock=Enable=5V. A partir de VDD=2V a tensão de saída varia linearmente, porém apenas interessa o valor de VDD que coloca a saída igual ou maior a 4V, de forma a obtermos um 1 lógico bem definido. O valor em causa é VDD=4.4V

Gráfico 5 a) VDD vs Iout (com carga):

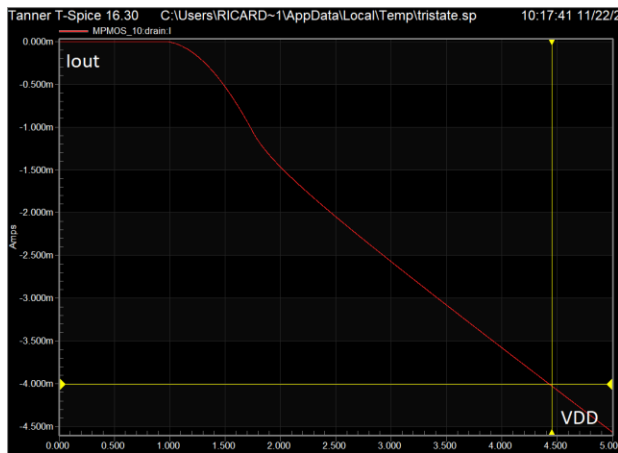


Gráfico 5 a)

Neste gráfico podemos ver o comportamento da corrente de saída em função de VDD, sendo que  $I_N = \text{Clock} = \text{Enable} = 5V$ .

O valor à qual havia interesse era a corrente máxima fornecida à saída (com a carga ligada) quando  $VDD = 4.4V$ . Essa corrente é  $-4\text{ mA}$ .

#### Gráfico 5 b)- VDD vs Iout (com carga):

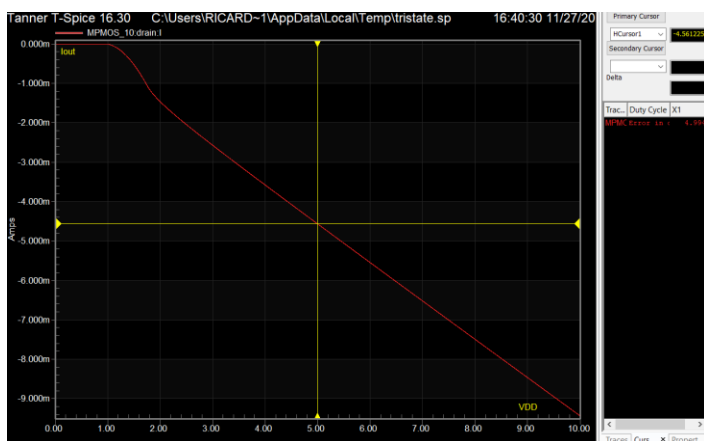


Gráfico 5 b)

Neste gráfico podemos ver o comportamento da corrente de saída em função de VDD, sendo que  $I_N = \text{Clock} = \text{Enable} = 5V$ .

À semelhança do anterior, o valor que se pretendia retirar deste gráfico é a corrente máxima à saída (com a carga ligada) que o circuito fornecia quando  $VDD = 5V$ . Essa corrente é  $-4.56\text{ mA}$ .

#### Gráfico 6-IN vs OUT (com carga):

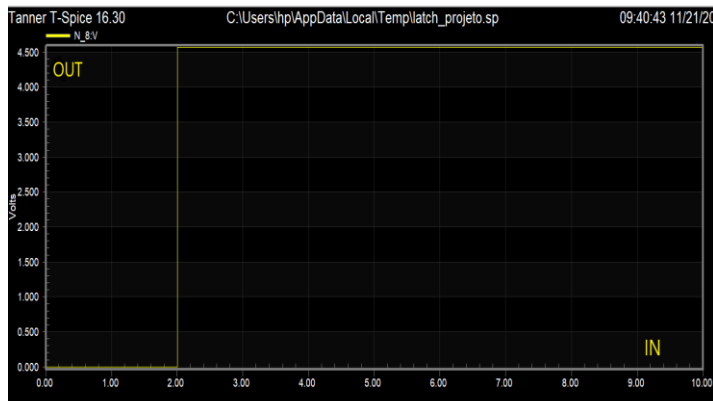


Gráfico 6

Para a obtenção deste gráfico colocou-se o  $VDD=Clock=Enable=5$  e fez-se o gráfico de Out em função de IN. Com a obtenção deste gráfico, foi possível determinar a partir de que tensão de entrada se obtinha o 1 lógico á saída.

Sendo assim determinou-se o valor de tensão mínima do 1 lógico que a entrada pode ter, de forma a termos o 1 lógico na saída

O valor em causa é 2V

#### Gráfico 7-IN vs Iout (com carga):



Gráfico 7

A diferença deste gráfico para com o anterior é que em vez de ser Out em função de IN, é  $I_{out}$  em função de IN. Daqui também se pode verificar que a tensão de entrada mínima, para  $VDD=Clock=Enable=5V$ , é 2V.

#### Gráfico 8- $I_{out}$ máximo (sem carga):

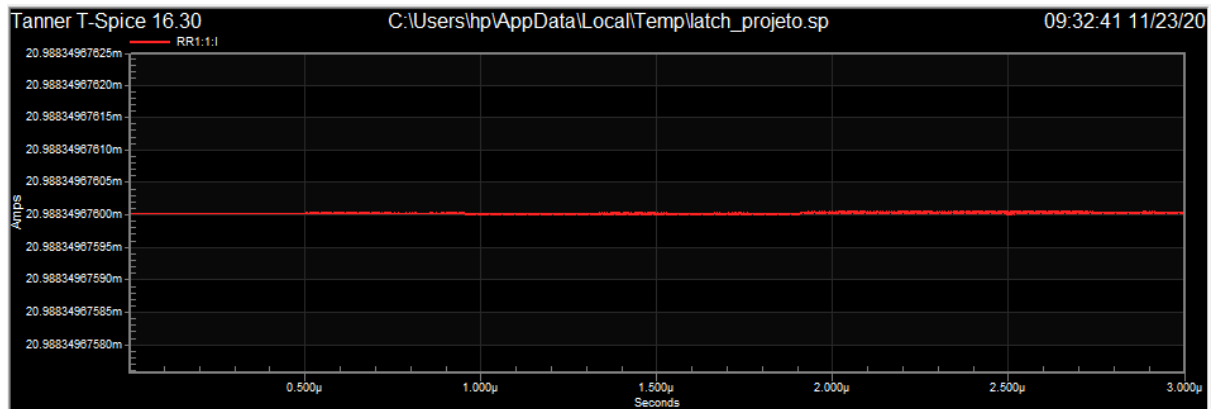


Gráfico 8

Na tentativa de saber qual era a corrente máxima à saída da latch (sem carga), e devido ao S-Edit não permitir medir a corrente máxima à saída ligando-a à terra, então ligou-se uma resistência bastante baixa ( $R=0.00001\Omega$ ) e mediu-se a corrente. O gráfico anterior indica essa mesma corrente

Nos gráficos seguintes é mostrada a medição do delay que a saída apresentava relativamente à entrada, tanto na subida como na descida, no caso de termos a carga à saída (paralelo de um condensador de 20 pF e de uma resistência de 1 kOhm) e no caso de não termos nada ligado à saída. Este delay é maioritariamente criado devido aos inversores.

Também é mostrado o tempo de subida e de descida que a saída apresenta, com e sem carga, para uma entrada, um Clock e um Enable que tem um tempo de subida de 1ns.

Os valores retirados dos gráficos encontram-se no datasheet.

### *Delay de subida (sem carga):*

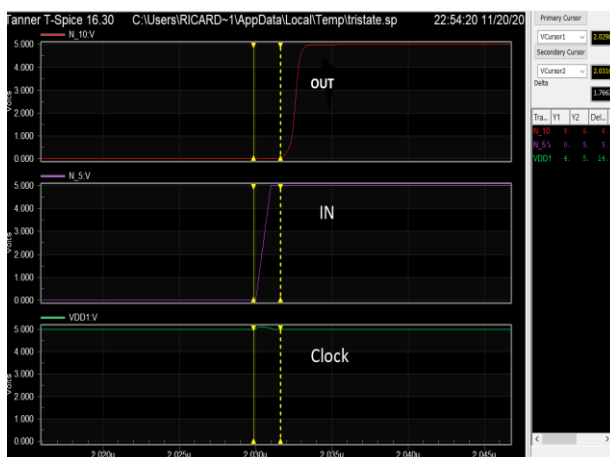


Gráfico 9

### *Delay de descida (sem carga):*

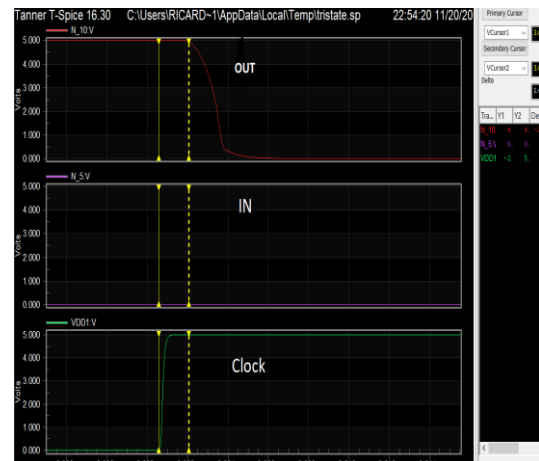


Gráfico 10

**Gráfico 11-Delay de subida (com carga):**



Gráfico 11

**Gráfica 12-Delay de descida (com carga):**

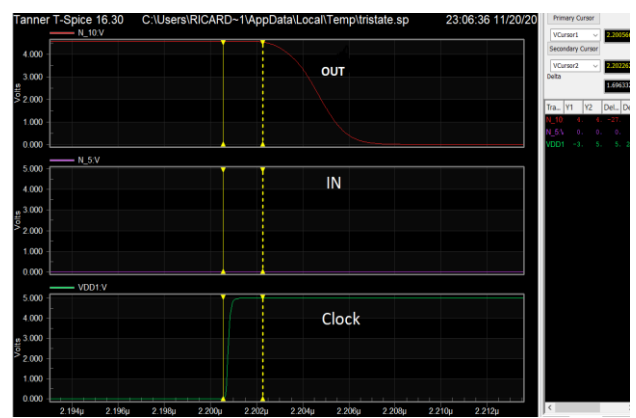


Gráfico 12

**Gráfico 13-Tempo de subida da saída (com carga):**

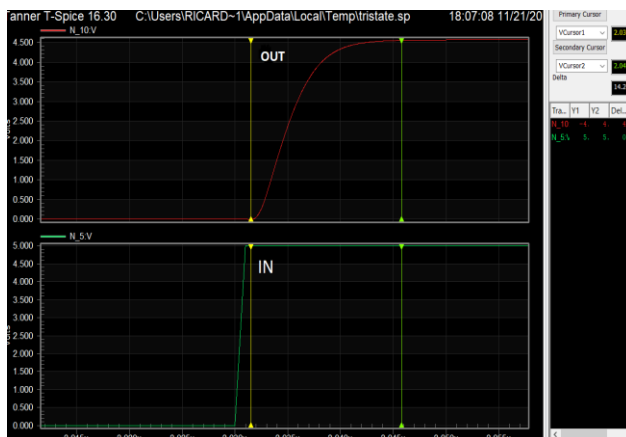


Gráfico 13

**Gráfico 13-Tempo de descida da saída (com carga):**

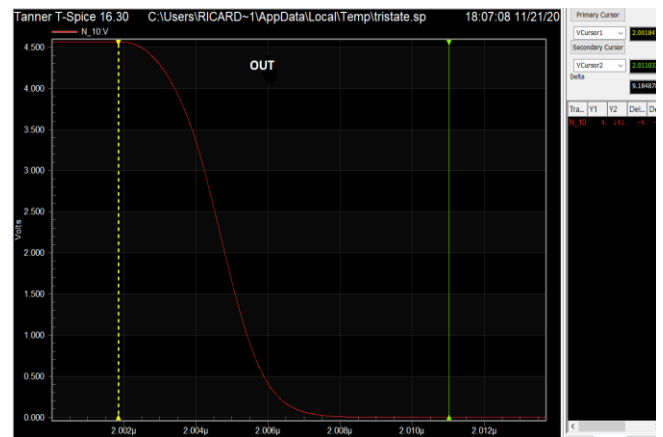


Gráfico 14

**Gráfico 15-Tempo de subida da saída (sem carga):**

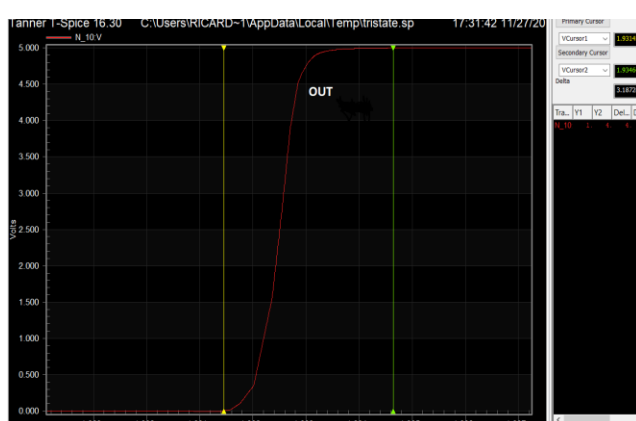


Gráfico 15

**Gráfico 16-Tempo de descida da saída (sem carga):**

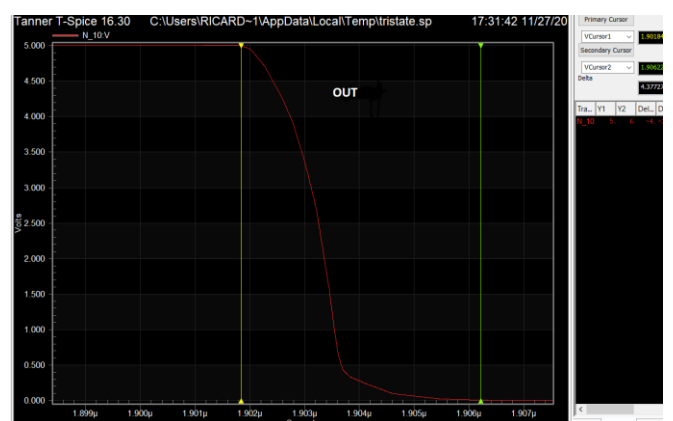


Gráfico 16

## Extra: Implementação alternativa

**Nota:** A simulação está guardada na pasta “Início 2018” na célula “latchprojtoteste”

Uma outra hipótese de implementar uma Latch de alta performance sensível ao nível é a seguinte:

**Representação esquemática no S-edit:**

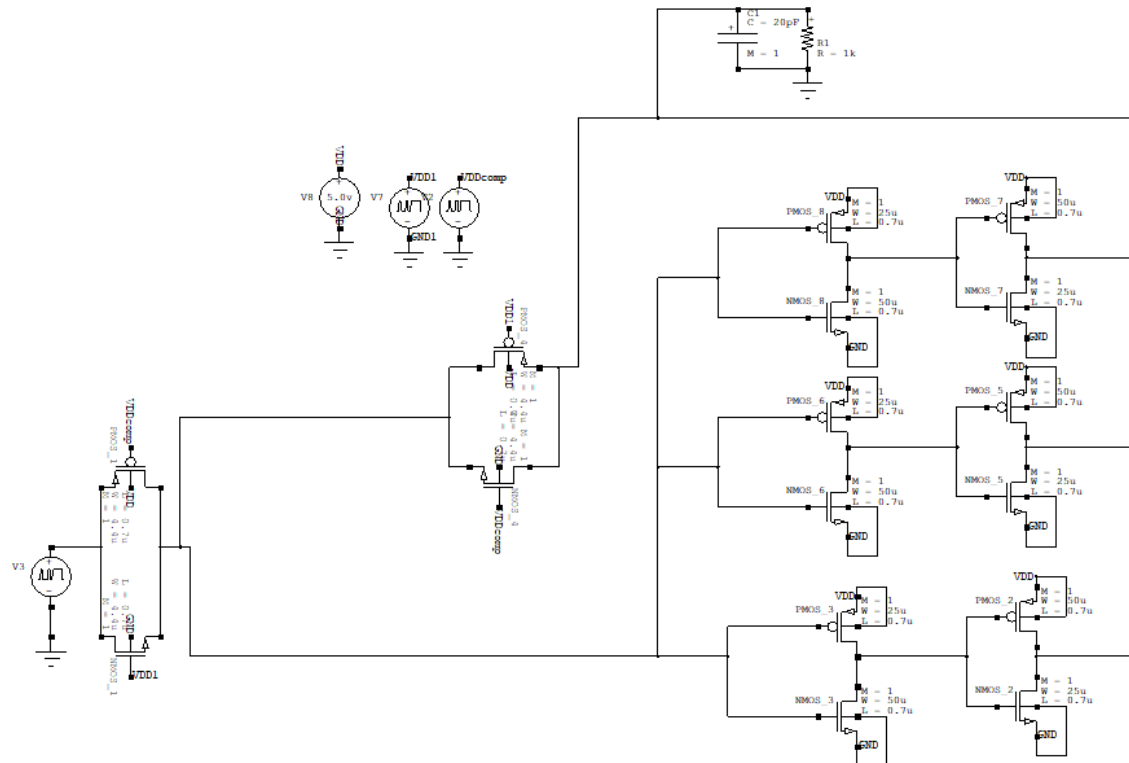


Figura 16: Latch alternativo

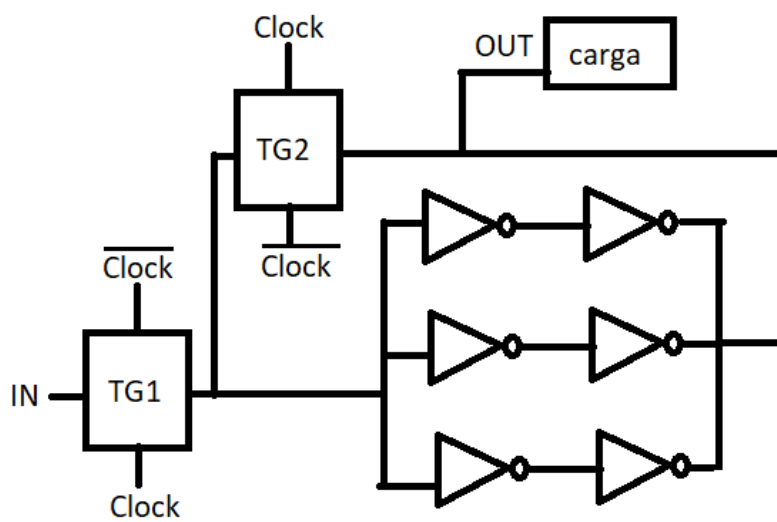


Figura 17: Diagrama de Blocos

Segundo a figura, podemos ver que relativamente ao anterior, este circuito não apresenta uma saída Tri-state e em vez disso, temos 3 pares de inversores em paralelo. A vantagem desta implementação é o custo de fabrico e o facto de se obter melhores resultados. Embora o número de NMOS/PMOS adicionados seja o mesmo, o custo de fabrico é menor porque não é necessário  $W$ 's tão grandes para se obter os mesmos, ou melhores resultados.

Obteve-se melhores resultados na saída porque ao colocar os 3 pares de inversores em paralelo, a corrente de saída de cada par vai-se somar uns com os outros, aumentando a corrente à saída. De modo a determinar a corrente máxima na saída, colocou-se uma resistência muito baixa a servir de carga ( $0.00001\Omega$ ) e o IN, Clock com uma sequência de 1's. O ideal seria ligar a saída à massa, mas o S-Edit não permite. O resultado é mostrado na figura seguinte:

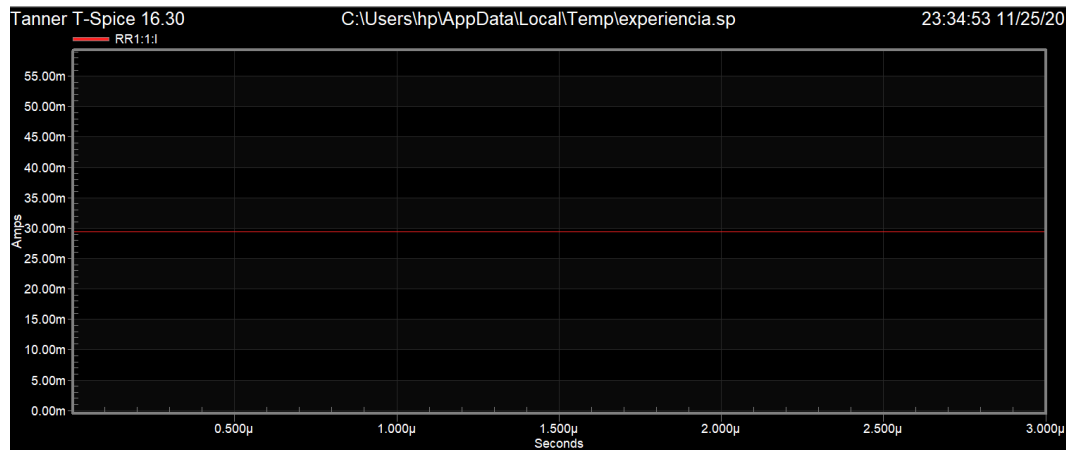


Gráfico 17

Como podemos ver a corrente máxima na saída é aproximadamente 30mA, enquanto que no anterior tínhamos 21mA.

Além disso, podemos verificar na imagem abaixo que o  $W$  do NMOS do primeiro inversor (50u) é superior ao  $W$  do PMOS do mesmo (25u), e que o  $W$  do PMOS do segundo inversor (50u) é superior aos NMOS desse mesmo inversor (25u). Isso acontece, pois quando a saída da latch necessita de ser 1 lógico, é necessário fornecer mais corrente de forma a obtermos uma tensão mais próxima do ideal, porém não é necessário aumentar os  $W$  de todos os PMOS/NMOS mas só aqueles que estão associados aos PMOS/NMOS que ficam abertos nos inversores para obtermos 1 lógico à saída. Esta foi uma forma de minimizar o custo de fabrico sem perder grande performance.

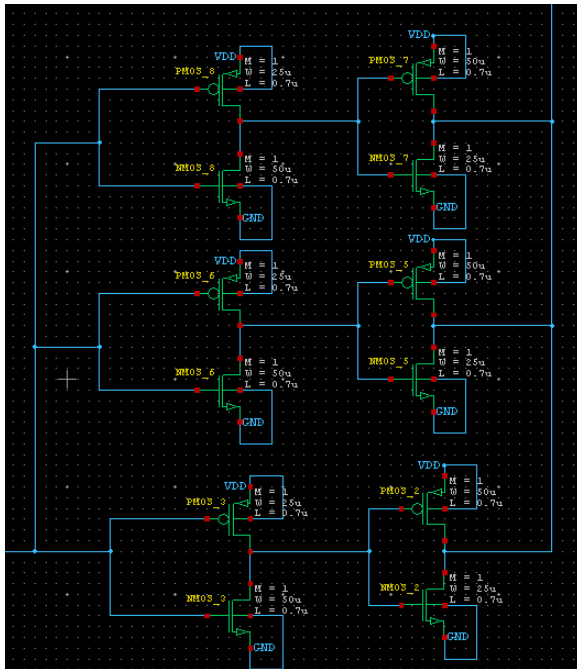


Figura 18: Representação de 3 pares de inversores em paralelo

Contrariamente aos PMOS/NMOS dos inversores, os NMOS/PMOS dos TG's presentes no circuito têm um  $W=4.4u$  e um  $L=0.7u$  porque um aumento destes, não traduz um melhoramento nos resultados.

Exemplo de funcionamento:

	Binário	FT	HT	LT	PW	RT	Delay
<b>IN</b>	0101010101	1 ns	100 ns	100 ns	100 ns	1 ns	30 ns
<b>Clock</b>	0101010101	1 ns	100 ns	100 ns	100 ns	1 ns	0 ns

Tabela 5

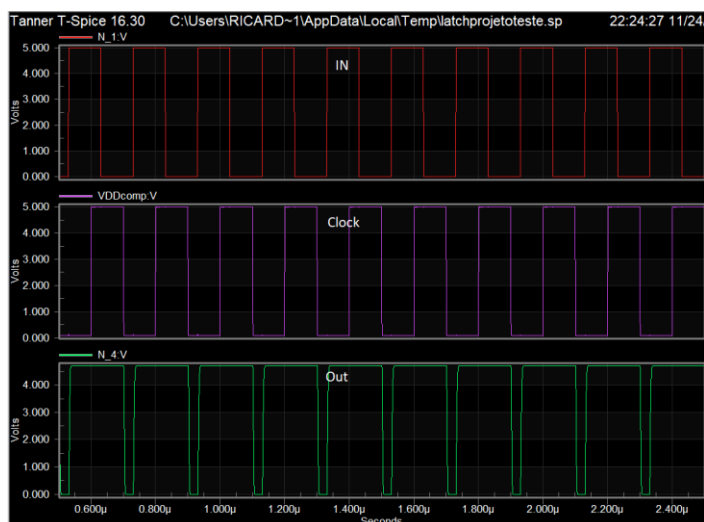


Gráfico 18



Esta montagem “extra” acaba por apresentar alguns benefícios relativamente à apresentada inicialmente, como a boa performance com custo inferior, porém não apresenta duas saídas (apenas uma) e nem sequer são trístates, que era um dos requisitos pretendidos no projeto.

### Exemplo de funcionamento da memória:

Neste exemplo inicializamos com um Clock=1 lógico e uma entrada IN=1 lógico.

The diagram shows a circuit with two gates, TG1 and TG2, and two inverters. TG1 has inputs 1 and 1, and output 0. TG2 has inputs 1 and 0, and output 0. The output of TG1 is connected to the input of TG2 and the input of the first inverter. The output of the first inverter is connected to the input of the second inverter, which has output 1.

**Cenário 2(mudança do Clock para 0 lógico):**

Alterando agora o Clock para 0 lógico, a TG1 não vai conduzir e deste modo pode ser “ignorada”, ou seja, apenas “ficamos” com os 2 inversores e com a TG2.

Observando agora o comportamento da saída Q, notamos que o valor deste mantém-se ao mudar o nível lógico do Clock( de 1 lógico para 0 lógico), ou seja, como tínhamos anteriormente Q=1 lógico, significa que após a mudança do nível lógico do Clock vamos continuar a ter Q=1 lógico.

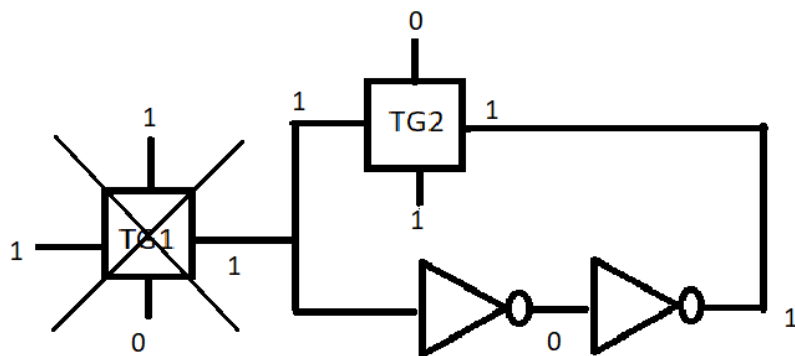


Figura 20: cenário 2

### Cenário 3 (Clock=0 lógico e IN=0 lógico):

Verifica-se que continuamos a ter o Clock a 0 lógico, logo aplicando o mesmo raciocínio que a etapa 2, notamos que a mudança de IN para 0 lógico, não vai afetar o comportamento do nosso circuito, ou seja, o valor de Q continua a ser 1 e deste modo o circuito apresenta o comportamento de uma memória.

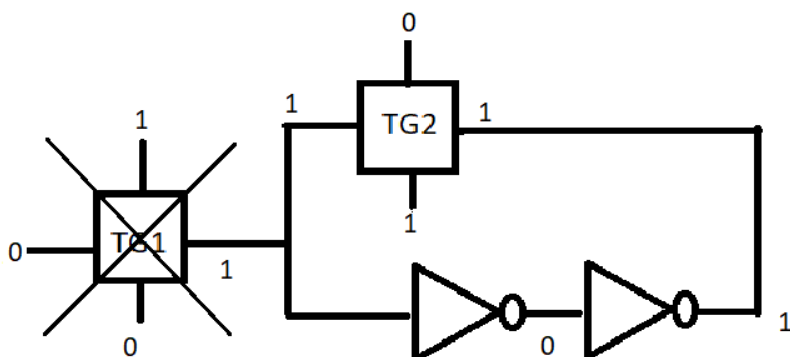


Figura 21: cenário 3

### Cenário 4 (Clock=1 lógico e IN=0 lógico):

Por fim, alterando o valor lógico do Clock para 1 lógico, implica que a TG1 vai conduzir, novamente, e a TG2 não. Deste modo, a saída Q vai ter o mesmo nível lógico que a entrada, ou seja, Q=0 lógico.

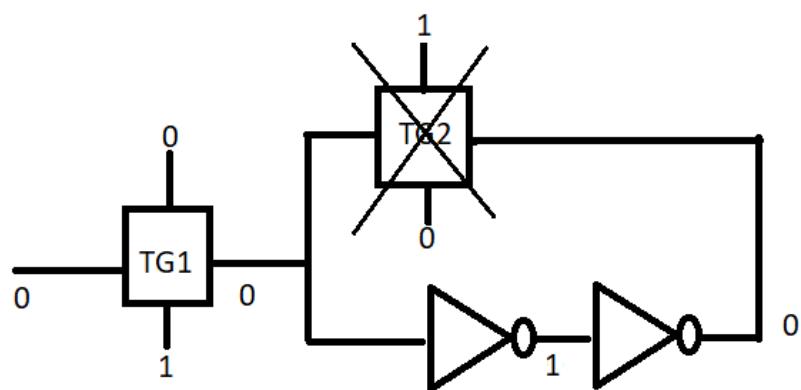


Figura 22: cenário 4

