

# Latch de alta performance sensível ao nível com saídas tristate (Datasheet)

Trabalho realizado por: João Pedro Sá Gomes A89141  
Ricardo da Silva Correia A89156

**Nota:** O projeto está guardado na pasta “Início 2018” na célula “projeto” do S-edit

## Índice:

- Notação
- Diagrama de pinos
- Diagrama de blocos
- Tabela de verdade
- Instruções acerca do dispositivo
- Condições de operação (com carga)
- Representações gráficas

## Notação:

|                     |   |
|---------------------|---|
| IN ou Vin           | Entrada da Latch(Pino 4)  |
| Clock               | Entrada de relógio (Pino 1)   |
| Enable              | Entrada responsável por produzir 3 saídas diferentes: 0, 1 lógicos ou alta impedância(Z) (Pino 2) |
| GND                 | Ground do Latch (Pino 3)  |
| VDD                 | Alimentação do Latch (Pino 5)   |
| Iout                | Corrente à saída  |
| Q ou Vout ou OUT    | Tensão de saída do Latch (Pino 6)   |
| C(Q ou Vout ou OUT) | Tensão complementar de saída do Latch (Pino 7)  |

## Diagrama de pinos:



## Instruções acerca do dispositivo:

- A tensão de alimentação (VDD) no 1 lógico e no zero lógico deve ser igual às tensões do IN, do clock e do Enable no 1 lógico e no 0 lógico, respetivamente. Este parâmetro é essencial, de modo a evitarmos resultados inesperados e possíveis danos no dispositivo.
- Este dispositivo foi projetado de tal forma, que ao introduzir uma entrada de 5V(1 lógico) , seja possível obter 4,56V (1 lógico) na carga (paralelo de um condensador de 20 pF com uma resistência de 1 kOhm).

## Condições de operação:

| Parâmetro a medir | Condições                       | Descrição  | Carga à saída ?(S/N) | MAX.  | MIN. | Unidades | Gráfico      |
|-------------------|---------------------------------|--|----------------------|-------|------|----------|--------------|
| Vin(IN)           | VDD=5V<br>Enable=5V<br>Clock=5V | Fez-se o varrimento de IN de 0 a 10V e mediu-se Q em função de IN, anotando-se o valor de IN na qual era conseguido o 1 lógico à saída | S                    | -     | 2.1  | V        | Gráfico 3    |
| VDD               | IN=5V<br>Enable=5V<br>Clock=5V  | Fez-se o varrimento de VDD de 0 a 10V e mediu-se Q em função de VDD  | S                    | -     | 4.4* | V        | Gráfico 1    |
| Iout              | IN=5V<br>Enable=5V<br>Clock=5V  | Fez-se o varrimento de VDD de 0 a 5V e mediu-se Iout em função de VDD, de seguida anotou-se o valor de Iout para VDD=5V                | S                    | -4.56 | 0    | mA       | Gráfico 2 b) |
| Iout              | IN=5V<br>Enable=5V<br>Clock=5V  | Fez-se o varrimento de VDD de 0 a 5V e mediu-se Iout em função de VDD, de seguida anotou-se o valor de Iout para VDD=4.4V              | S                    | -4    | 0    | mA       | Gráfico 2 a) |

|      |   |   |   |       |   |    |           |
|------|---|---|---|-------|---|----|-----------|
|      |   |   |   |       |   |    |           |
| Iout | VDD=5V<br>Enable=5V<br>Clock=5V                         | Fez se o varrimento de IN de 0 a 5V e mediu-se IN em função de Iout, verificou-se qual era o Iout máximo e mínimo | S | -4.56 | 0 | mA | Gráfico 4 |
| Vout | VDD=5V<br>Enable=5V<br>Clock=5V                         | Fez se o varrimento de IN de 0 a 10V e mediu-se Q em função de IN, anotando o valor máximo e mínimo de Q          | S | 4.56  | 0 | V  | Gráfico 3 |
| Iout | VDD=5V<br>Vin=5V<br>Enable=5V<br>Clock=5V<br>R=0.00001Ω | De modo a conseguir descobrir a corrente máxima na saída colocou-se uma resistência R=0.00001Ω                    | N | ~21   | 0 | mA | Gráfico 5 |

Tabela 2

\*Só a partir do VDD=4.4V (considerando as condições presentes na tabela) é que o Vout foi acima de 4V para o 1 lógico (4V foi a margem mínima à qual se pretendeu que a tensão do 1 lógico tivesse à saída)

**Nota:**

- A carga utilizada foi um paralelo de um condensador de 20pF e uma resistência de 1 kOhm

| Parâmetro                                      | Carga à saída ?(S/N) | Valor    | Gráfico                              |
|--|----------------------|----------|--------------------------------------|
| Taxa de transição de entrada(subida e descida) | S                    | 0.5ns/V  | - (valor obtido através de cálculos) |
| Delay de subida (saída)                        | S                    | 2 ns     | Gráfico 8                            |
| Delay de descida (saída)                       | S                    | 1.69 ns  | Gráfico 9                            |
| Tempo de subida (saída)                        | S                    | 14.26 ns | Gráfico 10                           |
| Tempo de descida (saída)                       | S                    | 9.18 ns  | Gráfico 11                           |
| Delay de subida (saída)                        | N                    | 1.76 ns  | Gráfico 6                            |
| Delay de descida (saída)                       | N                    | 1.49 ns  | Gráfico 7                            |

|                          |   |         |            |
|--------------------------|---|---------|------------|
| Tempo de subida (saída)  | N | 3.18 ns | Gráfico 12 |
| Tempo de descida (saída) | N | 4.37 ns | Gráfico 13 |

Tabela 3

Nota:

- Os valores da tabela acima foram obtidos para tempos de subida da entrada, Clock e Enable de 1ns
- Estas medições foram obtidas para um VDD=5V, enquanto que o Clock, Enable e Vin tinham 5V para o 1 lógico e 0V para o 0 lógico.

Representações gráficas:

Gráfico 1- VDD vs Q (com carga)

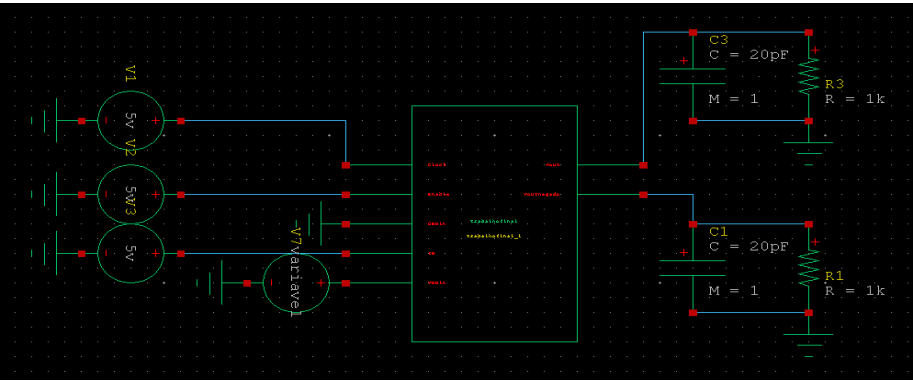


Figura 4:Montagem S-edit usado para obter o gráfico abaixo

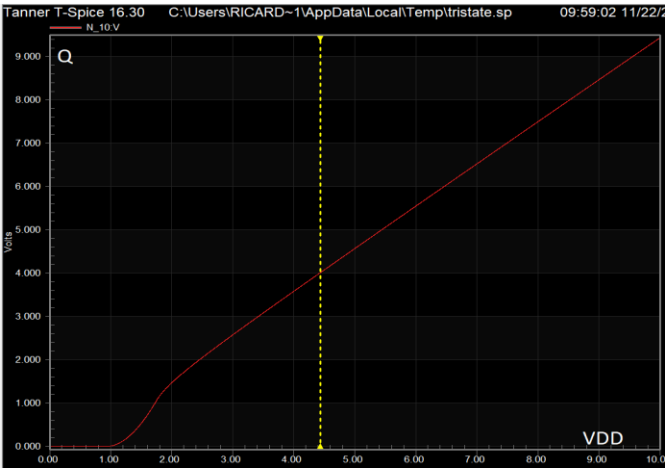


Gráfico 1

## Gráfico 2 a) VDD vs Iout (com carga):

**Nota:** a montagem usada no S-edit foi igual à anterior, mudando apenas o intervalo de varrimento e mediu-se a corrente à saída me vez da tensão

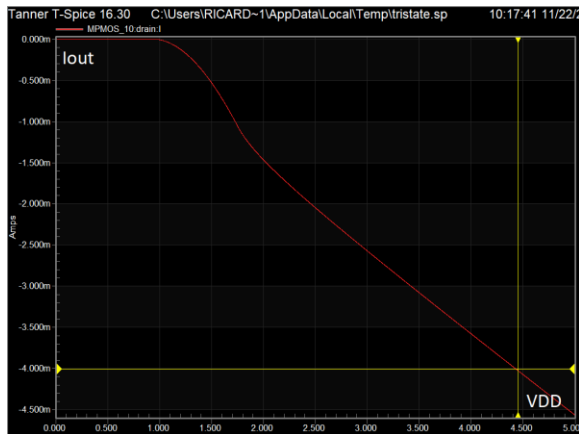


Gráfico 2 a)

## Gráfico 2 b) VDD vs Iout (com carga):

**Nota:** a montagem usada no S-edit foi igual à utilizada para obter o gráfico 1, mudando apenas o intervalo de varrimento e mediu-se a corrente à saída me vez da tensão.

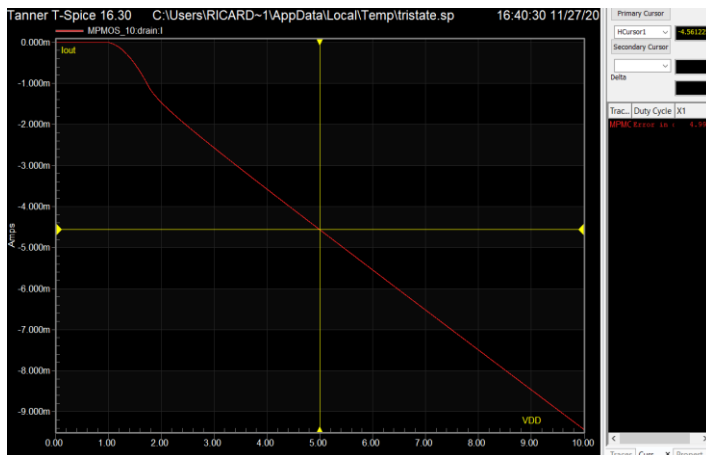


Gráfico 2 b)

## Gráfico 3-IN vs Q (com carga):

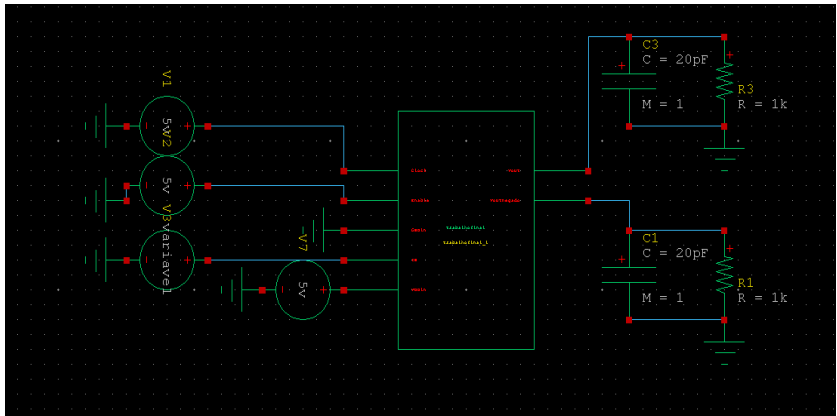


Figura 5: Montagem S-edit usada para obter o gráfico abaixo

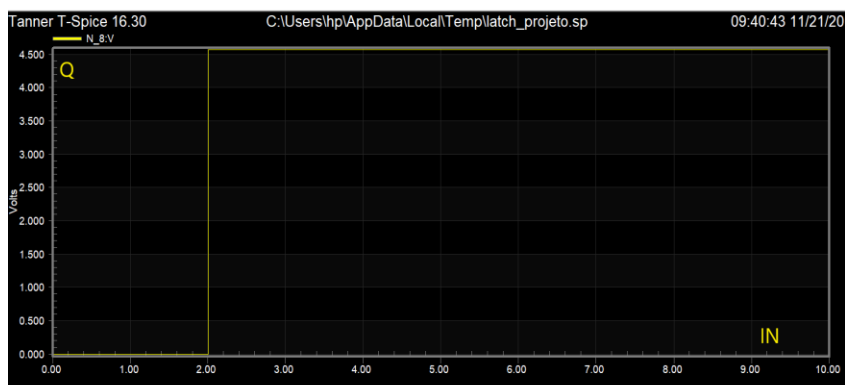


Gráfico 3

### Gráfico 4-IN vs Iout (com carga):

**Nota:** a montagem usada para obter o gráfico abaixo foi a mesma que se usou para obter o gráfico 3, mudou-se apenas o intervalo de varrimento e mediu-se a corrente à saída em vez da tensão.



Gráfico 4

### Gráfico 5-Iout máximo (sem carga):

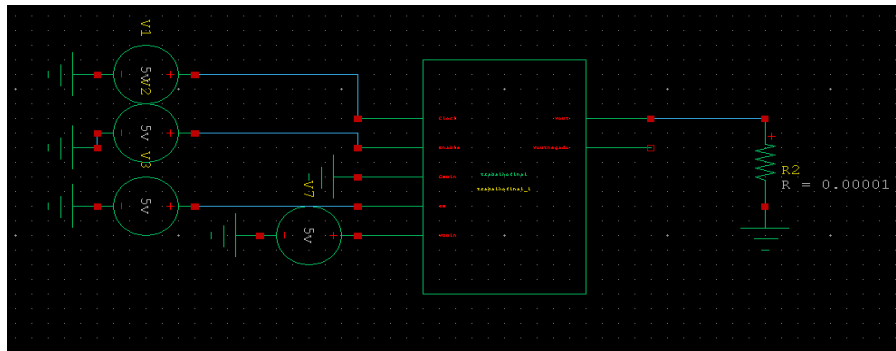


Figura 6: Montagem S-edit usada para obter o gráfico abaixo

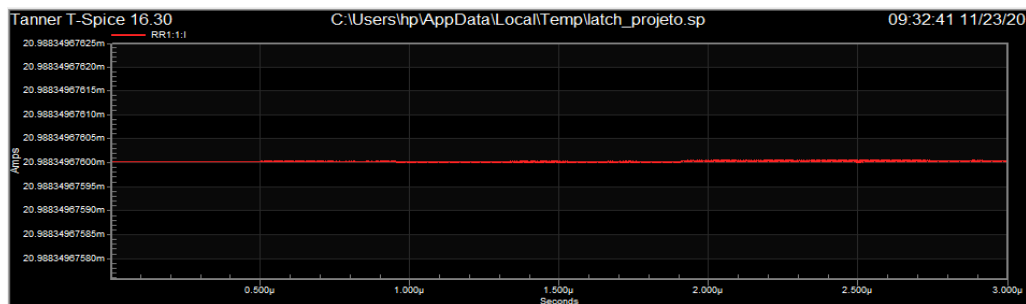


Gráfico 5

### Gráfico 6-Delay de subida (sem carga):

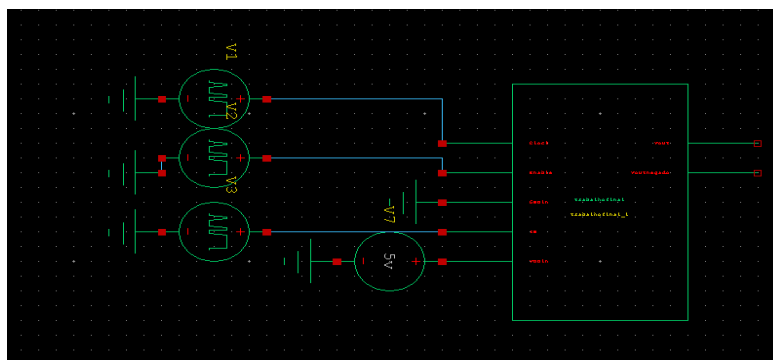


Figura 7: Montagem do S-edit utilizada para obter o gráfico abaixo.



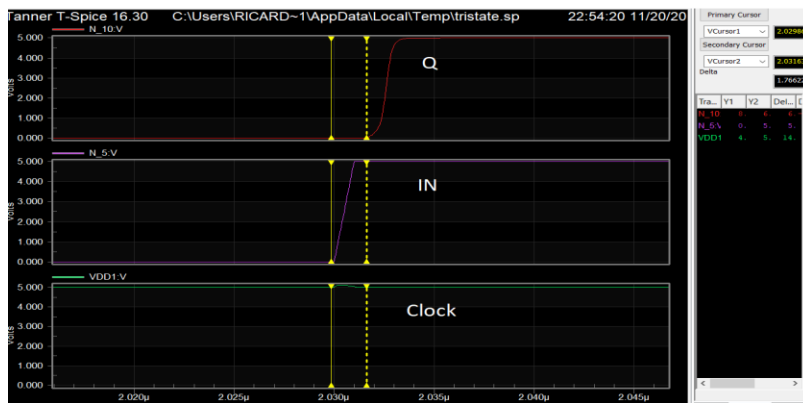


Gráfico 6

### Gráfico 7-Delay de descida (sem carga):

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 6.

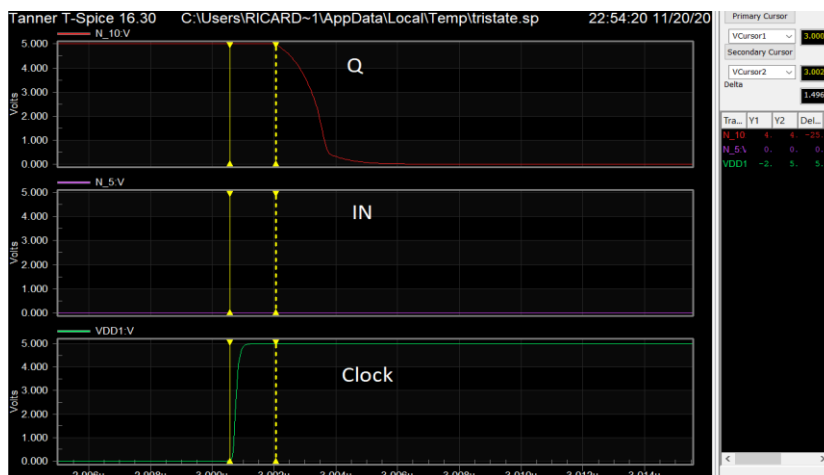


Gráfico 7

### Gráfico 8-Delay de subida (com carga):

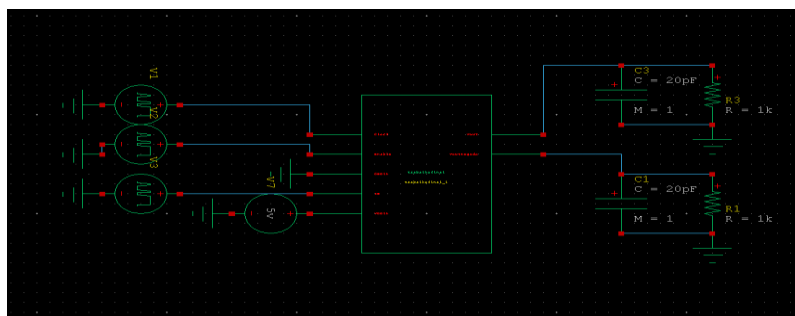


Figura 8: Montagem do S-edit utilizada para obter o gráfico abaixo.

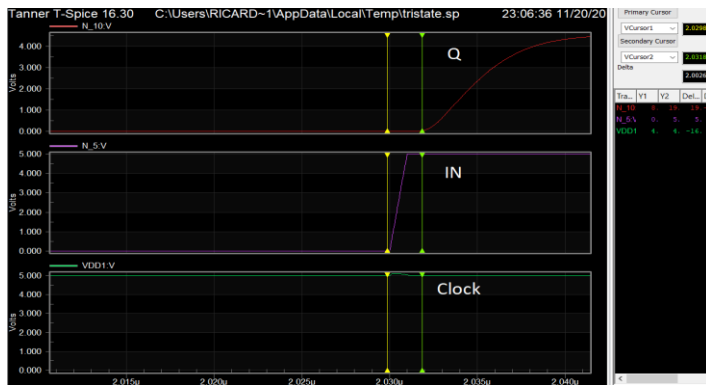


Gráfico 8

## Gráfica 9-Delay de descida (com carga):

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 8.

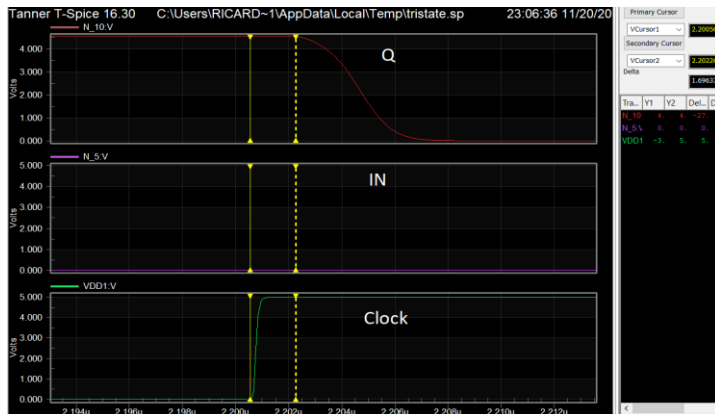


Gráfico 9

## Gráfico 10-Tempo de subida da saída (com carga):

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 8.

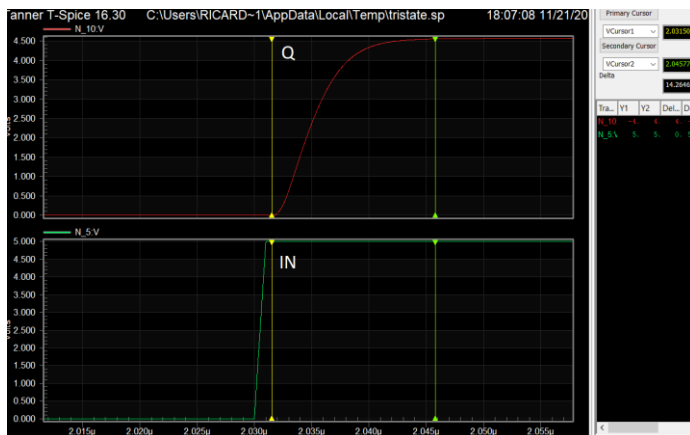


Gráfico 10

### Gráfico 11-Tempo de descida da saída (com carga):

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 8.

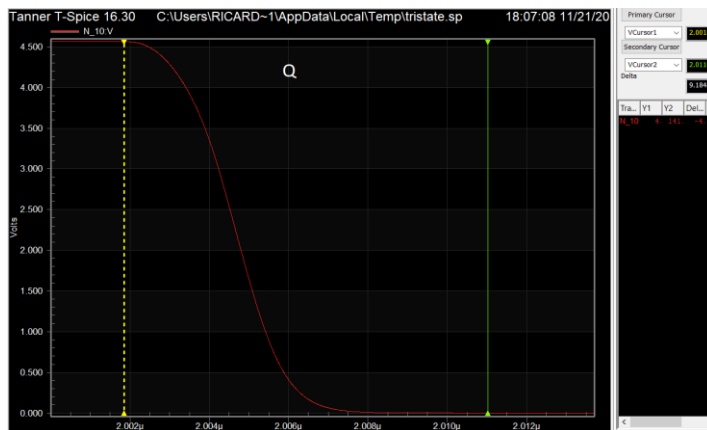


Gráfico 11

### Gráfico 12-Tempo de subida da saída (sem carga):

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 6.

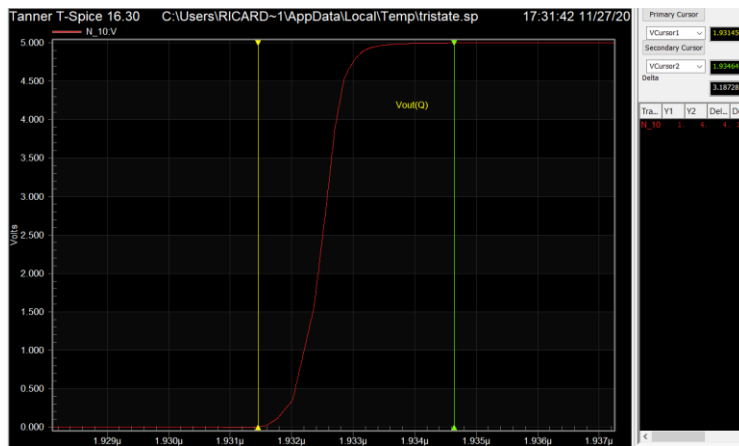


Gráfico 12

### Gráfico 13-Tempo de descida da saída (sem carga):

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 6.

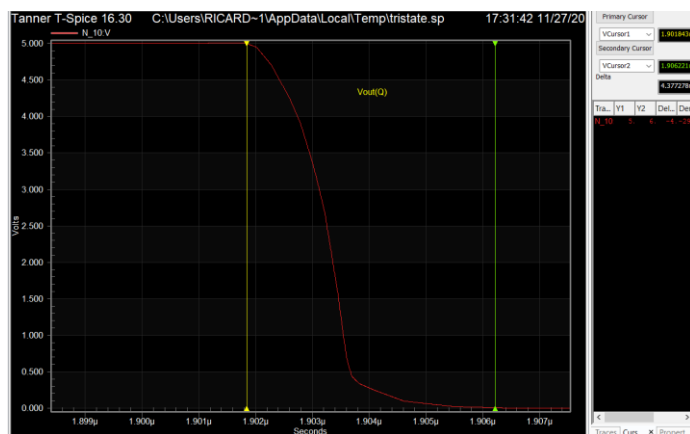


Gráfico 13

## Modo de funcionamento do circuito (sem carga)

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 6.

|               | Binário    | FT   | HT     | LT     | PW     | RT   | Delay |
|---------------|------------|------|--------|--------|--------|------|-------|
| <b>IN</b>     | 0101010101 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 30 ns |
| <b>Clock</b>  | 0101010101 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 0 ns  |
| <b>Enable</b> | 1111111111 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 0 ns  |

**Nota:** 1 lógico = 5 V

0 lógico = 0 V

**Nota:** Foi introduzido um delay de 30 ns na entrada de forma a evitar que a transição entre o Clock e o IN seja ao mesmo tempo, permitindo obter os resultados pretendidos.

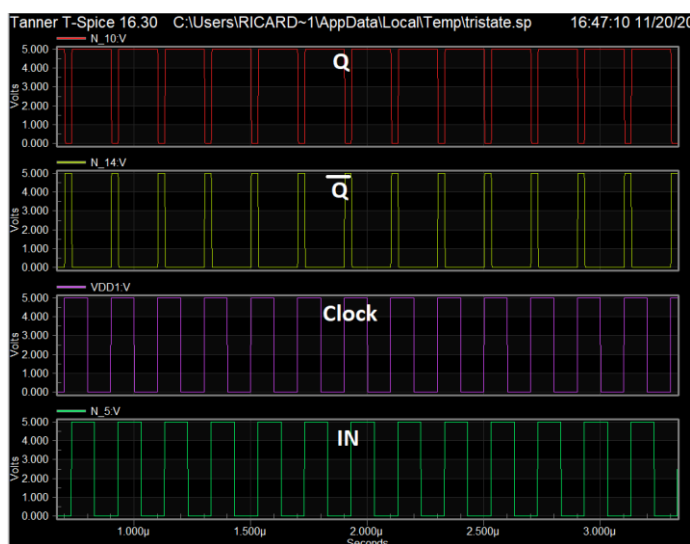


Gráfico 14

Com carga (condensador de 20pF em paralelo com resistência de 1K Ohm)

**Nota:** A montagem utilizada para obter este gráfico foi a mesma que a utilizada para obter o gráfico 8.

|        | Binário    | FT   | HT     | LT     | PW     | RT   | Delay |
|--------|------------|------|--------|--------|--------|------|-------|
| IN     | 0101010101 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 30 ns |
| Clock  | 0101010101 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 0 ns  |
| Enable | 1111111111 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 0 ns  |

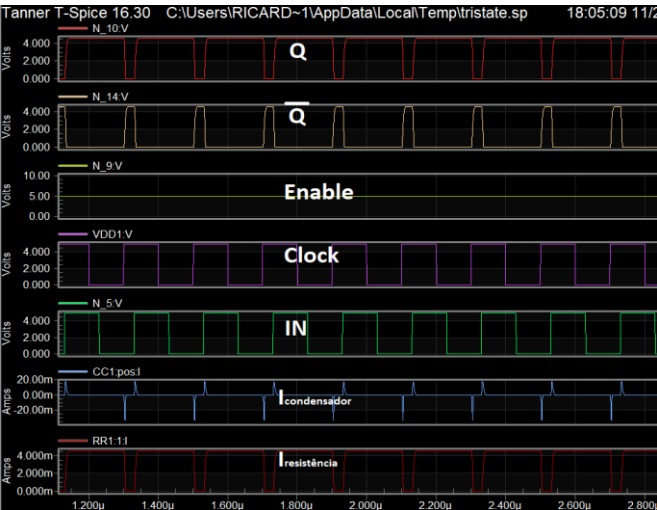


Gráfico 15

**Nota:** Nas saídas o valor lógico 1 representa 4.56V

Se na montagem anterior fosse variada a entrada Enable:

**Nota:** A montagem utilizada para obter este gráfico foi idêntica à utilizada para obter o gráfico 8, a única diferença é que se colocou a entrada Enable como indica a tabela abaixo.

|        | Binário      | FT   | HT     | LT     | PW     | RT   | Delay |
|--------|--------------|------|--------|--------|--------|------|-------|
| IN     | 0101010101   | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 30 ns |
| Clock  | 0101010101   | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 0 ns  |
| Enable | 111000111000 | 1 ns | 100 ns | 100 ns | 100 ns | 1 ns | 0 ns  |

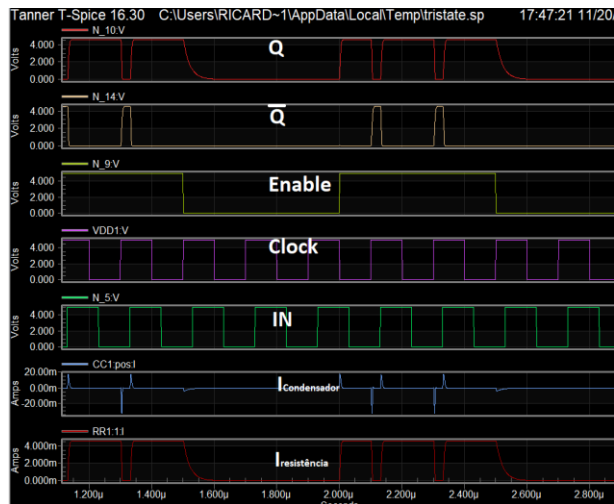


Gráfico 16

**Nota:** Nas saídas o valor lógico 1 representa 4.56V