

DCC007 – Organização de Computadores II

Aula 7 – Superescalar 1

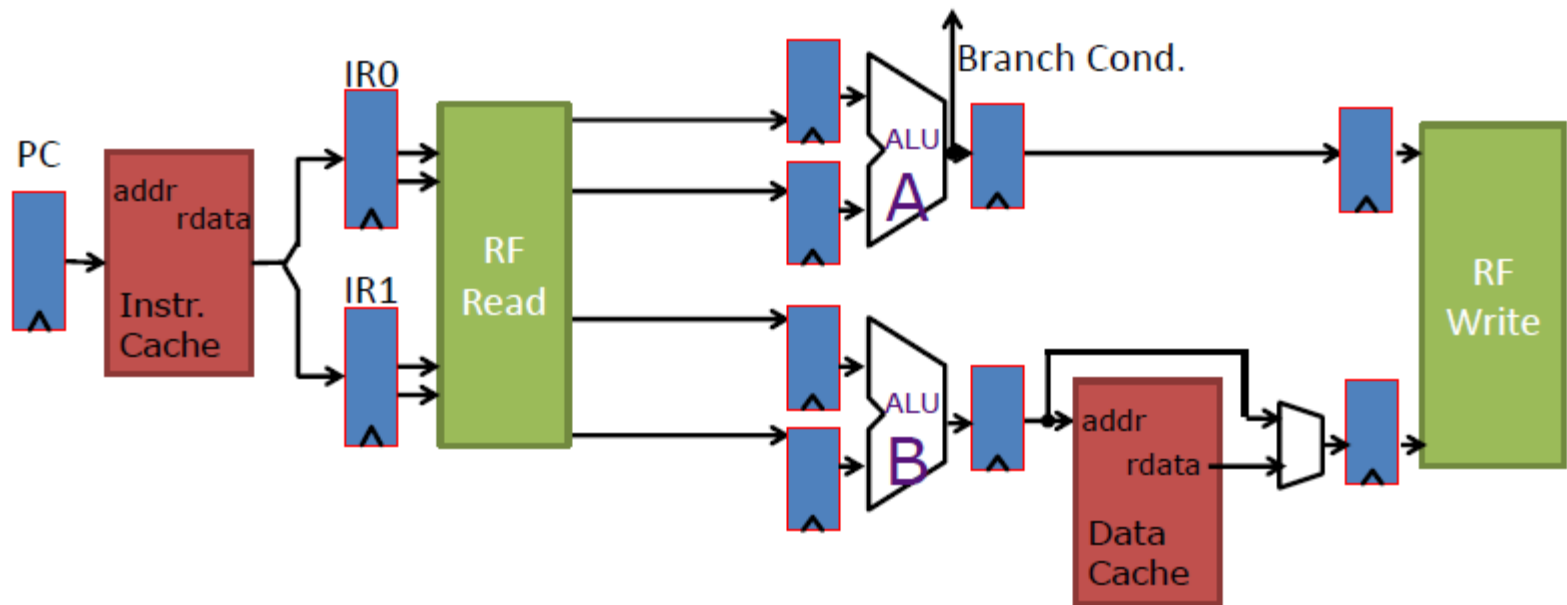
Prof. Omar Paranaíba Vilela Neto



Introdução

- Processadores estudados até aqui estão limitados a $CPI \geq 1$
- Processadores superescalares permitem $CPI < 1$
 - Executam múltiplas instruções em paralelo
- Tipos de processadores superescalares
 - In-order
 - Out-of-order

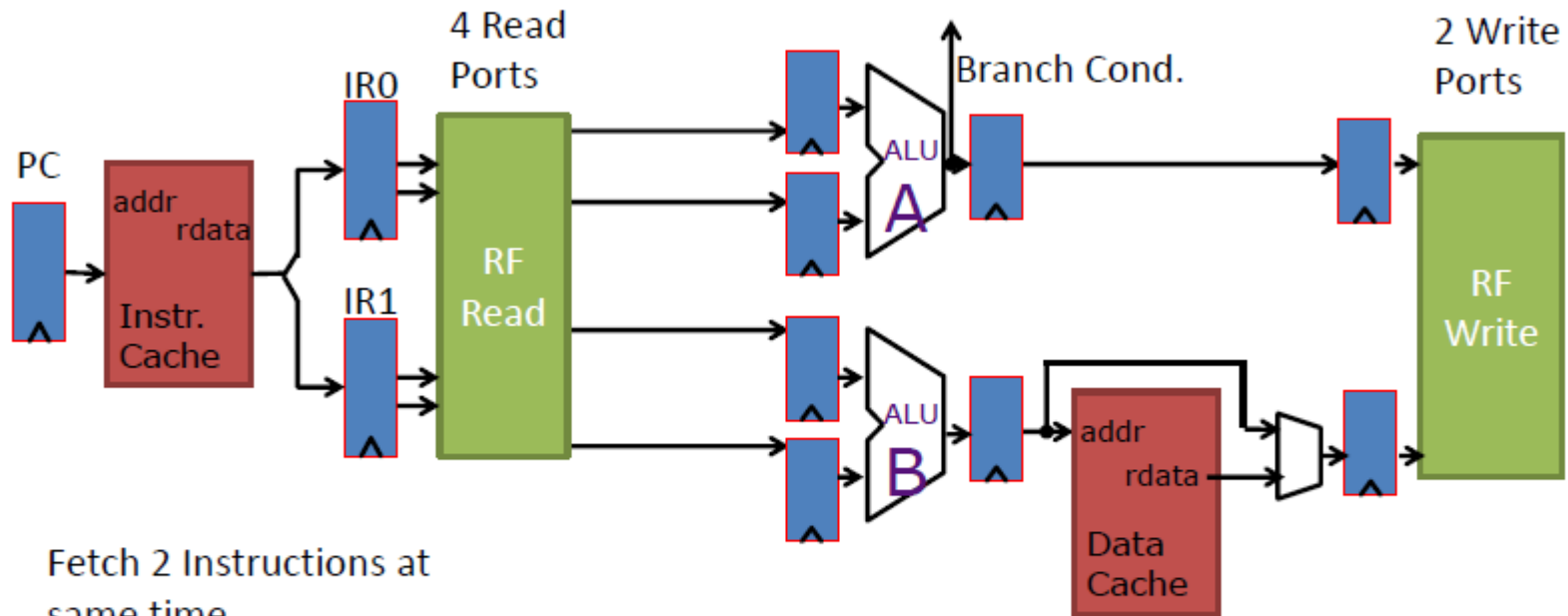
Processador Superescalar 2-way in-order - Básico



Pipe A: Integer Ops., Branches

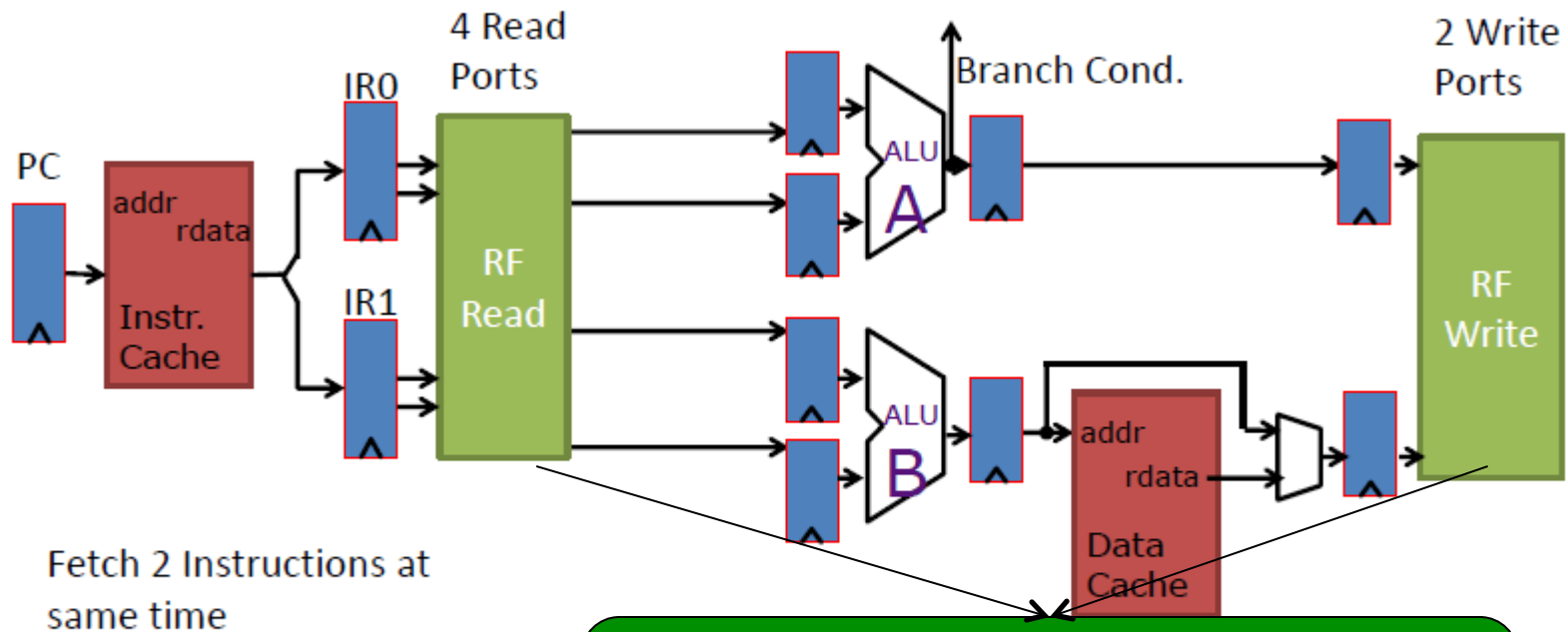
Pipe B: Integer Ops., Memory

Processador Superescalar 2-way in-order - Básico



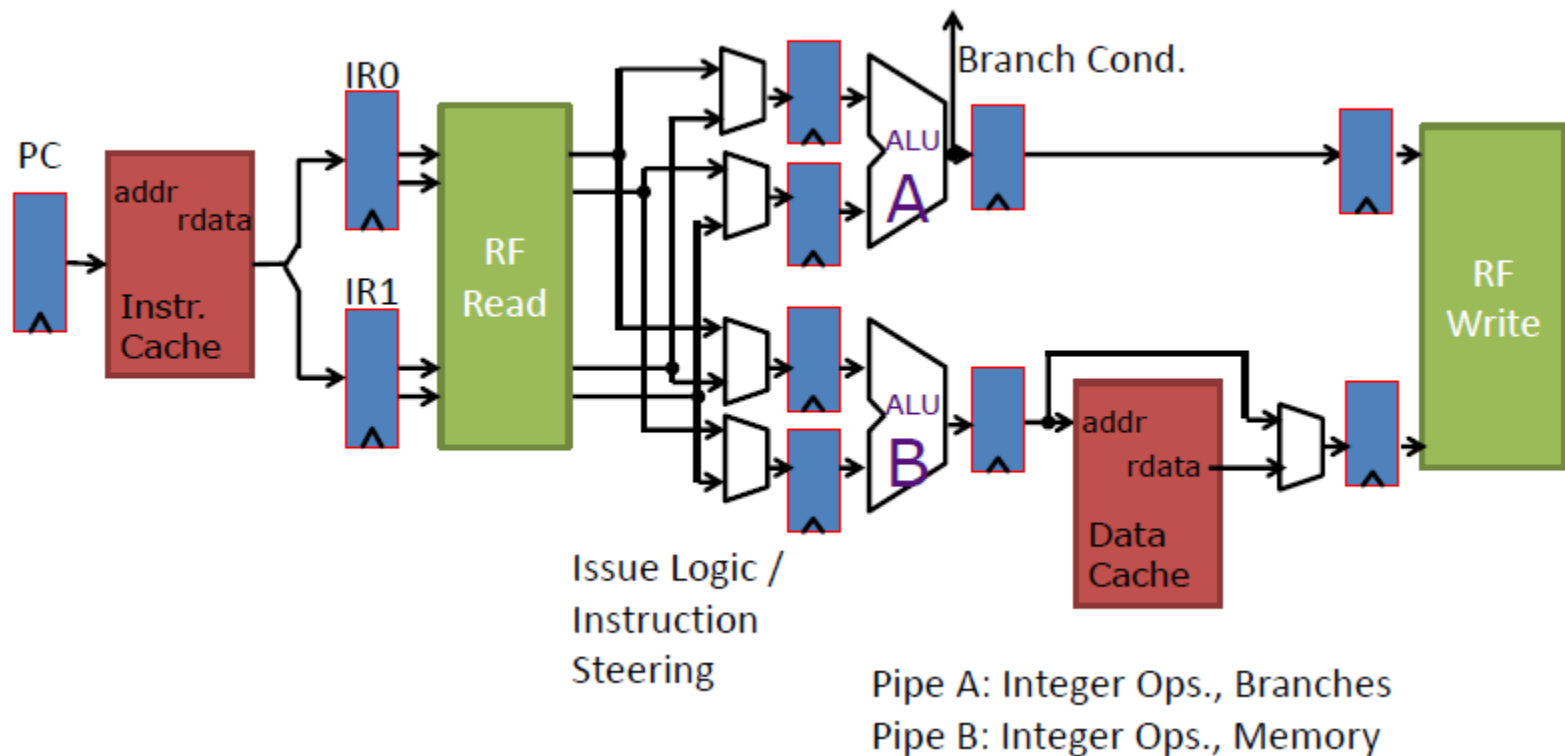
Pipe A: Integer Ops., Branches
Pipe B: Integer Ops., Memory

Processador Superescalar 2-way in-order - Básico

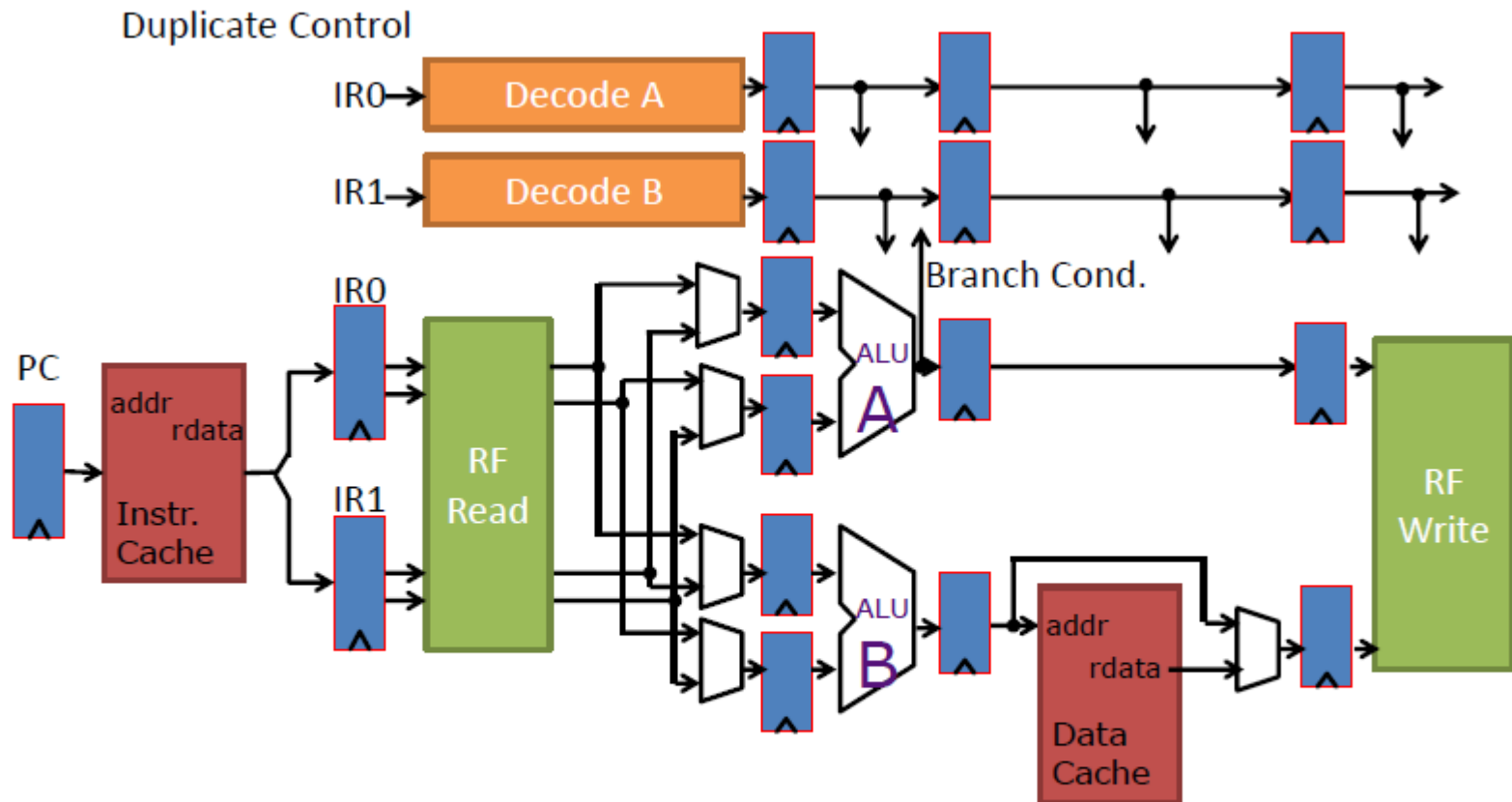


São os mesmos. Apenas apresentados em separado!

Processador Superescalar 2-way in-order - Básico



Processador Superescalar 2-way in-order - Básico



Pipe A: Integer Ops., Branches
Pipe B: Integer Ops., Memory

Diagrama lógico de Disparo do Pipeline

OpA	F	D	A0	A1	W		
OpB	F	D	B0	B1	W		
OpC		F	D	A0	A1	W	
OpD		F	D	B0	B1	W	
OpE			F	D	A0	A1	W
OpF			F	D	B0	B1	W

Dispara 2 Instruções
Pode ter 2 instruções no mesmo estágio no mesmo tempo

$$CPI = 0,5$$

ADDIU	F	D	A0	A1	W		
LW	F	D	B0	B1	W		
LW		F	D	B0	B1	W	
ADDIU		F	D	A0	A1	W	
LW			F	D	B0	B1	W
LW			F	D	D	B0	B

Instruções devem ser trocadas no pipeline

Hazard Estrutural

Hazard de Dados – 2 Disparos

Sem Encaminhamento


ADDIU	R1, R1, 1	F	D	A0	A1	W			
ADDIU	R3, R4, 1	F	D	B0	B1	W			
ADDIU	R5, R6, 1		F	D	A0	A1	W		
ADDIU	R7, R5, 1		F	D	D	D	D	A0	A1 W

Com Encaminhamento

ADDIU	R1, R1, 1	F	D	A0	A1	W			
ADDIU	R3, R4, 1	F	D	B0	B1	W			
ADDIU	R5, R6, 1		F	D	A0	A1	W		
ADDIU	R7, R5, 1		F	D	D	A0	A1	W	

Hazard de Dados – 2 Disparos

Com Encaminhamento

	ADDIU	R1,R1,1	F	D	A0	A1	W	
	ADDIU	R3,R4,1	F	D	B0	B1	W	
	ADDIU	R5,R6,1		F	D	A0	A1	W
	ADDIU	R7,R5,1		F	D	D	A0	A1

A ordem influencia

ADDIU	R1,R1,1	F	D	A0	A1	W	
ADDIU	R3,R4,1	F	D	B0	B1	W	
ADDIU	R7,R5,1		F	D	A0	A1	W
ADDIU	R5,R6,1		F	D	B0	B1	W

Lógica de Disparo e Alinhamento

Ciclo Ender Instr.

0	0x000	OpA
0	0x004	OpB
1	0x008	OpC
1	0x00C	J 0x100
...		
2	0x100	OpD
2	0x104	J 0x204
...		
3	0x204	OpE
3	0x208	J 0x30C
...		
4	0x30C	OpF
4	0x310	OpG
5	0x314	OpH

Cache de Instruções

0x000	0	0	1	1
...				
0x100	2	2		
...				
0x200		3	3	
...				
0x300				4
0x310	4	5		

É difícil o disparo através de linhas da cache. Necessário portas extras.

Lógica de Disparo e Alinhamento

Ciclo Ender Instr.

```

0  0x000 OpA
0  0x004 OpB
1  0x008 OpC
1  0x00C J 0x100
...
2  0x100 OpD
2  0x104 J 0x204
...
3  0x204 OpE
3  0x208 J 0x30C
...
4  0x30C OpF
4  0x310 OpG
5  0x314 OpH
    
```

Código ideal. Sem restrições de alinhamento

```

OpA F  D  A0 A1 W
OpB F  D  B0 B1 W
OpC   F  D  B0 B1 W
J     F  D  A0 A1 W
OpD   F  D  B0 B1 W
J     F  D  A0 A1 W
OpE   F  D  B0 B1 W
J     F  D  A0 A1 W
OpF   F  D  A0 A1 W
OpG   F  D  B0 B1 W
OpH   F  D  A0 A1 W
    
```

Com Restrições de Alinhamento

Ciclo Ender Instr.

? 0x000 OpA
? 0x004 OpB
? 0x008 OpC
? 0x00C J 0x100
...
? 0x100 OpD
? 0x104 J 0x204
...
? 0x204 OpE
? 0x208 J 0x30C
...
? 0x30C OpF
? 0x310 OpG
? 0x314 OpH

Cache de Instruções

0x000	0	0	1	1
...				
0x100	2	2		
...				
0x200		3	3	
...				
0x300				4
0x310	4	5		

Com Restrições de Alinhamento

Cache de Instruções

Ciclo Ender Instr.

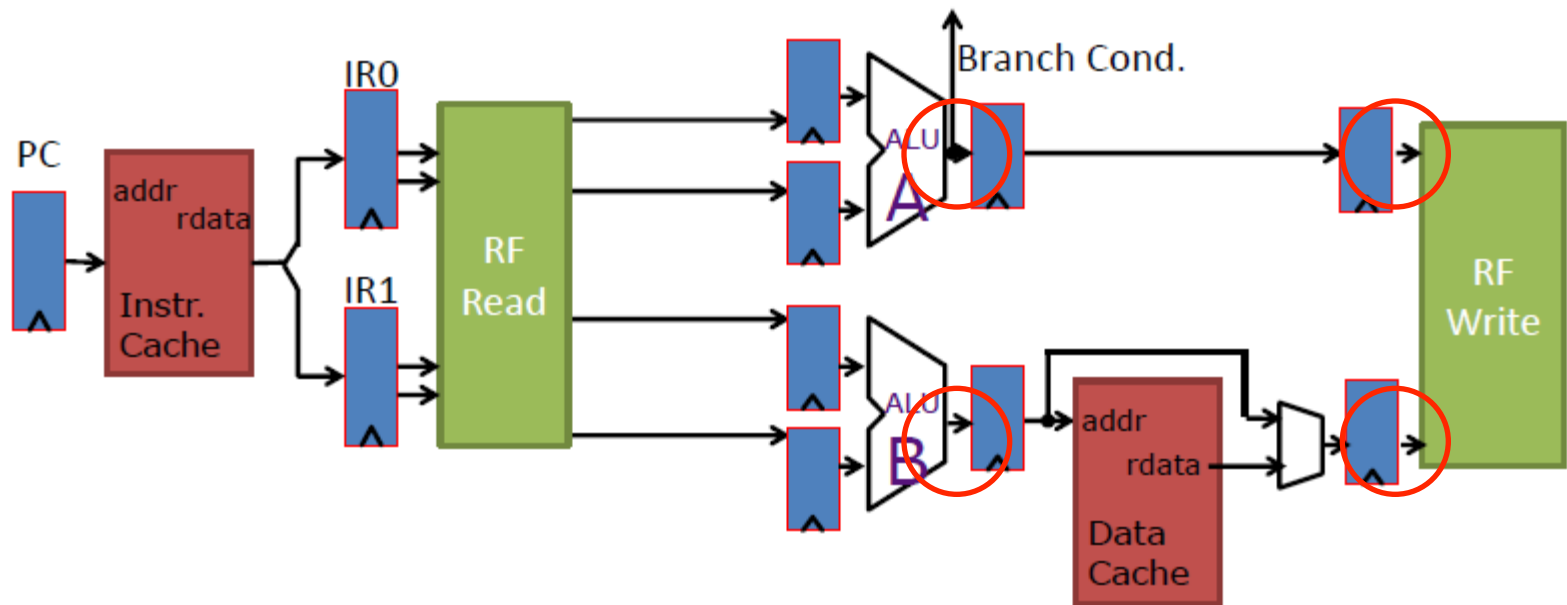
? 0x000 OpA
? 0x004 OpB
? 0x008 OpC
? 0x00C J 0x100
...
? 0x100 OpD
? 0x104 J 0x204
...
? 0x204 OpE
? 0x208 J 0x30C
...
? 0x30C OpF
? 0x310 OpG
? 0x314 OpH

0x000	0	0	1	1
...				
0x100	2	2		
...				
0x200	3 X	3	4	4 X
...				
0x300			5 X	5
0x310	6	6		

X Dado que nunca será usado

1	0x000	OpA	F	D	A0	A1	W				
1	0x004	OpB	F	D	B0	B1	W				
2	0x008	OpC		F	D	B0	B1	W			
2	0x00C	J 0x100		F	D	A0	A1	W			
3	0x100	OpD			F	D	B0	B1	W		
3	0x104	J 0x204			F	D	A0	A1	W		
4	0x200	?			F	-	-	-	-		
4	0x204	OpE			F	D	A0	A1	W		
5	0x208	J 0x30C				F	D	A0	A1	W	
5	0x20C	?				F	-	-	-	-	
6	0x308	?					F	-	-	-	-
6	0x30C	OpF					F	D	A0	A1	W
7	0x310	OpG						F	D	A0	A1 W
7	0x314	OpH						F	D	B0	B1 W

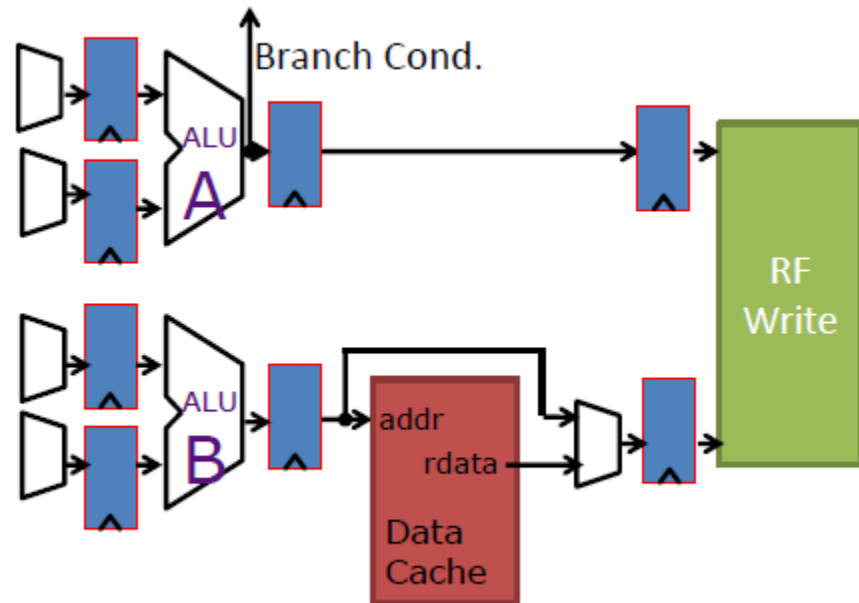
Processador Superscalar 2-way in-order - Encaminhamento

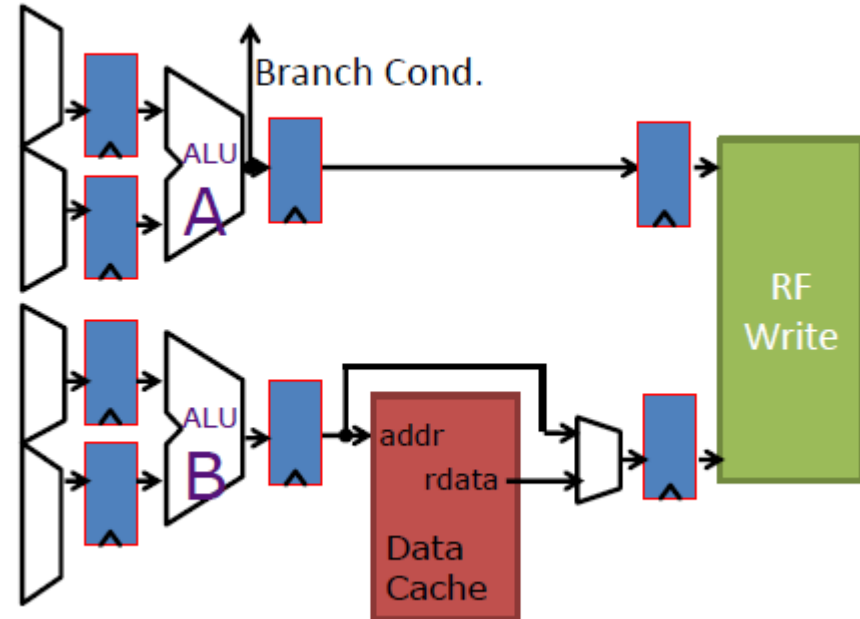


Pipe A: Integer Ops., Branches

Pipe B: Integer Ops., Memory

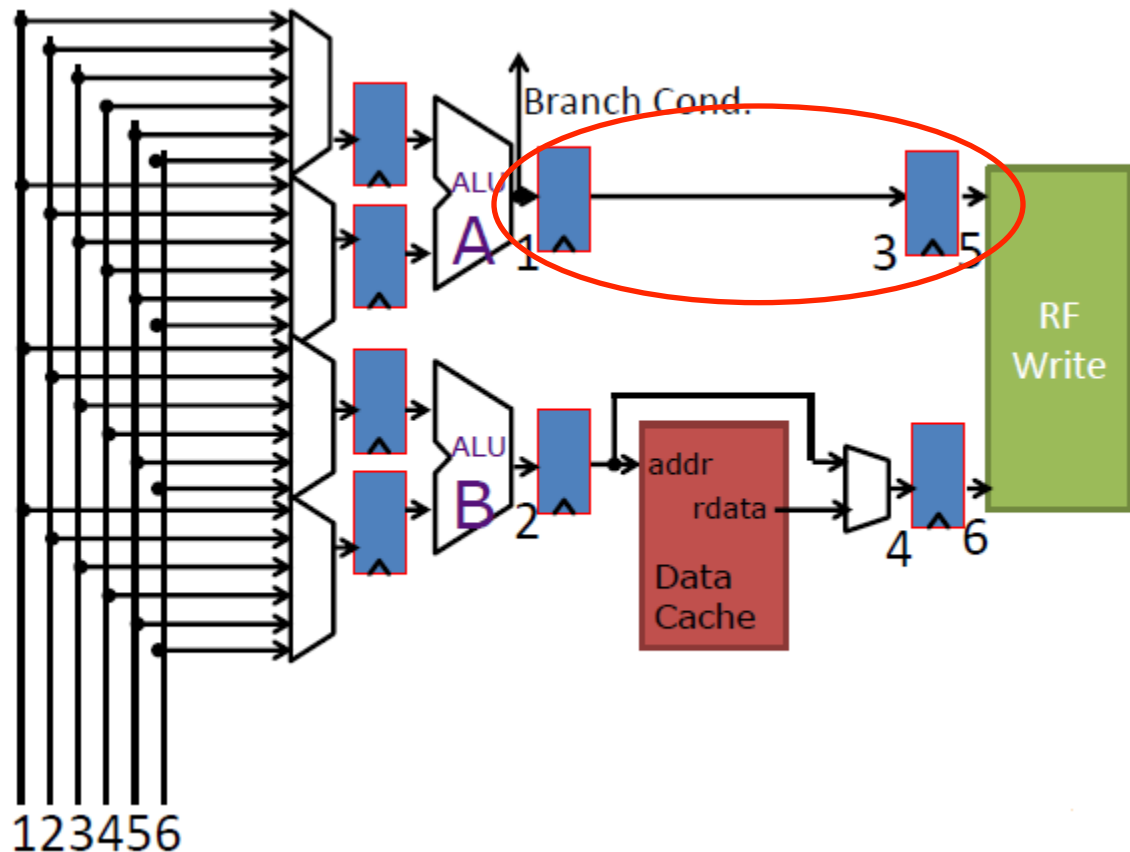
Processador Superscalar 2-way in-order - Encaminhamento





Processador Superscalar 2-way in-order - Encaminhamento

Cuidado com
o tamanho do
problema!



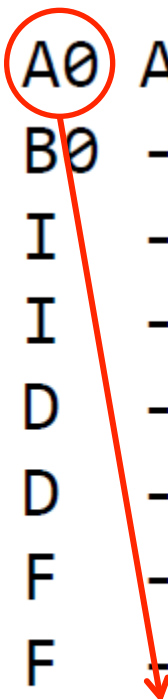
Separando os estágios: Decodificação e Disparo

- Rede de Encaminhamento pode se tornar complexa.
- Separar os estágios ajuda:
 - D = Decodifica, Resolve os Hazards Estruturais
 - I = Lê Registradores, Trata Encaminhamento, Dispara as instruções para as unidades específicas.

OpA	F	D	I	A0	A1	W	
OpB	F	D	I	B0	B1	W	
OpC		F	D	I	A0	A1	W
OpD		F	D	I	B0	B1	W

Custo de Parada de Desvio: Muito Alto

BEQZ	F	D	I	A0	A1	W				
OpA	F	D	I	B0	-	-				
OpB		F	D	I	-	-	-			
OpC		F	D	I	-	-	-			
OpD			F	D	-	-	-	-		
OpE			F	D	-	-	-	-		
OpF				F	-	-	-	-	-	
OpG				F	-	-	-	-	-	
OpH					F	D	I	A0	A1	W
OpI					F	D	I	B0	B1	W



Custo de Parada de Desvio: Muito Alto

BEQZ F D I **A0** A1 W
OpA F D T B0

Aumenta

Importância da Previsão

Agradecimiento

David Wentzlaff (Princeton University)