



Introdução à Verilog

Lista de Exercícios

- 1) Descreva em Verilog cada um dos circuitos a seguir (Em cada item vale que $\sim A$ é o complemento de A):
 - a) $Z = A + \sim B$
 - b) $Z = \sim AB + C$
 - c) $Z = AB + CB + CA$
 $W = (\sim A)B + A(\sim B)$
 - d) $Z = \sim(A + \sim C)(B + D)$
 $W = (\sim Z)$
- 2) Apresente uma descrição em Verilog para um circuito somador completo de 1-bit.
- 3) Descreva um circuito somador completo utilizando dois meio-somadores de 1-bit.
- 4) Descreva em Verilog um circuito que simule o funcionamento de elevador de 8 andares. Quando o elevador não possui pedidos ele permanece no último andar em que parou. Não se preocupe em otimizar a escolha de que andar atender primeiro quando ocorrerem pedidos simultâneos.
- 5) Desenvolva a descrição de um circuito sequencial que seja capaz de gerar a sequência de números primos compreendidos entre os valores 0 e 15. Este circuito deve ter como entrada os sinais de sincronismo (clk), reinício (rst) e do controle de direção da sequência a ser gerada (D). Para o caso da entrada de controle estar em nível lógico alto(1), a direção é a decrescente, caso contrário, crescente. O bit mais significativo dentre os sinais de saída deve ser o de índice [3].
- 6) Desenvolva a descrição de uma máquina de estados para modelar a operação de retirada de dinheiro por meio de uma máquina de autoatendimento bancário. A relação de sinais de entrada e saída para essa máquina é listada abaixo. Todos os sinais são ativos em nível lógico alto.

Sinal	Entrada/Saída	Descrição
C	entrada	Cancelar a operação
CP	entrada	Cartão inserido

CV	entrada	Cartão válido
SF	entrada	Senha fornecida
SV	entrada	Senha válida
QD	entrada	Quantia digitada
SS	entrada	Saldo suficiente
IC	saída	Inserir o cartão no leitor
DS	saída	Digitar a senha (PIN)
DQ	saída	Digitar a quantia
LV	saída	Liberar a quantia solicitada
RC	saída	Retirar o cartão do leitor
RQ	saída	Retirar a quantia liberada
OF	saída	Operação finalizada

- 7) Descreva em Verilog um banco de registradores que contém 32 registradores de tamanho de 16 *bits* cada um. O módulo deve receber dois endereços de registradores, de entrada, um dado de entrada a ser escrito em algum registrador, um endereço de registrador para determinar onde esse dado deve ser salvo, um sinal de leitura/escrita, e dois registradores de saída.