

DCC007 – Organização de Computadores II

Aula 9 – Superescalar 3 Scoreboarding

Prof. Omar Paranaíba Vilela Neto

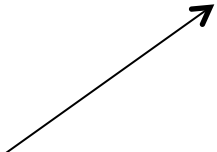


Introdução

- Processadores estudados até aqui estão limitados a $CPI \geq 1$
- Processadores superescalares permitem $CPI < 1$
 - Executam múltiplas instruções em paralelo
- Tipos de processadores superescalares
 - In-order
 - Out-of-order

Introdução

Fetch e Decode



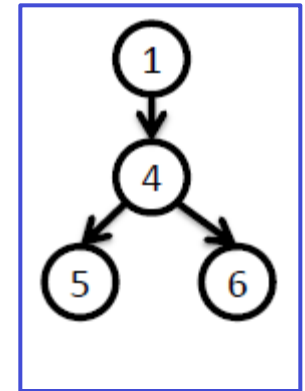
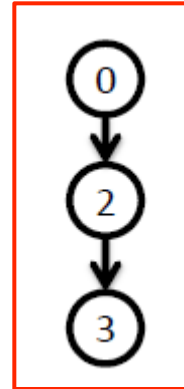
Name	Frontend	Issue	Writeback	Commit	
I4	IO	IO	IO	IO	Fixed Length Pipelines Scoreboard
I2O2	IO	IO	OOO	OOO	Scoreboard
I2O1	IO	IO	OOO	IO	Scoreboard, Reorder Buffer, and Store Buffer
IO3	IO	OOO	OOO	OOO	Scoreboard and Issue Queue
IO2I	IO	OOO	OOO	IO	Scoreboard, Issue Queue, Reorder Buffer, and Store Buffer

IO – In-order

OOO – Out-of-Order

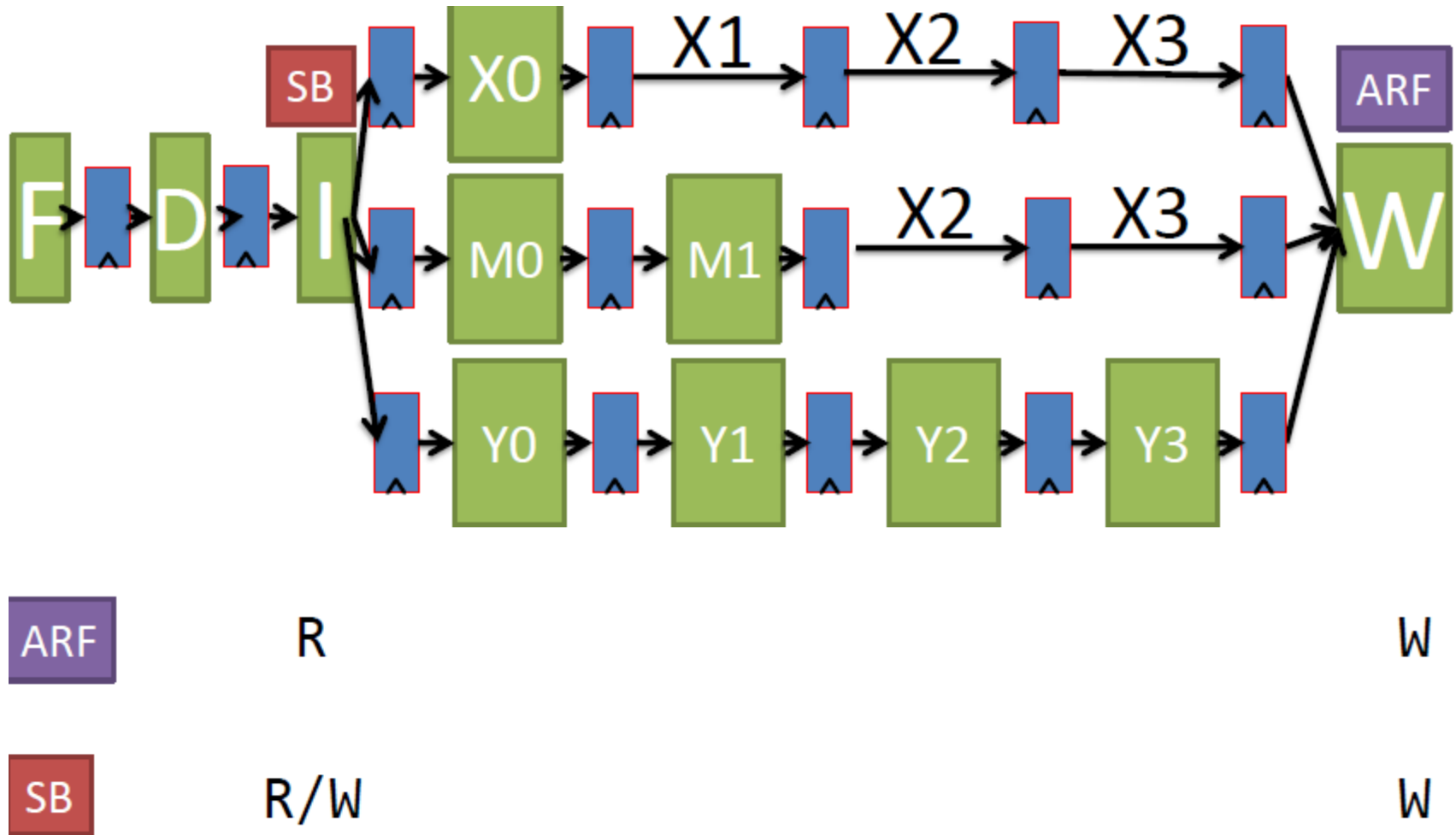
Motivação

```
0 MUL    R1, R2, R3
1 ADDIU  R11, R10, 1
2 MUL    R5, R1, R4
3 MUL    R7, R5, R6
4 ADDIU  R12, R11, 1
5 ADDIU  R13, R12, 1
6 ADDIU  R14, R12, 2
```

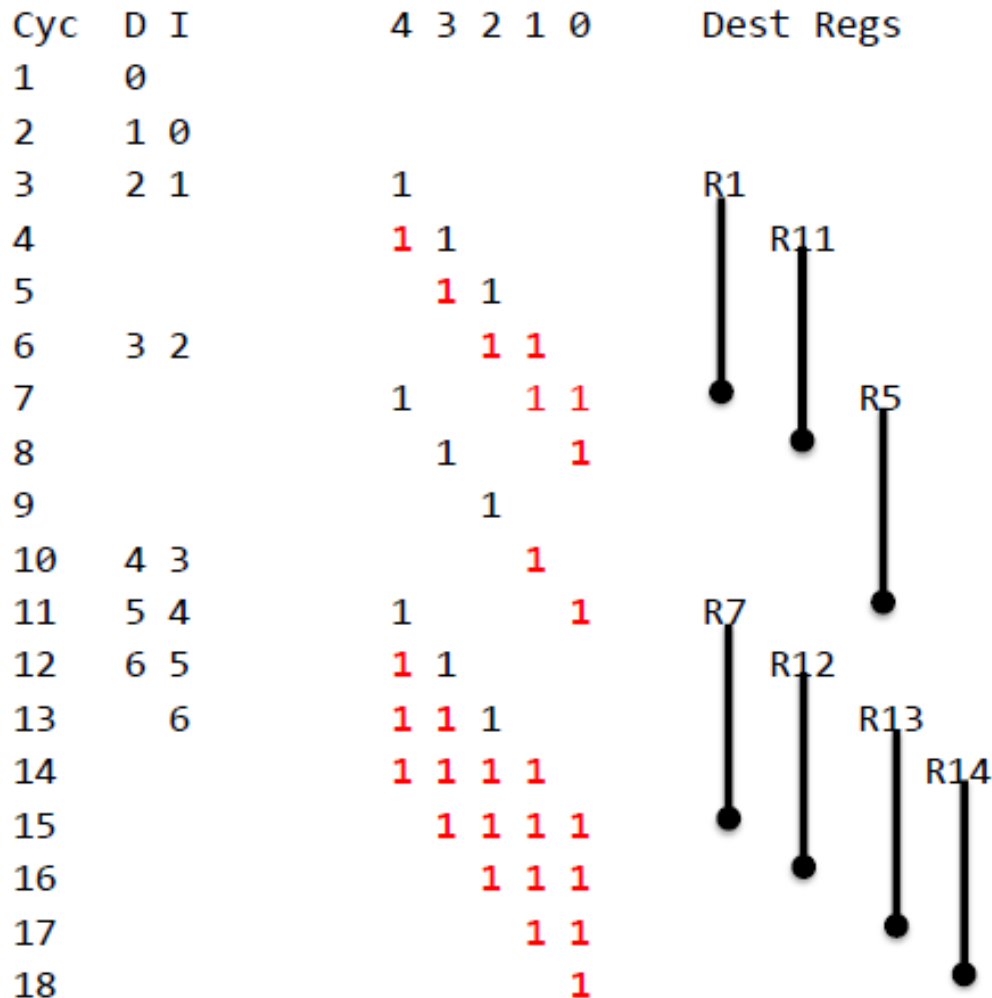


-
- Duas sequências independentes
 - Permite flexibilizar a ordem em que instruções são planejadas
 - Estaticamente em Software
 - Dinamicamente em Hardware

Processador I4



0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W											
1	ADDIU	R11,R10,1		F	D	I	X0	X1	X2	X3	W										
2	MUL	R5, R1, R4			F	D	I	I	I	Y0	Y1	Y2	Y3	W							
3	MUL	R7, R5, R6				F	D	D	D	I	I	I	I	Y0	Y1	Y2	Y3	W			
4	ADDIU	R12,R11,1					F	F	F	D	D	D	D	I	X0	X1	X2	X3	W		
5	ADDIU	R13,R12,1								F	F	F	F	D	I	X0	X1	X2	X3	W	
6	ADDIU	R14,R12,2												F	D	I	X0	X1	X2	X3	W



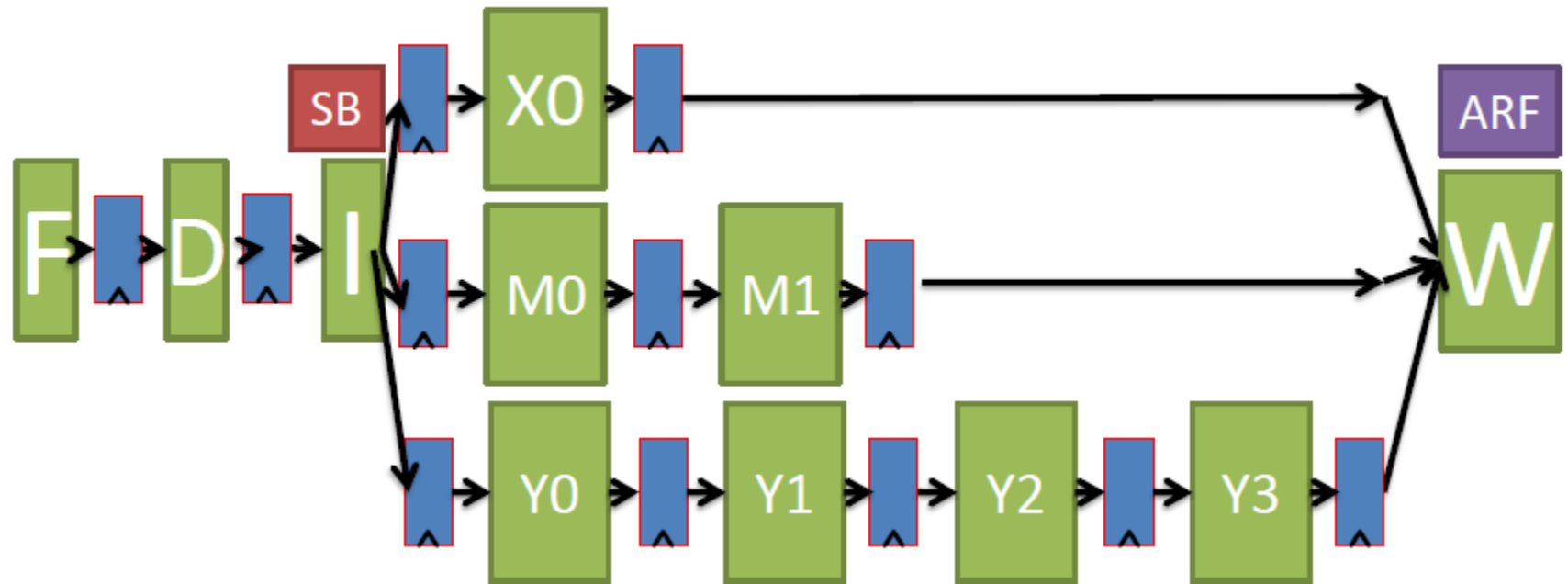
D: Qual instrução em Decode.

I: Qual instrução em Disparo.

0 a 4: Onde está o dado no pipeline da Unidade Funcional.

Vermelho: Dado está disponível.

Processador I2O2



ARF

R

W

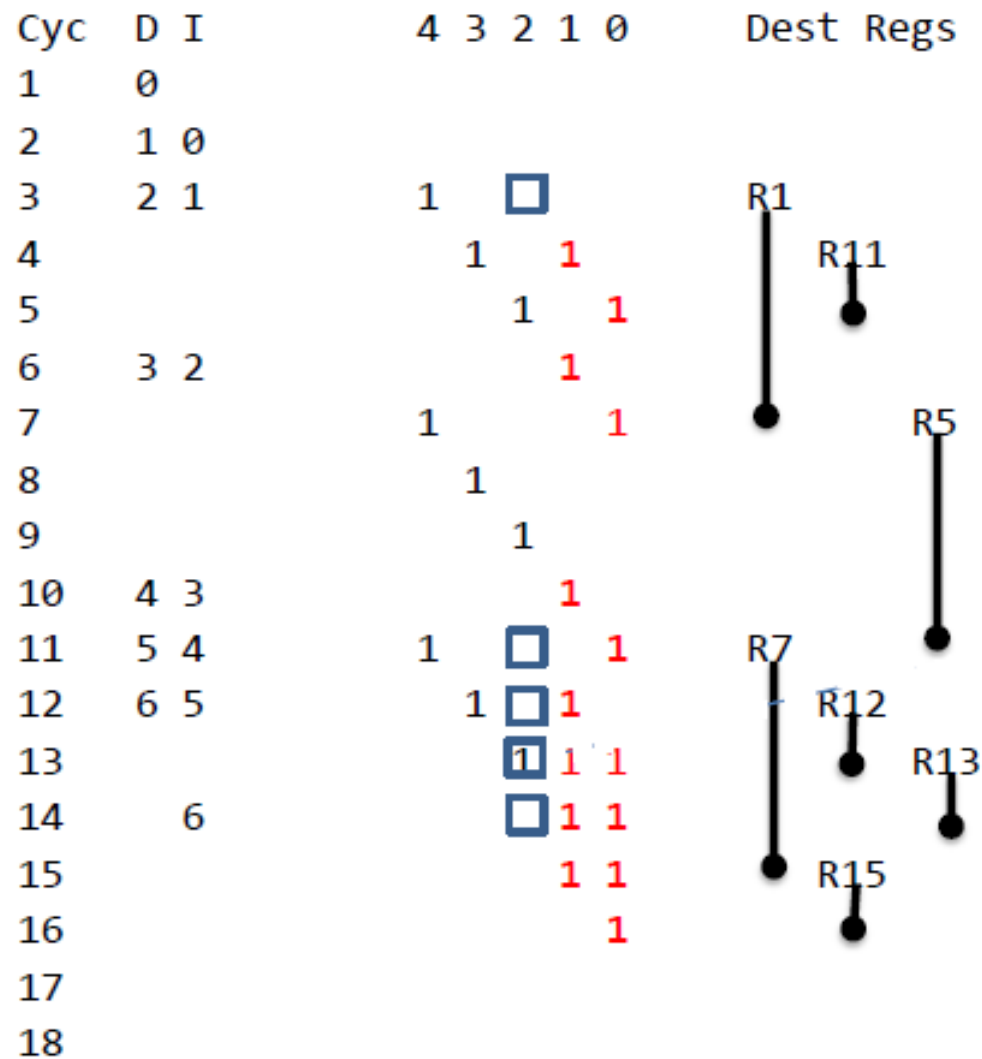
SB

R

R/W

W

0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W								
1	ADDIU	R11,R10,1		F	D	I	X0	W										
2	MUL	R5, R1, R4		F	D	I	I	I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6			F	D	D	D	I	I	I	I	Y0	Y1	Y2	Y3	W	
4	ADDIU	R12,R11,1				F	F	F	D	D	D	D	I	X0	W			
5	ADDIU	R13,R12,1							F	F	F	F	D	I	X0	W		
6	ADDIU	R14,R12,2											F	D	I	I	X0	W



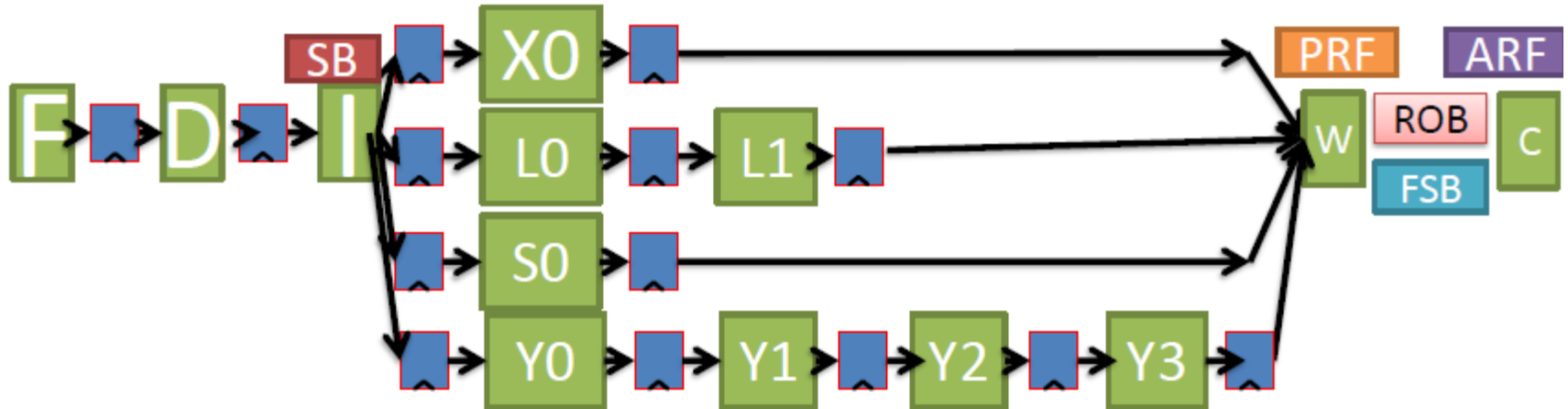
Problema com exceção

0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	/
1	ADDIU	R11,R10,1		F	D	I	X0	W		/
2	MUL	R5, R1, R4			F	D	I	I	I	/
3	MUL	R7, R5, R6				F	D	D	D	/
4	ADDIU	R12,R11,1					F	F	F	/
5	ADDIU	R13,R12,1								/
6	ADDIU	R14,R12,2								/

Exceção ocorre
neste ponto

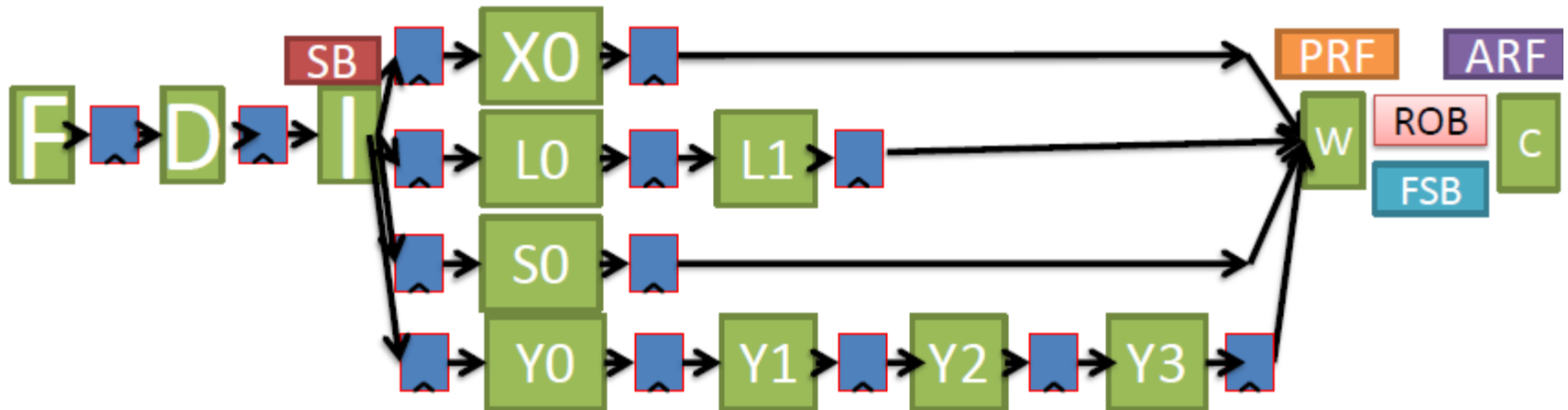
- Limits certain types of exceptions.

Processador I2OI



- **PRF(Physical Register File):** Future File – É especulativo: valores podem ser descartados.
- **ROB (Reorder Buffer):** Garante a escrita dos valores em ordem, mesmo que calculados fora de ordem.
- **FSB (Finished Store Buffer):** Faz a escrita da memória ocorrer mais tarde.

Processador I201



Reorder Buffer Básico

State	S	ST	V	Preg
--				
P	1			
F	1			
P	1			
P				
F				
P				
P				
--				
--				

State: (Free, Pending, Finished)

S: especulativo;

ST: Store bit;

V: Physical Register File Specifier Valid;

Preg: Physical Register File Specifier

Reorder Buffer Básico

State	S	ST	V	Preg
--				
P	1			
F	1			
P	1			
P				
F				
P				
P				
--				
--				

State: (Free, Pending, Finished)

S: especulativo;

ST: Store bit;

V: Physical Register File Specifier Valid;

Preg: Physical Register File Specifier

Próxima instrução vem aqui.

Fim do ROB

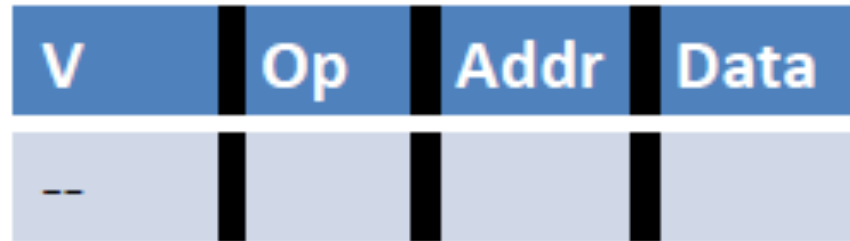
Especulação pq branch está sendo processado.

Escreveu no ROB fora de ordem

Início do ROB

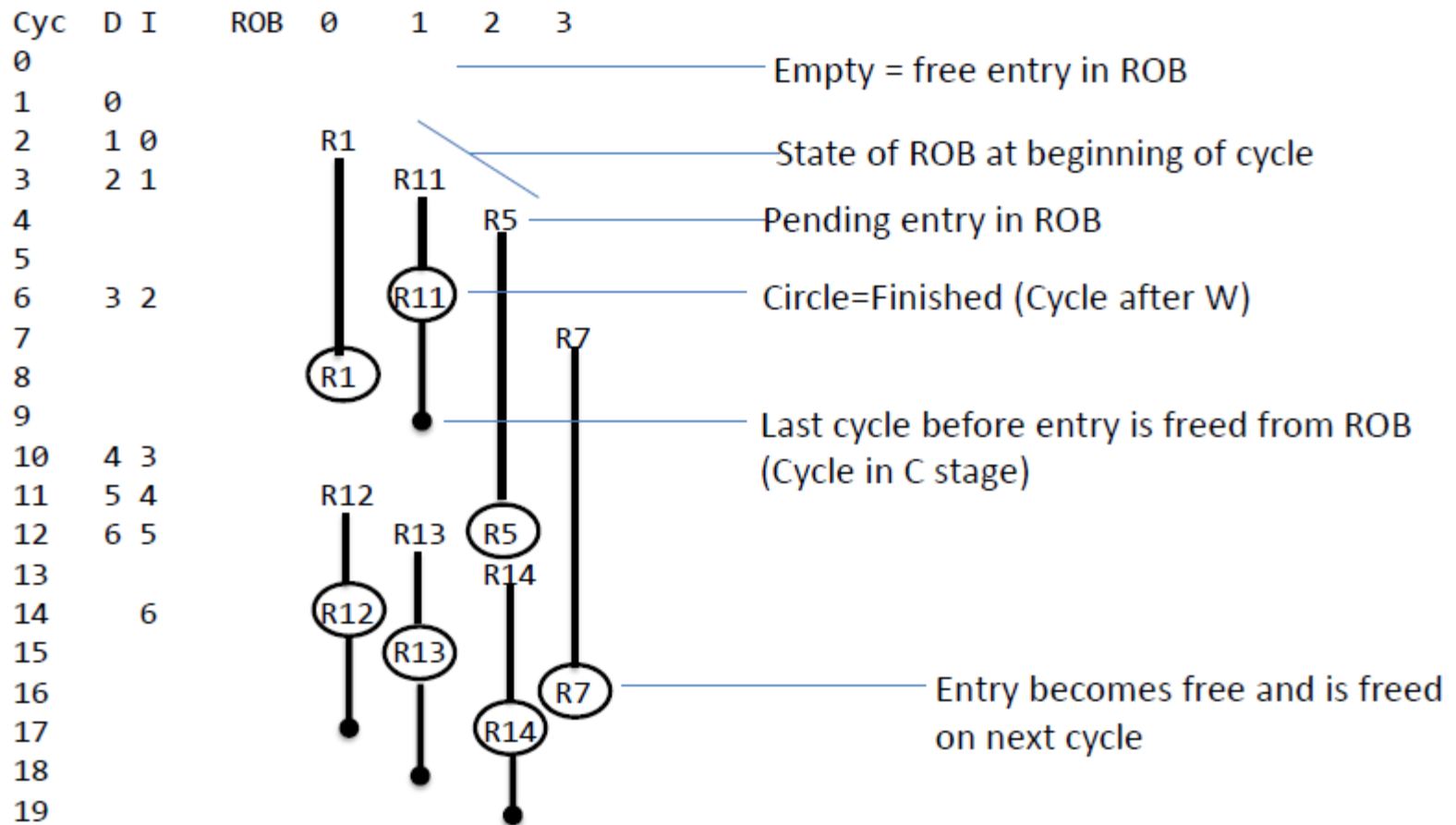
O estágio commit **espera a instrução do início terminar.**

Finished Store Buffer Básico



- Só necessita de **uma entrada** se suportamos apenas **uma instrução de memória por vez**.
- Entrada única de FSB faz **alocação trivial**.
- Se dermos **suporte a mais de uma instrução** de memória por vez, temos que **nos preocupar com endereços (e encaminhamentos) de load/store**.

0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W	C								
1	ADDIU	R11, R10, 1		F	D	I	X0	W	r		C								
2	MUL	R5, R1, R4			F	D	I	I	I	Y0	Y1	Y2	Y3	W	C				
3	MUL	R7, R5, R6				F	D	D	D	I	I	I	I	Y0	Y1	Y2	Y3	W	C
4	ADDIU	R12, R11, 1					F	F	F	D	D	D	D	I	X0	W	r		C
5	ADDIU	R13, R12, 1								F	F	F	F	D	I	X0	W	r	C
6	ADDIU	R14, R12, 2									F	D	I	I	X0	W	r	C	



Problema com exceção

0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W	/
1	ADDIU	R11, R10, 1		F	D	I	X0	W	r	--	/
2	MUL	R5, R1, R4		F	D	I	I	I	Y0	/	
3	MUL	R7, R5, R6			F	D	D	D	I	/	
4	ADDIU	R12, R11, 1				F	F	F	D	/	

Exceção ocorre neste ponto

F D I . . .

Tratamento da exceção

Não ocorreu o commit, logo o estado da máquina pode ser recuperado pelo ARF e PRF.

O que ocorre com branches?

Option 2

0	BEQZ	R1, target	F	D	I	X0	W	C
1	ADDIU	R11, R10, 1	F	D	I	X0	/	}
2	ADDIU	R5, R1, R4	F	D	I	/		
3	ADDIU	R7, R5, R6	F	D	/			
T	ADDIU	R12, R11, 1		F	D	I	.	.

Mata as instruções assim que branch **finaliza** (commit)

Option 1

0	BEQZ	R1, target	F	D	I	X0	W	C
1	ADDIU	R11, R10, 1	F	D	I	-	}	
2	ADDIU	R5, R1, R4	F	D	-			
3	ADDIU	R7, R5, R6	F	-				
T	ADDIU	R12, R11, 1		F	D	I	.	.

Mata as instruções **imediatamente**

Option 3

0	BEQZ	R1, target	F	D	I	X0	W	C
1	ADDIU	R11, R10, 1	F	D	I	X0	W	/
2	ADDIU	R5, R1, R4	F	D	I	X0	W	/
3	ADDIU	R7, R5, R6	F	D	I	X0	W	/
T	ADDIU	R12, R11, 1		F	D	I	X0	W

Mata as instruções apenas no **commit**

O que ocorre com branches?

Option 2

```

0 BEQZ R1, target F D I X0 W C
1 ADDIU R11,R10,1 F D I X0 /
2 ADDIU R5, R1, R4 F D I /
3 ADDIU R7, R5, R6 F D /
T ADDIU R12,R11,1 F D I . . .
    
```

Option 1

```

0 BEQZ R1, target F D I X0 W C
1 ADDIU R11,R10,1 F D I -
2 ADDIU R5, R1, R4 F D -
3 ADDIU R7, R5, R6 F -
T ADDIU R12,R11,1 F D I . . .
    
```

Option 3

```

0 BEQZ R1, target F D I X0 W C
1 ADDIU R11,R10,1 F D I X0 W /
2 ADDIU R5, R1, R4 F D I X0 W /
3 ADDIU R7, R5, R6 F D I X0 W /
T ADDIU R12,R11,1 F D I X0 W C
    
```

Eficiência

Intermediário

Mais eficiente

Menos eficiente

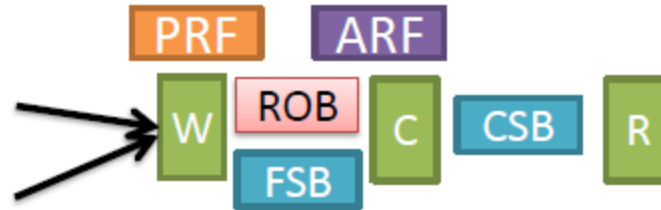
Complexidade

Intermediário

Mais complexo

Menos
complexo

Evitando stall em miss de Store



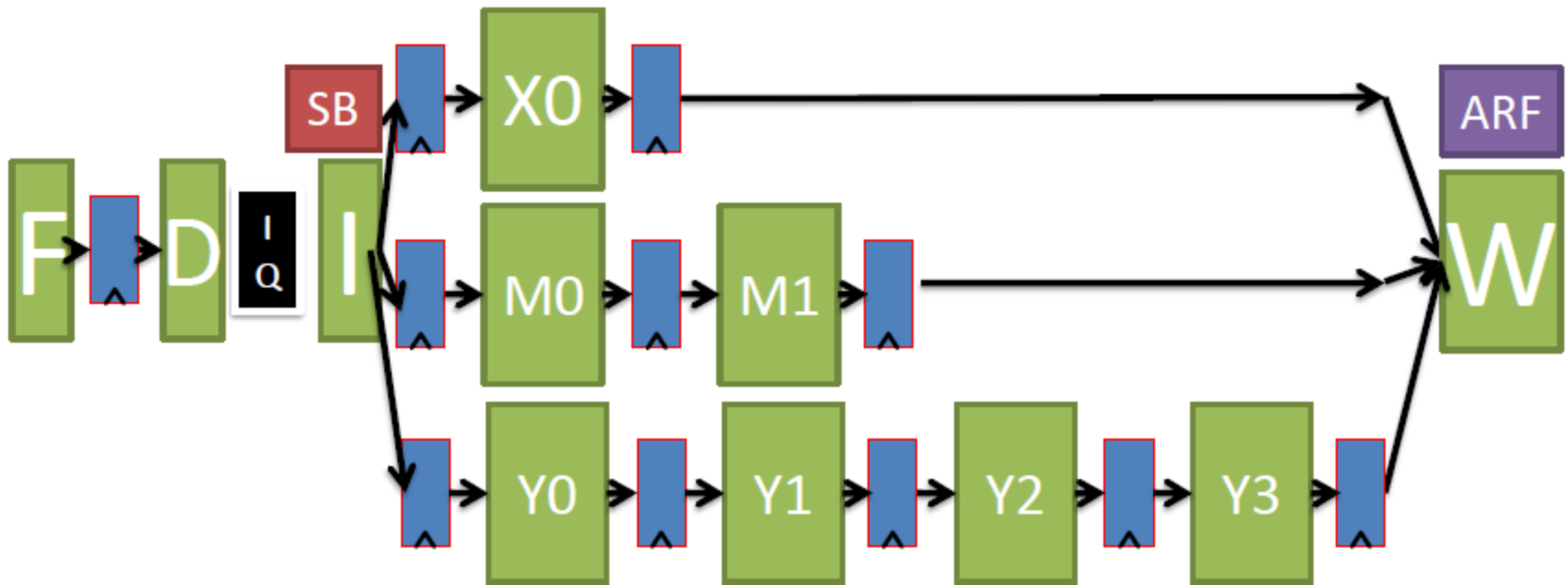
CSB – Committed Store Buffer

0 OpA	F	D	I	X0	W	C							
1 SW		F	D	I	S0	W	C	C	C	C	C		
2 OpB			F	D	I	X0	W	W	W	W	W	C	
3 OpC				F	D	I	X	X	X	X	W	C	
4 OpD					F	D	I	I	I	I	X	W	C

With Retire Stage

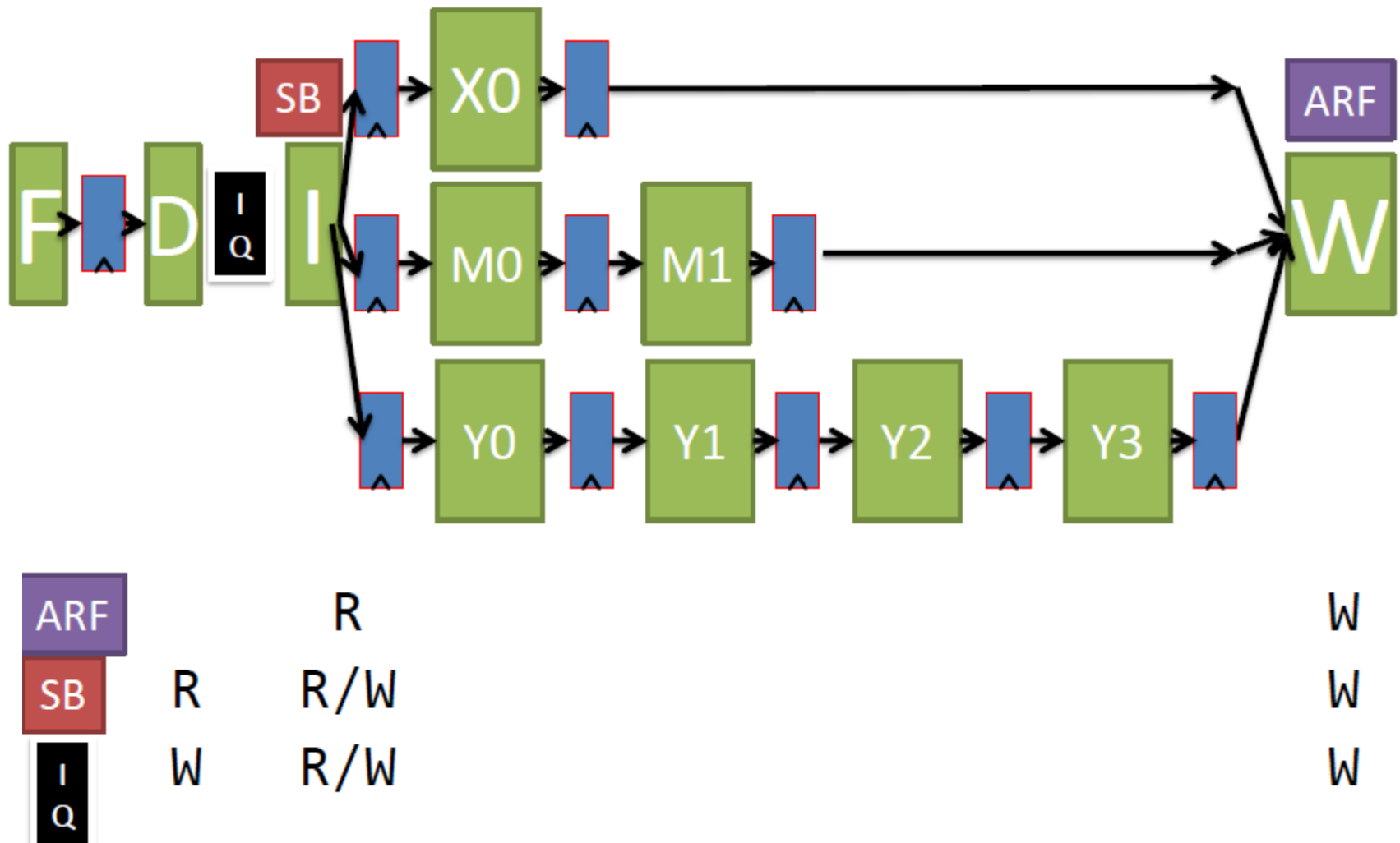
0	OpA	F	D	I	X	0	W	C			
1	SW		F	D	I	S	0	W	C	R	R
2	OpB			F	D	I	X	0	W	C	
3	OpC				F	D	I	X	W	C	
4	OpD					F	D	I	X	W	C

Processador IO3



- **IQ (Issue Queue):** Dispara as instruções fora de ordem.

Processador IO3



Issue Queue Básico

Op	Imm	S	V	Dest	V	P	Src0	V	P	Src1

Op: Opcode

Imm: Imediato

S: bit especulativo

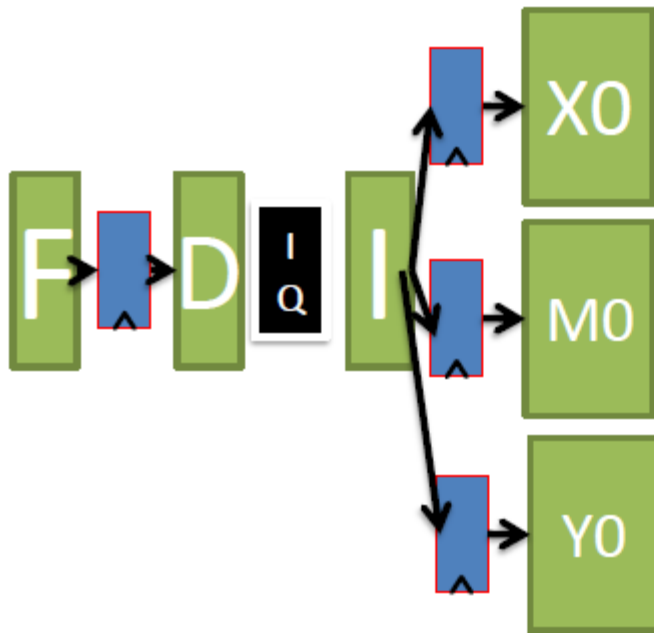
V: Válido (Existe no Src e Dest)

P: Pendente

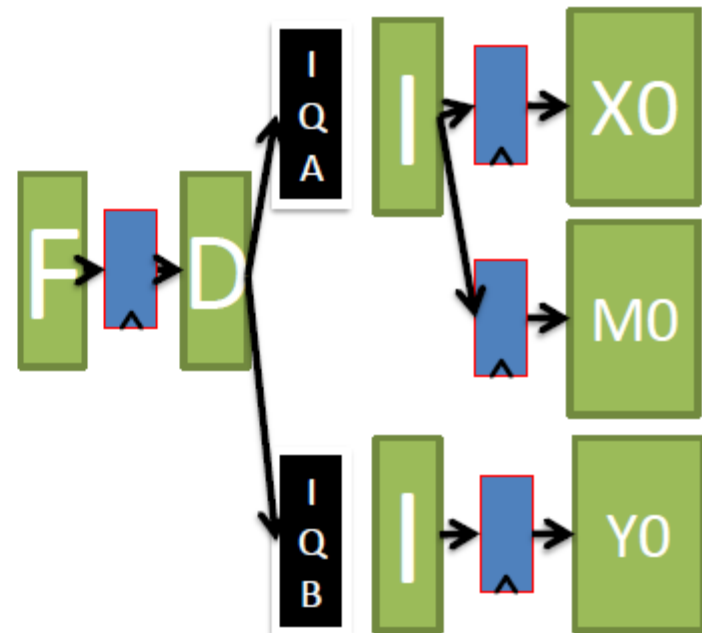
Instrução Pronta = $(!V_{Src0} \parallel !P_{Src0}) \&\& (!V_{Src1} \parallel !P_{Src1}) \&\&$ Sem Hazard Estrutural

Para alto desempenho: Considerar encaminhamentos

Issue Queue Centralizado vs Distribuído



Centralizado



Distribuído

Scoreboard Avançado

	Data Avail.					
	P	4	3	2	1	0
R1						
R2						
R3						
...						
R31						

P: Pendente (Escrita a caminho)
Data Avail.: Onde está o dado no pipeline e em qual unidade funcional?

- Data Avail. Agora contém o **identificador da Unidade Funcional**;
- Um valor **não vazio na coluna zero** significa que a Unidade Funcional está na fase **write back**;
- Dados em Data Avail. **Deslocam para a direita**.

			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W								
1	ADDIU	R11,R10,1		F	D	I	X0	W										
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W				
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1					F	D	i	I	X0	W						
5	ADDIU	R13,R12,1						F	D	i	I	X0	W					
6	ADDIU	R14,R12,2							F	D	i			I	X0	W		

Em fase de espera no IQ

Hazard Estrutural

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i			I	X0	W			

OP

Imm

S

V

Dest

V

P

Src0

V

P

Src0

			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W								
1	ADDIU	R11,R10,1	F	D	I	X0	W											
2	MUL	R5, R1, R4		F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6			F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1				F	D	i	I	X0	W							
5	ADDIU	R13,R12,1					F	D	i	I	X0	W						
6	ADDIU	R14,R12,2						F	D	i			I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

0 MUL R1, R2, R3 F D I Y0 Y1 Y2 Y3 W

1 ADDIU R11,R10,1 F D I X0 W

2 MUL R5, R1, R4 F D i I Y0 Y1 Y2 Y3 W

3 MUL R7, R5, R6 F D i I Y0 Y1 Y2 Y3 W

4 ADDIU R12,R11,1 F D i I X0 W

5 ADDIU R13,R12,1 F D i I X0 W

6 ADDIU R14,R12,2 F D i I X0 W

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X

			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W								
1	ADDIU	R11,R10,1		F	D	I	X0	W										
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W				
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1					F	D	i	I	X0	W						
5	ADDIU	R13,R12,1						F	D	i	I	X0	W					
6	ADDIU	R14,R12,2							F	D	i			I	X0	W		

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	1	R1	1	0	R4

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1				F	D	i	I	X0	W								
5	ADDIU	R13,R12,1					F	D	i	I	X0	W							
6	ADDIU	R14,R12,2						F	D	i				I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	1	R1	1	0	R4
3	X	0	1	R7	1	1	R5	1	0	R6

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1				F	D	i	I	X0	W								
5	ADDIU	R13,R12,1					F	D	i	I	X0	W							
6	ADDIU	R14,R12,2						F	D	i				I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	1	R1	1	0	R4
3	X	0	1	R7	1	1	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i			I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	0	R1	1	0	R4
3	X	0	1	R7	1	1	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X
5	1	0	1	R13	1	1	R12	0	X	X

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i			I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	0	R1	1	0	R4
3	X	0	1	R7	1	1	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X
5	1	0	1	R13	1	1	R12	0	X	X
6	2	0	1	R14	1	1	R12	0	X	X

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W	
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i			I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	0	R1	1	0	R4
3	X	0	1	R7	1	1	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X
5	1	0	1	R13	1	0	R12	0	X	X
6	2	0	1	R14	1	0	R12	0	X	X

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W	
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i			I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	0	R1	1	0	R4
3	X	0	1	R7	1	1	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X
5	1	0	1	R13	1	0	R12	0	X	X
6	2	0	1	R14	1	0	R12	0	X	X

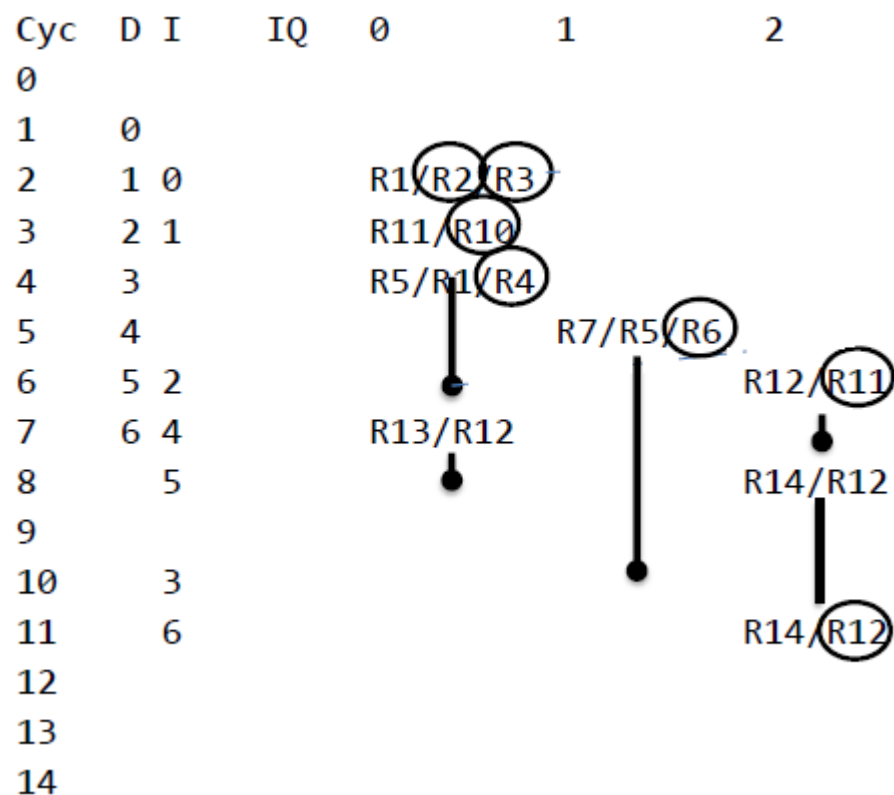
				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W	
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i				I	X0	W		

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	0	R1	1	0	R4
3	X	0	1	R7	1	0	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X
5	1	0	1	R13	1	0	R12	0	X	X
6	2	0	1	R14	1	0	R12	0	X	X

				0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W									
1	ADDIU	R11,R10,1		F	D	I	X0	W											
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W					
3	MUL	R7, R5, R6				F	D	i						I	Y0	Y1	Y2	Y3	W
4	ADDIU	R12,R11,1					F	D	i	I	X0	W							
5	ADDIU	R13,R12,1						F	D	i	I	X0	W						
6	ADDIU	R14,R12,2							F	D	i			I	X0	W			

OP	Imm	S	V	Dest	V	P	Src0	V	P	Src0
0	X	0	1	R1	1	0	R2	1	0	R3
1	1	0	1	R11	1	0	R10	0	X	X
2	X	0	1	R5	1	0	R1	1	0	R4
3	X	0	1	R7	1	0	R5	1	0	R6
4	1	0	1	R12	1	0	R11	0	X	X
5	1	0	1	R13	1	0	R12	0	X	X
6	2	0	1	R14	1	0	R12	0	X	X

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0 MUL R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W								
1 ADDIU R11,R10,1		F	D	I	X0	W										
2 MUL R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W				
3 MUL R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W
4 ADDIU R12,R11,1					F	D	i	I	X0	W						
5 ADDIU R13,R12,1						F	D	i	I	X0	W					
6 ADDIU R14,R12,2							F	D	i			I	X0	W		

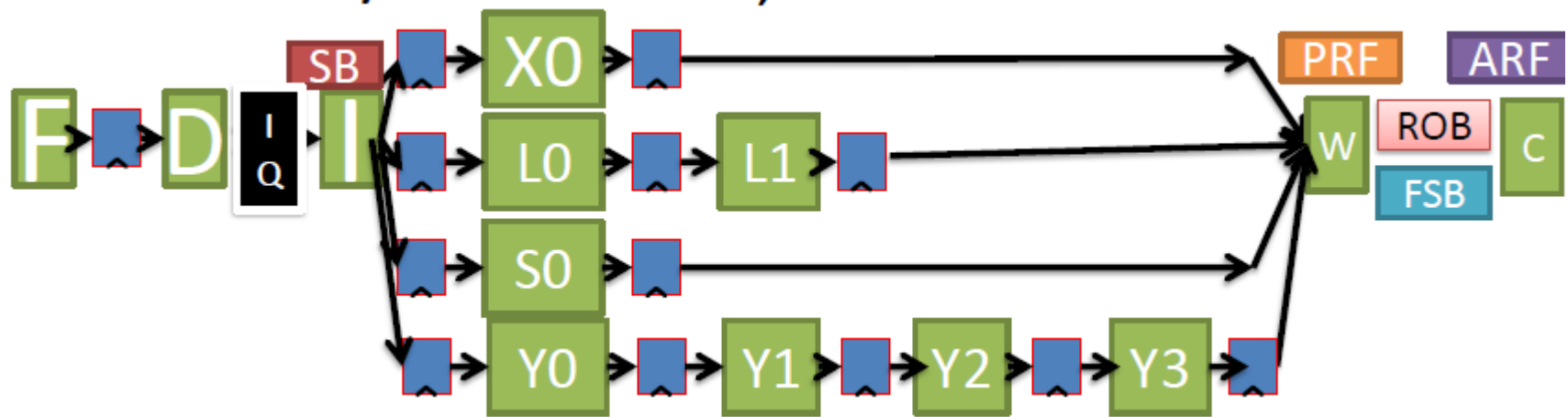


Assuma todas instruções em IQ

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0 MUL R1, R2, R3	F	D	i													
				I	Y0	Y1	Y2	Y3	W							
1 ADDIU R11,R10,1		F	D	i												
					I	X0	W									
2 MUL R5, R1, R4			F	D	i											
								I	Y0	Y1	Y2	Y3	W			
3 MUL R7, R5, R6				F	D	i										
											I	Y0	Y1	Y2	Y3	W
4 ADDIU R12,R11,1			F	D	i											
						I	X0	W								
5 ADDIU R13,R12,1				F	D	i										
								I	X0	W						
6 ADDIU R14,R12,2					F	D	i									
									I	X0	W					

O desempenho melhora?

Processador IO2I



			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W	C											
1	ADDIU	R11,R10,1		F	D	I	X0	W	r			C										
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W	C							
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W	C			
4	ADDIU	R12,R11,1					F	D	i	I	X0	W	r							C		
5	ADDIU	R13,R12,1						F	D	i	I	X0	W	r							C	
6	ADDIU	R14,R12,2							F	D	i			I	X0	W	r					C

E se pudermos disparar 2 ao mesmo tempo?

0	MUL	R1, R2, R3	F	D	I	Y0	Y1	Y2	Y3	W	C											
1	ADDIU	R11,R10,1		F	D	I	X0	W	r			C										
2	MUL	R5, R1, R4			F	D	i		I	Y0	Y1	Y2	Y3	W	C							
3	MUL	R7, R5, R6				F	D	i					I	Y0	Y1	Y2	Y3	W	C			
4	ADDIU	R12,R11,1					F	D	i	I	X0	W	r							C		
5	ADDIU	R13,R12,1						F	D	i	I	X0	W	r							C	
6	ADDIU	R14,R12,2							F	D	i			I	X0	W	r					C

Processador superescalar de 2 vias fora de ordem com 1 ALU

[illegible]

Agradecimiento

David Wentzlaff (Princeton University)