

Prova Finale di Reti Logiche

Truong Kien Tuong

May 1st, 2020

Matricola: 887907
Codice Persona: 10582491
Docente: Gianluca Palermo

1 Introduzione

La prova prevede l'implementazione in VHDL di una macchina che opera su una memoria e svolge la seguente operazione.

La macchina deve per prima cosa leggere il primo byte dalla memoria che identifica il numero di parole che sono state fornite come input, questa informazione è importante per capire quando la macchina deve terminare la lettura.

Dopodiché ogni parola successiva viene tradotta in due parole di memoria che vengono scritte progressivamente in un'altra parte della memoria.

1.1 Esempio

Indirizzo	Valore	Codifica binaria
0	2	0000 0010
1	35	0010 0011
2	161	1010 0001

Questo stato della memoria si traduce nell'input [35, 161] e in questo caso la lunghezza dell'input $W=2$ quindi mi aspetto una lunghezza dell'output $Z=4$.

Indirizzo	Valore	Codifica binaria
1000	13	0000 1101
1001	206	1100 1110
1002	97	0110 0001
1003	195	1100 0011

Rappresenta l'output [13, 206, 97, 195] dove [13, 206] sono i numeri che sono stati prodotti dal 35 in ingresso mentre [97, 195] sono ottenuti processando 161

1.2 Ipotesi Progettuali

- Si utilizza la scheda Artix-7 FPGA xc7a200tfbg484-1

- Ogni byte può contenere numeri da 0 a 255.
- La quantità di numeri in ingresso (W) è contenuta in una parola da un byte quindi anche il numero massimo di parole da tradurre è 255.
- Dato che l'input occupa al massimo 256 byte posso scrivere sui byte successivi quindi l'output parte sempre dal millesimo indirizzo di memoria che sicuramente non contiene l'input

2 Architettura

Architettura

3 Risultati sperimentali

Risultati sperimentali

4 Conclusioni

Conclusioni