

一、8086 的基本总线周期

8086 的基本总线周期包括 4 个时钟周期，也称状态周期，在不同的状态周期完成不同的总线操作，这四个状态周期按照时间上的顺序依次命名为 T1、T2、T3，T4。

T1 称为地址周期，主要完成地址输出操作，目的是确定总线操作的对象，是访问存储器还是访问 IO 接口，是访问存储器的哪一个存储单元，或访问哪一个 IO 接口。

T2 称为缓冲周期，主要是完成数据的输入/输出的准备工作，例如对于总线读操作，对于同一 CPU 引脚，先输出地址信息，在输入数据信息，需要一定的输入/输出的转换时间，另外，读写控制信号也在这一周期中给出。

T3 称为数据周期，主要完成数据的输入和输出工作，例如将数据总线上的数据读入 CPU。

T4 称为结束周期，数据从数据总线上撤消。各控制信号和状态信号线进入无效状态，总线操作结束。

Tw 称为等待周期，当存储器或外设读写速度较慢无法在完成读写操作时，需要在 T3、T4 之间插入等待周期，直到存储器或外设完成读写工作。

二、最小模式下总线读操作时序

1、T1 状态：

(1) M / IO (8088 是 M / IO) 信号首先在 T1 状态有效，用以指出本次读操作 CPU 是从存储器，还是从 I / O 端口读取数据。当 M / IO 为高电平，从存储器读，当 M / IO 为低电平，从 I / O 端口读。M / IO 信号将在整个读总线周期内保持有效。

(2) 将访问存储器的 20 位物理地址或访问 I / O 端口的 16 位口地址通过多路复用总线输出，如果访问存储器则 20 位地址的高 4 位从 A19 / S6 ~ A16 / S3 地址 / 状态复用线输出，低 16 位从 AD15 ~ AD0 地址 / 数据复用线输出。

(3) 地址 ALE 锁存信号有效，即 T1 状态从 ALE 引脚输出一个正向脉冲并用 ALE 的下降沿作地址锁存器 8282 / 8283 的选通信号对地址进行锁存。地址锁存以后，这些引脚才可在其它状态被分时复用为数据或状态信息的传送。

(4) 高 8 位数据有效信号 BHE / S7 有效，以实现对存储器高字节体（即奇地址体）的寻址，偶地址体的选体信号为 A0。BHE 信号在 T1 状态由 ALE 的下降沿锁入 8282 / 8283。

(5) 若系统中接有数据总线收发器 8286 / 8287 时, 为了控制数据传送方向, 在 T1 状态, DT / R 信号, 变为低电平, 以控制 8286 / 8287 处于接收数据状态。

2、T2 状态:

(6) CPU 开始撤消地址, A19 / S6~A16 / S3; 及 BHE / S7 引脚开始输出状态信息 S7~S3, 且一直持续到 T4。对 8086, S7 并未赋予实际意义。

(7) 低位地址线 AD15~AD0 开始进入高阻抗状态, 为读入数据作准备。

(8) 若系统中有 8286 / 8287, 则 DEN 信号在 T2 状态开始有效 (为低电平), 使 8286 / 8287 在数据总线上出现输入数据之前 (即在 T3 之前) 就处于输出允许状态, 以便数据通过 8286 / 8287 进入 CPU, DEN 的低电平一直维持到 T4 状态的中期结束。

(9) RD 信号开始有效 (变为低电平), 使被寻址的存储单元或 I / O 端口将数据送入数据总线。

3、T3 状态:

(10) CPU 检测 READY 信号。经过 T1, T2 状态后, 如果存储器或 I / O 端口能及时提供数据 (READY 信号为高), 则在基本总线周期的 T3 状态就将数据送到数据总线上, CPU 通过 AD15~AD0 接收数据。若存储器或 I / O 端口不能及时提供数据 (READY 信号为低), 则 CPU 将在 T3 状态的结束时刻 (下降沿) 插入 TW 等待状态。因此, 在 T3 状态的一开始 (下降沿), CPU 便检测 READY 信号 (READY 信号是通过时钟发生器 8284 送入 CPU 的 READY 引脚的), 若 READY 为低, 表示存储器或 I / O 端口未准备好数据, 则 CPU 在 T3, T4 之间插入等待状态 TW。以延长总线周期, 等待状态的时序如图 2.25 所示。在每个等待状态内, 总线上的活动与 T3 周期相同。若 READY 为高, 则说明数据已准备好, 不用插入等待状态, 在 DEN=0, DT / R=0 的配合控制下, 内存单元或 I / O 端口的数据通过数据收发器 8286 / 8287 送到数据总线 AD15~AD0 上。CPU 在 T3 状态结束时读取数据。这时由状态信号 S4, S3 可知当前读取的是指令还是数据, 若 S4S3=10, 表示访问 CS 段, 读取的是指令, CPU 将它送入指令队列等待 EU 执行。否则读取的是数据, 进入 ALU 去进行运算。

(11) CPU 在每个 TW 状态的前沿对 READY 信号进行采样, 当 READY 为低电平, 则继续插入 TW 状态。当采样到 READY 为高电平时, 则在当前 TW 状态执行完便进入 T4 状态。在最后一个 TW 状态数据已经稳定在数据总线上, CPU 在 TW 状态结束时读取数据。在整个 TW 状态期间, 其它控制信号保持与 T3 状态时相同。

4、T4 状态：

(12) CPU 在 T3 与 T4 状态的交界处采样数据总线 AD15~AD0，完成读取数据操作，在 T4 的后半周，数据从数据总线上撤消。各控制信号和状态信号线进入无效状态，DEN 无效，总线收发器不工作，一个总线读周期结束。

三、最小模式下总线写操作时序

和读周期一样，基本写总线周期也包含 4 个时钟周期 T1，T2，T3 和 T4。当存储器或外设速度较慢时，在 T3 和 T4 之间插入等待状态 TW。

在 T1 状态，M / IO 信号有效，指出 CPU 的数据是写入存储器还是 I / O 端口；对于地址的传送过程与读周期完全相同；ALE 信号有效，地址将被锁存；选体信号 BHE、A0 有效，DT / R 为高电平（因为是写操作，应控制 8086 / 8087 为发送状态）。

在 T2 状态，地址撤消，地址 / 状态线上输出状态信号 S6~S3；CPU 将数据送入数据总线 AD15~AD0，写信号 WR 有效，DEN 信号有效，它作为数据总线收发器 8286 / 8287 的选通信号。

在 T3 状态，CPU 采样 READY 引脚，若 READY 信号为低电平，则在 T3 结束时插入等待状态 TW，直到 READY 变为高电平为止，存储器或 I / O 端口从数据总线上取走数据。

在 T4 状态，从数据线上撤销数据。各控制信号和状态信号变成无效，DEN 为高电平，使总线收发器 8286 / 8287 不工作，结束写周期。

总线写操作也有几点与读操作不同：

(1) 在 T1 状态，DT / R 为高电平，表示本周期是写操作，用 DT 去控制总线收发器 8286 / 8287 发送 CPU 输出的数据到数据总线，以便写入存储器或 I / O 端口。

(2) 送到存储器或 I / O 端口的控制信号是写信号 WR，而不是读信号 RD，但它们出现时序一样，也是从 T2 开始，低电平持续到 T4 的前半周。

(3) 在写周期下，由 CPU 从地址 / 数据线上输出的地址和输出的数据是同方向的，因此，在 T2 状态，地址一旦输出被锁存后 CPU 便立即向地址 / 数据线 AD15~AD0 上输出数据，而不再需要像读周期时那样要维持一个时钟周期的浮空状态作缓冲。数据信号要一直保持到 T4 状态的中间。

三、8086 的存储器分段与信息分段组织

见上节课参考资料“002_微机原理-8086 处理器_1.pdf”

四、存储器的结构

见参考书（王克义）P423 页，第 12.3.5 节。