

Ricardo Benassino 24 40 54

Esercizio 3 - Fondamenti di Elettronica (Digitale) – A.A. 2024/2025

Prof. Andrea De Marcellis

andrea.demarcellis@univaq.it

Si progetti in ogni sua parte (dalla prima istanziazione al disegno circuitale) un sistema elettronico digitale sequenziale basato su macchina a stati finiti in grado di svolgere la seguente operazione:

Generazione della sequenza numerica {1,3,5,2,4} (SEQUENZIATORE).

Il sistema deve soddisfare le seguenti caratteristiche:

- a partire da uno stato di riposo (uscita del sistema = 0), l'operazione viene avviata mediante l'attivazione di un segnale di START;
- una volta avviata, la macchina continuerà a svolgere l'operazione e quindi aggiornerà l'uscita solo se il segnale START è attivo, altrimenti la macchina riparte con la generazione del primo valore della sequenza numerica (torna allo stato in cui l'uscita del sistema = 1);
- quando l'operazione è terminata, se il segnale START è attivo, la macchina deve tornare allo stato di riposo;
- la macchina può tornare allo stato di riposo, anche prima della conclusione dell'operazione, mediante l'attivazione di un segnale di RESET (asincrono);
- gli stati della macchina devono essere codificati in codice GRAY;
- l'uscita della macchina deve essere codificata in BN.

FLUSSO DI PROGETTAZIONE:

- ✓ 1) breve descrizione del sistema, delle sue caratteristiche e delle specifiche principali;
- ✓ 2) 1° istanziazione;
- ✓ 3) definizione di tutti i segnali;
- ✓ 4) 2° istanziazione;
- ✓ 5) sviluppo dell'ASM;
- ✓ 6) definizione della MSF basata sul modello MOORE e dell'architettura della stessa;
- ✓ 7) Sintesi delle funzioni logiche combinatorie $f(\cdot)$ e $g(\cdot)$;
- ✓ 8) Definizione degli schemi circuitali interni del registro di stato e delle funzioni $f(\cdot)$ e $g(\cdot)$ per l'implementazione hardware finale del SISTEMA ELETTRONICO DIGITALE SEQUENZIALE progettato.

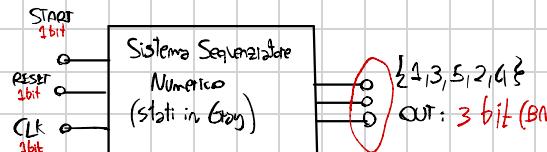
1) Descrizione e Overview del Sistema: ✓

- Sistema sequenziatore numerico
- Obiettivo: generare in uscita i valori $\{1, 3, 5, 2, 4\}$ in codice binario naturale (BN)
- Modo di avvio: START attivo \Rightarrow Inizia e Continua
- Se start diventa 0 \Rightarrow La sequenza ripete da 1
- Fine sequenza se START ancora attivo \Rightarrow Torna allo stato di riposo.
- Codifica degli stati in codice Gray
- Modello dello MSF: Moore

2) Prima Istanziazione: ✓

Definizione del sistema, input/output principali:

- Ingressi: START, RESET, CLK
- Uscita: OUT (3 bit in BN)
- Comportamento: Vedi punto 1.



3) Definizione dei Segnali: ✓

- START: Segnale di avvio (sincrono) (1 bit)
- RESET: Segnale di Reset (asincrono) (1 bit)
- CLK: Clock di sistema (1 bit, frequenza è piuttosto alta, per evitare problemi di propagazione dei segnali, sincronizzazione, filtro passa-basso C parassite, riflettorezza e impedenza caratteristica delle piste.)
- Out [2, 0]: Uscita in binario naturale (BN)

Notazione in Verilog: { OUT: Segnale di uscita

{ [2, 0] rappresenta un bus di 3 bit, con l'indice più alto a sinistra (2) e quello più basso a destra (0).

{ Questo significa che il segnale OUT è composto da 3 bit numerati da 2 a zero. OUT (bit² significativo, ..., bit⁰ signif.)

- Stato corrente S[2:0] (Codificato in Gray)

4) Seconda Istanziazione. Definizione formale degli STATI e TRASIZIONI: ✓

- Stati interni:

S0: Riposo (OUT = 0), S1: OUT=1, S2: OUT=3, S3: OUT=5, S4: OUT=2, S5: OUT=4; Ritorno a S0 se fine sequenza con START ancora attivo.

5) Sviluppo dell' ASM (diagramma) Algorithmic State Machine ✓

Disegno il diagramma ASM con: { blochi per ogni stato (S0... S5)

{ Condizioni transizioni (START, RESET)

{ Uscite associate (Moore → l'uscita dipende dallo stato)

(Usiamo la Codifica Gray perché ogni transizione differisce per un solo bit rispetto alla precedente, questo riduce gli errori nelle transizioni.)

Esempio di codifica Gray a 3 bit per 6 stati:

	GRAY	BN
S0	000 (Riposo)	000
S1	001 (out=1)	001
S2	011 (out=2)	010
S3	010 (out=3)	011
S4	110 (out=4)	100
S5	111 (out=5)	101

da qui
da qui
GIA
conservo
2 bit
nuovo
ben

6) Definizione dello MSF (Moore) Macchina a Stati Finiti ✓

Realizziamo lo MSF con: { Stati: 6 in totale → servono 3 bit (Codificati in Gray)

{ Tabella di transizione degli stati

{ Tabella delle uscite

7) Sintesi delle funzioni f(.) e g(.)

• f(.) → Logica combinatoria per la prossima transizione di stato.

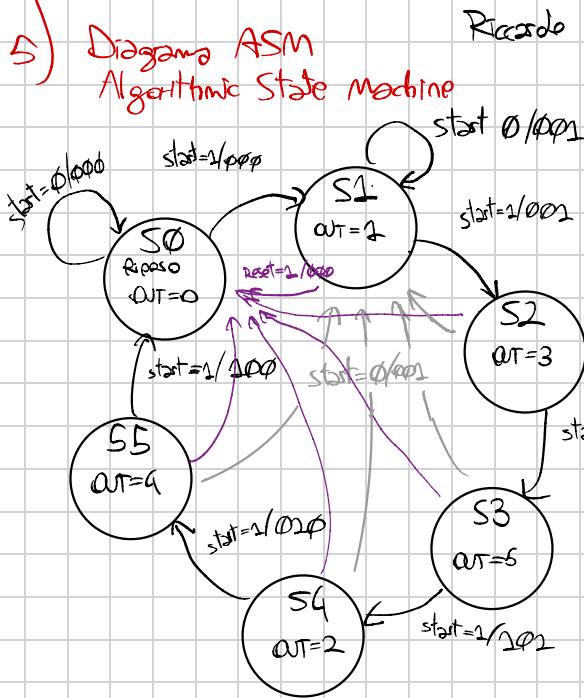
• g(.) → Logica combinatoria per l'uscita OUT.

8) Schemi circuituali:

• Schema interno del registro di stato (3 Flip-Flop tipo D).

• Schema delle logiche f(.) e g(.) (con Porte Logiche)

• Schema complessivo: Collegamenti fra registri, logiche combinatorie, ingresso e uscita).



Note in caso
di Reset=1 (Asincrono)
In qualsiasi stato mi trovo
torno allo stato iniziale S0

6) Definizione della Macchina a Stati Finiti (Moore)

① Definizione degli stati:

Nome Stato	Valore OUT (Analog)	OUT (BN)	STATO (Gray)
S0	Riposo = 0	000	000
S1	Primo valore = 1	001	001
S2	Secondo = 3	011	011
S3	Terzo = 5	101	010
S4	Quarto = 2	010	110
S5	Quinto = 4	100	111

(NB: Out è codificata in binario naturale, indipendentemente dallo stato Gray)

② Codifica degli stati in codice Gray a 3bit:

④ Uscite del sistema

Poiché è una macchina di Moore,
l'uscita dipende solo dello stato)

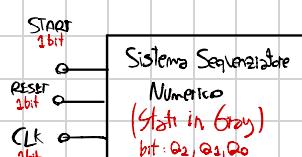
③ Tabella delle transizioni di stato:

Stato corrente	start=1	start=0	Reset=1 (Asincrono)
S0	S1	S0	S0
S1	S2	S1 → S1	S0
S2	S3	S1	S0
S3	S4	S1	S0
S4	S5	S1	S0
S5	S0	S1	S0

Note: quando start=0,
si torna sempre a S1
(cioè si ripete dall'inizio), tranne in
S0 (riposo).

⑤ Entrate del sistema

Stato	OUT (BN) (Decade in uscita)
S0	000 (0)
S1	001 (1)
S2	011 (3)
S3	101 (5)
S4	010 (2)
S5	100 (4)



{ 000, 001, 011, 101, 010, 100 }

{ 1, 3, 5, 2, 4 }

OUT: 3 bit (BN)

- $f(\cdot)$ → Logica combinatoria per la prossima transizione di stato
- $g(\cdot)$ → Logica combinatoria per l'uscita OUT.

7) Sintesi delle funzioni logiche combinatorie $f(\cdot)$ e $g(\cdot)$

Funzioni Logiche f(.) per la transizione di stato:

Riccardo Benassi 24 40 59

Dobbiamo costruire 3 espressioni Logiche (una per ogni Flip-flop D)

- $D_2 = f_2(Q_2, Q_1, Q_0, \text{start})$
 - $D_1 = f_1(Q_2, Q_1, Q_0, \text{start})$
 - $D_0 = f_0(Q_2, Q_1, Q_0, \text{start})$

Per ogni riga (cioè stato corrente) definiamo lo stato successivo (D_2, D_1, D_0) in base a START.

Poi si ricavano le funzioni usando Tabelle di Verità, Mappe di Karnaugh, Espressioni Logiche minime.

Funzione $g(\cdot)$ → Uscita in BN

- o OUT dipende solo dallo stato (non da START)
 - o Quindi implemento OUT [2:0] = g'(Q2 Q1 Q0)

ESEMPIO: Stato(Gay)

Uscita (BN)

	Q2	Q1	Q0	at2	at1	at0	
S0	0	0	0	0	0	0	(0)
S1	0	0	1	0	0	1	(1)
S2	0	1	1	0	1	1	(3)
S3	0	1	0	1	0	1	(5)
S4	1	1	0	0	1	0	(2)
S5	1	1	1	1	0	0	(4)

Anche qui posso usare le

mappe di karnaugh e ottenere 3 funzioni

- OUT 2 = g2 (Q2 Q1 Q0)
 - OUT 1 = g1 (Q2 Q1 Q0)
 - OUT 0 = g0 (Q2 Q1 Q0)

Per il circuito probabilmente mi servirà:

- 3 Flip-Flop D
per il registro di stato (3 bit)
 - Logiche combinatorie
per D2, D1, D0
 - Logiche combinatorie
per OUT2, OUT1, OUT0
 - Ingressi CLK, START, RESET

NB: Reset Asincrono gestito direttamente per i Flip-Flop D

Tabella di verità per determinare le funzioni logiche dei bit del prossimo stato (D_2, D_1, D_0) in base allo stato attuale (Q_2, Q_1, Q_0) e START

STATO	Q2	Q1	Q0	START=1 \rightarrow Proximo Stato	Start=0 \rightarrow Proximo Stato
S0	000			001 (S1)	000 (S0)
S1	001			011 (S2)	001 (S1) \rightarrow parar
S2	011			010 (S3)	001 (S2)
S3	010			110 (S4)	001 (S3)
S4	110			111 (S5)	001 (S4)
S5	111			000 (S0)	001 (S5)

Ora costruire due tabelle con $START=1$ e $START=0$

	Q2	Q1	Q0	START	D2	D1	D0	Comment
S0	Ø	Ø	Ø	1	Ø	Ø	1	$S0 \rightarrow S_1$
S1	Ø	Ø	1	1	Ø	1	1	$S1 \rightarrow S_2$
S2	Ø	1	1	1	Ø	1	Ø	$S2 \rightarrow S_2$
S3	Ø	1	Ø	1	1	1	Ø	$S3 \rightarrow S_0$
S4	1	1	Ø	1	1	1	1	$S4 \rightarrow S_5$
S5	1	1	1	1	Ø	Ø	Ø	$S5 \rightarrow S_0$

	Q2	Q1	Q0	START	D2	D1	D0	Commento
S0	∅	∅	∅	∅	∅	∅	∅	S0 resta S0
S1	∅	∅	1	∅	∅	∅	1	S1 resta S1
S2	∅	1	1	∅	∅	∅	1	S1 → S1
S3	∅	1	∅	∅	∅	∅	1	S1 → S1
S4	1	1	∅	∅	∅	∅	1	S1 → S1
S5	1	1	1	∅	∅	∅	1	S1 → S1

Ora posso costruire 3 mappe di Karnaugh, una per ciascuna delle uscite D2, D1, D0.
Poi faccio lo stesso per le uscite OUT2, OUT1, OUT0

Unità		Ingressi: stato corrente	Ricorso strutturale 24/40 S4	K-Map per OUT2 (Q ₂ , Q ₁ , Q ₀ , start)	K-Map per OUT1 (Q ₂ , Q ₁ , Q ₀)	K-Map per OUT0 (Q ₂ , Q ₁ , Q ₀)
Stato corrente	start	Q ₂ Q ₁ Q ₀	Q ₂ Q ₁ Q ₀	Q ₂ Q ₁ Q ₀	Q ₂ Q ₁ Q ₀	Q ₂ Q ₁ Q ₀
Gray	start	0 1	Q ₂ Q ₁ Q ₀	0 1	Q ₂ Q ₁ Q ₀	0 1
000	0 0	000	0 0	000	0 1	000
001	0 0	001	0 1	001	1 1	001
011	0 0	011	0 1	011	1 0	011
010	0 1	010	0 1	010	1 0	010
110	0 1	110	0 1	110	1 1	110
111	0 0	111	0 0	111	1 0	111

Consiglio il bit più significativo dello stato successivo

in base 2:

• Stato corrente (Gray)

• Segnali di controllo: start

la posizione
Q₂ sarà alta
solo per queste due condizioni

$$\text{Out } 2 = \bar{Q}_2 \cdot \underline{Q_1} \cdot \bar{Q}_0 + Q_2 \cdot \underline{Q_1} \cdot Q_0$$

$$= Q_1 (\underbrace{\bar{Q}_2 \cdot \bar{Q}_0 + Q_2 \cdot Q_0}_{\text{XNOR}})$$

$$\text{Out } 1 = \bar{Q}_2 \cdot \underline{Q_1} \cdot Q_0 + Q_2 \cdot \underline{Q_1} \cdot \bar{Q}_0$$

$$Q_1 (\underbrace{\bar{Q}_2 \cdot Q_0 + Q_2 \cdot \bar{Q}_0}_{\text{XOR}})$$

$$\begin{aligned} D_2 &= S \cdot [\underline{Q_2} \cdot \underline{Q_1} \cdot \bar{Q}_0 + \underline{Q_2} \cdot \underline{Q_1} \cdot \bar{Q}_0] = \\ &= S \cdot [Q_2 \cdot \bar{Q}_0 (\cancel{Q_2 + Q_1})] = \\ &= S \cdot Q_1 \cdot \bar{Q}_0 \text{ ok} \end{aligned}$$

$$\begin{aligned} \text{Out } 0 &= \bar{Q}_2 \cdot \underline{Q_1} \cdot Q_0 + \bar{Q}_2 \cdot \underline{Q_1} \cdot \bar{Q}_0 \\ &\quad + \bar{Q}_2 \cdot Q_1 \cdot \bar{Q}_0 \end{aligned}$$

$$= \bar{Q}_2 (\underbrace{\bar{Q}_2 \cdot Q_0 + Q_1 \cdot \bar{Q}_0 + Q_1 \cdot Q_0}_{\text{XOR}})$$

$$\begin{aligned} D_1 &= S (\bar{Q}_2 \cdot \underline{Q_1} \cdot \bar{Q}_0 + \bar{Q}_2 \cdot \underline{Q_1} \cdot Q_0 + \bar{Q}_2 \cdot \underline{Q_1} \cdot \bar{Q}_0 + Q_2 \cdot \underline{Q_1} \cdot \bar{Q}_0) \\ &= S [(\bar{Q}_2 \cdot Q_0)(\cancel{\bar{Q}_1 + Q_1}) + (Q_1 \cdot \bar{Q}_0)(\cancel{\bar{Q}_2 + Q_2})] \\ &= S [\bar{Q}_2 \cdot Q_0 + Q_1 \cdot \bar{Q}_0] \end{aligned}$$

$$D_0 = \bar{S} (\cancel{\bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0} + \cancel{\bar{Q}_2 \cdot Q_1 \cdot \bar{Q}_0} + \cancel{\bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0} + \cancel{Q_2 \cdot Q_1 \cdot \bar{Q}_0} + \cancel{Q_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0} + \cancel{Q_2 \cdot Q_1 \cdot Q_0})$$

$$\begin{aligned} &+ S (\cancel{\bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0} + \cancel{\bar{Q}_2 \cdot \bar{Q}_1 \cdot Q_0} + \cancel{Q_2 \cdot Q_1 \cdot \bar{Q}_0}) = \\ &= \bar{S} \left\{ [(\bar{Q}_2 \cdot Q_0)(\cancel{\bar{Q}_1 + Q_1})] + Q_1 \cdot [\bar{Q}_2 \cdot \bar{Q}_0 + Q_2 \cdot \bar{Q}_0] + Q_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0 \right\} \\ &+ S \left\{ (\bar{Q}_2 \cdot \bar{Q}_1) \cdot (\cancel{\bar{Q}_0 + Q_0}) + Q_2 \cdot Q_1 \cdot \bar{Q}_0 \right\} \\ &= \bar{S} \left\{ \bar{Q}_2 \cdot Q_0 + Q_1 \cdot [\bar{Q}_2 \cdot \bar{Q}_0 + Q_2 \cdot \bar{Q}_0 + Q_2 \cdot Q_0] \right\} + S \{ \dots \} \end{aligned}$$

K-Map per
D₀ (Q₂, Q₁, Q₀, start)

Q ₂ Q ₁ Q ₀		0 1
000	0 1	
001	1 1	
011	1 0	
010	1 0	
110	1 1	
111	1 0	

Abbiamo

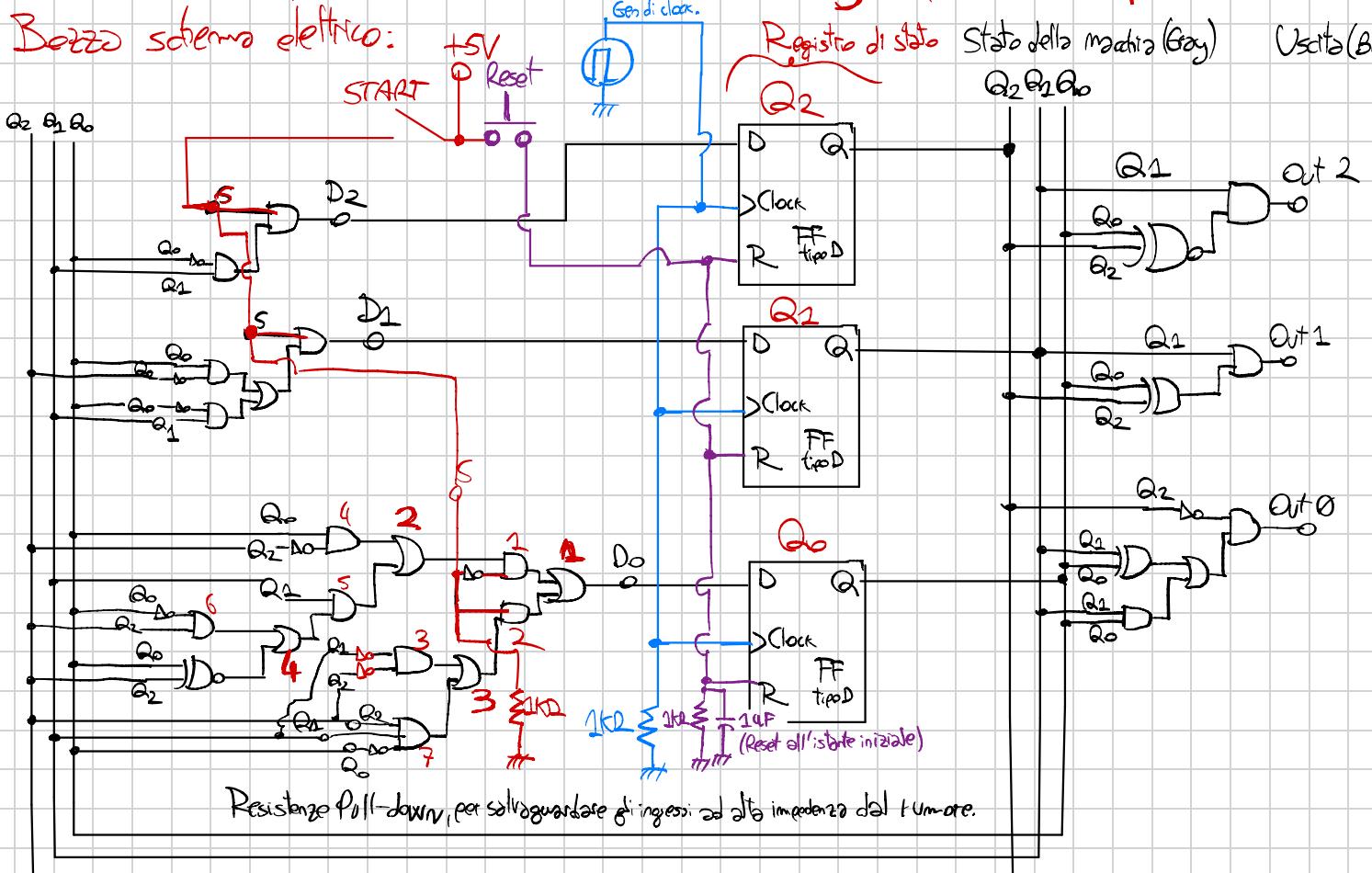
$$\begin{aligned} D_2 &= S \cdot Q_1 \cdot \bar{Q}_0 \text{ ok} \\ D_1 &= S \cdot [\bar{Q}_2 \cdot Q_0 + Q_1 \cdot \bar{Q}_0] \end{aligned}$$

$$\begin{aligned} D_0 &= \bar{S} \left\{ \bar{Q}_2 \cdot Q_0 + Q_1 \cdot [\cancel{\bar{Q}_2 \cdot \bar{Q}_0 + Q_2 \cdot \bar{Q}_0} + \cancel{Q_2 \cdot Q_0}] \right\} \\ &+ S \left\{ \cancel{\bar{Q}_2 \cdot \bar{Q}_1} + Q_2 \cdot Q_1 \cdot \bar{Q}_0 \right\} \\ &\quad \uparrow \text{OR} \quad \uparrow \text{AND} \quad \uparrow \text{AND} \quad \uparrow \text{XNOR} \\ &\quad \uparrow \text{OR} \quad \uparrow \text{AND} \quad \uparrow \text{AND} \quad \uparrow \text{AND} \end{aligned}$$

$$\begin{aligned} \text{Out } 2 &= Q_1 (\underbrace{\bar{Q}_2 \cdot \bar{Q}_0 + Q_2 \cdot Q_0}_{\text{XNOR}}) \\ \text{Out } 1 &= Q_1 (\underbrace{\bar{Q}_2 \cdot Q_0 + Q_2 \cdot \bar{Q}_0}_{\text{XOR}}) \\ \text{Out } 0 &= \bar{Q}_2 (\underbrace{\bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0 + Q_1 \cdot Q_0}_{\text{XOR}}) \end{aligned}$$

$$D_0 = \overline{S} \cdot \left\{ \overline{Q}_2 \cdot Q_0 + Q_2 \cdot \overline{Q}_0 \right\} + \left[\overline{Q}_2 \cdot \overline{Q}_0 + Q_2 \cdot Q_0 + Q_2 \cdot \overline{Q}_0 \right] \cdot \overline{S} + \left(\overline{Q}_2 \cdot \overline{Q}_1 + Q_2 \cdot Q_1 \cdot \overline{Q}_0 \right)$$

Bozza schema elettrico:



Si allega simulazione del funzionamento.

www.falstad.com (Simulatore)

<https://tinyurl.com/25d8uuru> (Simulation)

Final Testimony