

卷积模块设计与分析报告

CS207 Project Team

2025 年 12 月 27 日

1 系统架构简易框图及卷积模块位置

本系统采用分层设计，卷积模块 `matrix_alu` 位于功能层（Functional Layer）的计算子系统（Calc Sys）中。

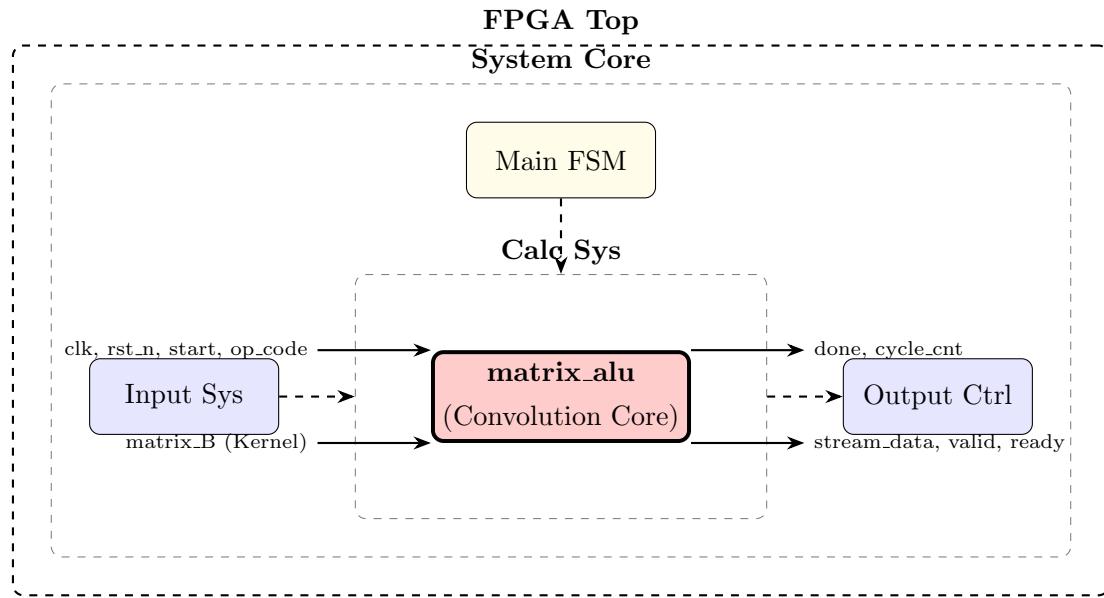


图 1: 系统架构与卷积模块接口示意图

接口说明:

- 控制接口: 接收 `start` 信号和 `op_code` 开始工作。
- 数据接口: 从 `matrix_B` 读取卷积核, 内部 ROM 读取图像。
- 流式接口: 通过 `stream_valid/ready` 握手协议输出计算结果。

2 卷积模块设计示意图

卷积模块内部由状态机（FSM）统一调度，采用流水线结构进行乘累加运算。

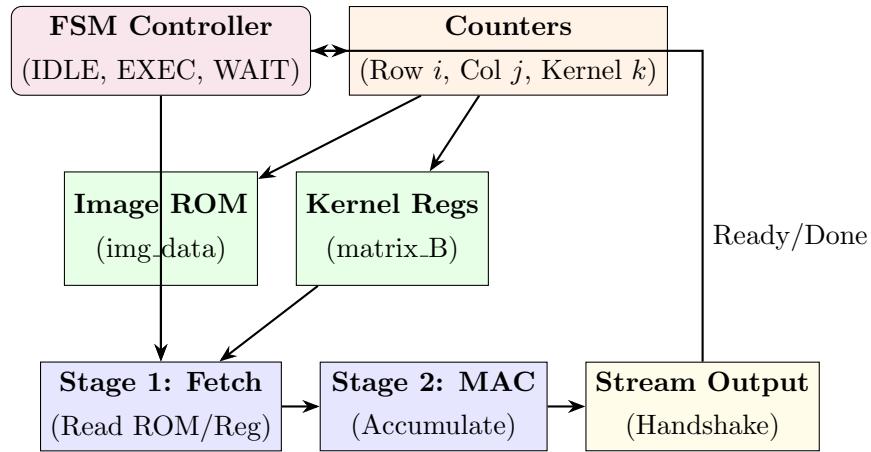


图 2: 卷积模块内部微架构示意图

设计要点：

- **FSM:** 控制计算流程，处理握手暂停。
- **流水线:** 将计算拆分为取数（Fetch）和累加（MAC）两级，优化时序。
- **计数器:** i, j 遍历图像像素， k 遍历卷积核权重。

3 数据流控制方案

系统采用“输出固定（Output Stationary）”的数据流模式，并结合反压机制（Backpressure）确保数据传输的可靠性。

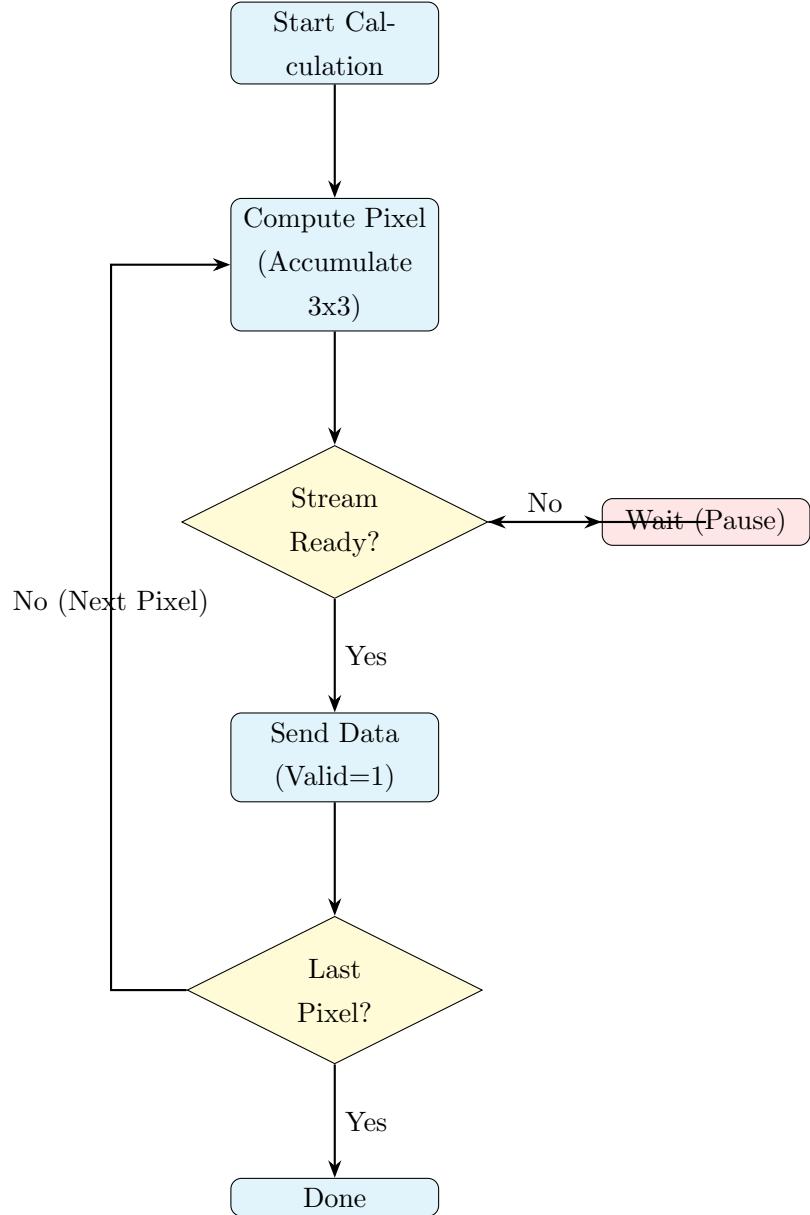


图 3: 数据流与反压控制流程图

控制策略：

- **计算流：**固定一个输出像素，累加完所有权重后才输出。
- **反压机制：**在输出前检查 `stream_ready`。若下游忙（`Ready=0`），FSM 暂停在 `WAIT` 状态，保持数据有效但不发送，防止丢包。

4 性能优化策略

主要采用了流水线 (Pipelining) 和资源复用策略来提升频率并减少资源消耗。

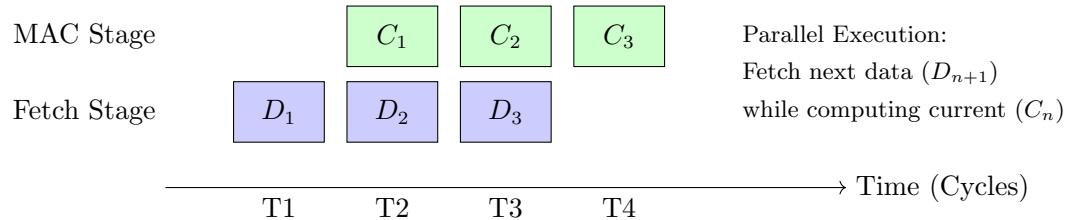


图 4: 流水线优化示意图

优化措施:

- **流水线设计:** 将复杂的乘累加操作拆解。虽然单次计算延迟增加 (Latency)，但缩短了关键路径，提高了系统吞吐率 (Throughput)。
- **资源复用:** 卷积运算复用了矩阵乘法的 DSP 乘法器资源，避免了为卷积单独实例化大量乘法器，节省了 FPGA 面积。