

草稿

# femto

兼容 RISC-V 的轻量级 MCU 软核

[ricyn@foxmail.com](mailto:ricyn@foxmail.com)

2021-10-16

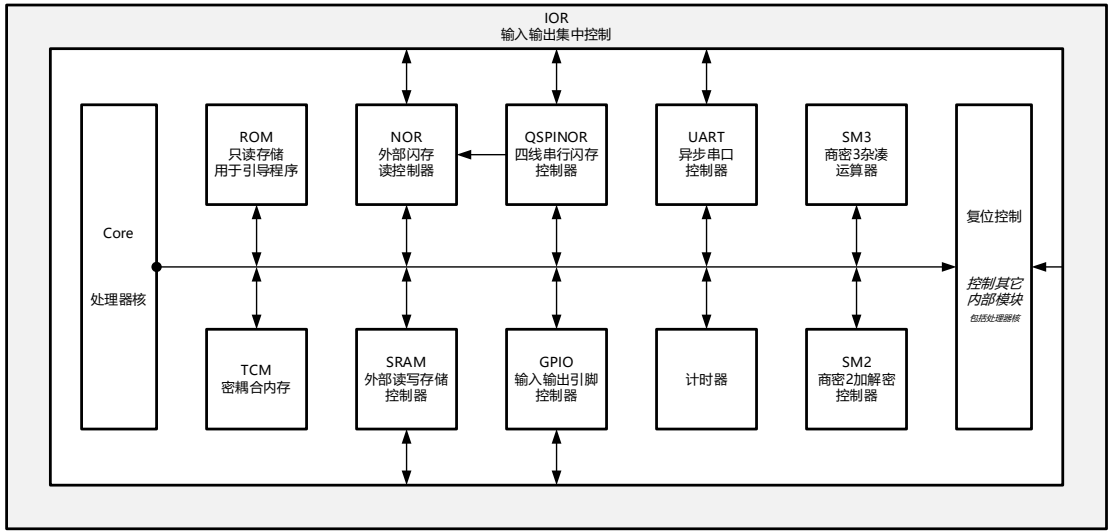
# 概览

femto 是一款兼容 RISC-V 指令的轻量级软核微控制器，可嵌入 FPGA，便于用软件实现一定复杂度的控制逻辑。目前 femto 在 MIT 协议下开源发布。femto 基本特性列表如下：

- 单处理器核
- 可定制的 IP 核
- 内部 32 位单总线
- 同步系统，单个时钟域
- 支持指令预取
- 二级流水线
- RV32EC 指令集，支持 Zfencei 扩展
- 多数指令为单周期指令
- 无中断机制，无高速缓存，尚不支持调试功能
- 内置 MCU 常用 IP 核，便于使用 SRAM/NOR/UART
- 商密硬件加速(待实现)

# 模块说明

femto 的模块框图如下：

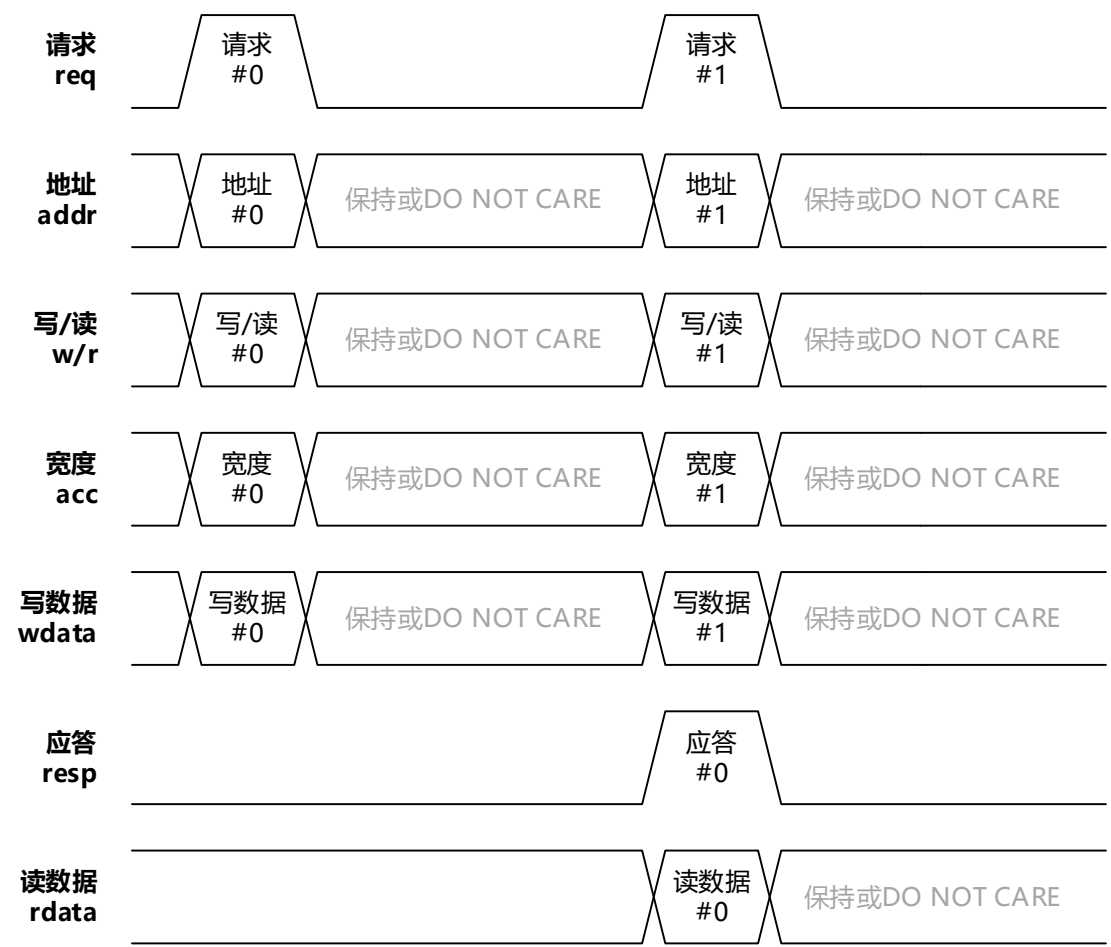


所有内部模块均在统一的时钟下工作。此时中频率应由 femto.vh 中的 **SYSCLK\_FREQ** 反映。femto 实现时需人为确保 **SYSCLK\_FREQ** 正确。

下面会分块介绍 femto 的内部结构。

# 内部总线(Bus)

femto 采用“请求-应答”机制的 32 位内部总线。总线请求只能由 Core 发起，总线应答也均由 Core 处理。总线信号以及时序如下图：

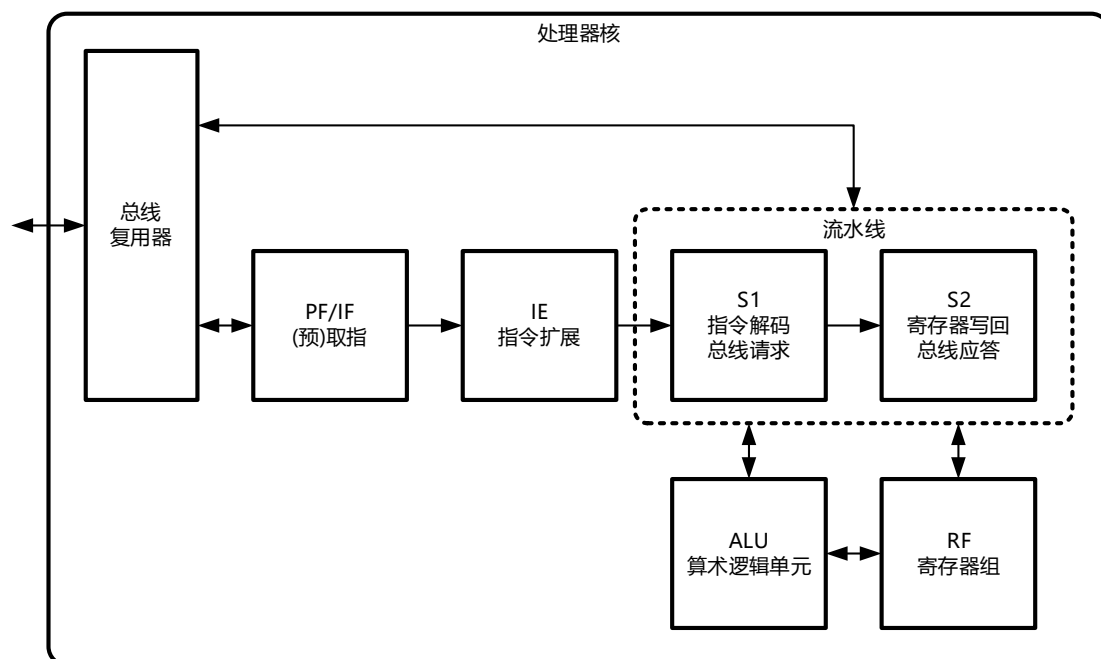


## 提示：总线协议

- req** 和 **resp** 高电平时，每个时钟有效一次。**req** 由 Core 驱动，表示发出总线请求。**resp** 由 IP 核驱动，表示当次总线请求完成。在 **resp** 到来时，下一 **req** 同步发出，提升总线利用率。
- addr**, **w/r**, **acc** 和 **wdata** 为总线请求的控制信号和数据，均由 Core 驱动。
- 每个 IP 核独占一个总线地址区间，总线请求只会被派送到与 **addr** 匹配的 IP 核。如果 **addr** 不对应任何 IP 核，会触发总线错误。femto 最大支持 4GB 地址空间，原则上 femto 总线仅支持对齐访问，例如发起 32 位总线请求时，**addr** 应 4 字节对齐。
  - **w/r** 高电平表示当前总线请求为写请求，反之为读请求。
  - **acc** 用于指定总线请求位宽，支持 8 位(单字节)请求，16 位(双字节)请求以及 32 位(四字节)请求。
  - **wdata** 为写请求 32 位数据，总线写请求时 IP 核需处理 **wdata**，读请求时 IP 核不处理。对于 8 位写请求，Core 只保证 **wdata** 的低 8 位有效，IP 也只应处理低 8 位，依此类推。
- rdata** 是读总线请求的 32 位应答数据，由响应请求的 IP 核驱动。
- 读请求应答时 **rdata** 同时有效，对于 8 位请求，IP 只需保证 **rdata** 的低 8 位有效，同时 Core 也只需处理低 8 位，依此类推。

## 处理器核(Core)

处理器核的结构框图如下：



为了简化 IP 核的总线接口，femto Core 分时复用总线，完成指令请求(取指)和数据请求(读写)。

## 内部只读存储器(ROM)

Core 可以经由内部总线直接读取 ROM。ROM 与 Core/Bus 运行在同一频率下，因此对 ROM 的访问仅需一个时钟即可完成。

此 IP 核无寄存器，总线地址由 femto.vh 中的 **ROM\_ADDR** 指定，典型值 0x00000000。

ROM 一般用于存储系统引导程序(Bootloader)，ROM 的内容在 femto 实现时已经由 rom.vh 指定。

## 内部密耦合存储器(TCM)

Core 可以经由内部总线直接读写 TCM。TCM 与 Core/Bus 运行在同一频率下，因此对 TCM 的访问仅需一个时钟即可完成。

此 IP 核无寄存器，总线地址由 femto.vh 中的 **TCM\_ADDR** 指定，典型值 0x10000000。

## 外部存储(SRAM)控制器

SRAM 控制器支持访问外部异步 SRAM。通过此控制器，Core 可以经由内部总线读写外部 SRAM。

此 IP 核无寄存器，总线地址由 femto.vh 中的 **SRAM\_ADDR** 指定，典型值 0x20000000。

## 外部闪存(NOR)读控制器

NOR 读控制器支持常见的 Quad SPI Serial NOR 产品。此控制器将内部读外部 NOR 的总线请求映射到片选，串行时钟和 4 位数据信号上。

此 IP 核无寄存器，总线地址由 femto.vh 中的 **NOR\_ADDR** 指定，典型值 0x30000000。

此控制器与后文的 QSPINOR 控制器实质上为同一个模块，需要正确配置 QSPINOR 控制器内的相应寄存器才可使用 NOR 读控制器。

## 通用输入输出引脚(GPIO)控制器

GPIO 控制器可以驱动或读取 femto 的对外引脚,可以控制最多 32 个引脚。实际控制的引脚数由 femto.vh 中的 **GPIO\_WIDTH** 指定，典型值 4。

此 IP 核需通过寄存器使用，寄存器总线地址由 femto.vh 中的 **GPIO\_ADDR** 指定，典型值 0x40000000。寄存器定义如下：

寄存器	偏移地址	位宽	访问权限	注释
<b>D</b>	0x0	32	读写	引脚电平(读取/设置)
<b>DIR</b>	0x4	32	读写	引脚方向(输入/输出)

### ● D

位	31	...	0
读功能	输入状态:读取引脚 31 电平 输出状态:读取引脚 31 输出电平设置值	...	输入状态:读取引脚 0 电平 输出状态:读取引脚 0 输出电平设置值
写功能	输入状态:无作用 输出状态:设置引脚 31 输出电平	...	输入状态:无作用 输出状态:设置引脚 0 输出电平

### ● DIR

位	31	...	0
读功能	0:引脚 31 为输入引脚	...	0:引脚 0 为输入引脚
写功能	1:引脚 31 为输出引脚	...	1:引脚 0 为输出引脚

## 异步串口(UART)控制器

UART 控制器采用固定波特率。其波特率由 femto.vh 中的 **UART\_BAUD** 指定，典型值 57600。UART 控制器中有发送/接收 FIFO，其深度均由 femto.vh 中的 **UART\_FIFO\_DEPTH** 指定，典型值 8。

此 IP 核需通过寄存器使用，寄存器总线地址由 femto.vh 中的 **UART\_ADDR** 指定，典型值 0x50000000。寄存器定义如下：

寄存器	偏移地址	位宽	访问权限	注释
<b>TXD</b>	0x0	8	只写	发送数据
<b>RXD</b>	0x1	8	只读	接收数据
<b>TXQSR</b>	0x2	8	只读	发送 FIFO 状态
<b>RXQCSR</b>	0x3	8	读写	接收 FIFO 控制与状态

### ● TXD

位	7~0
读功能	N/A
写功能	待发送字节。若发送 FIFO 已满，写此寄存器会被忽略。

### ● RXD

位	7~0
读功能	已接收字节。若接收 FIFO 为空，此寄存器值未定义。
写功能	N/A

#### ● TXQSR

位	7~1	0
读功能	N/A	0:发送 FIFO 已满/不可写 1:发送 FIFO 未满/可写
写功能		N/A

#### ● RXQCSR

位	7~2	1	0
读功能	N/A	N/A	0:接收 FIFO 为空/不可读 1:接收 FIFO 非空/可读
写功能		1:清空接收 FIFO 0:无作用	N/A

## 四线同步闪存(QSPINOR)控制器

QSPINOR 控制器与 NOR 控制器实质上是同一个 IP 核，但是与 NOR 读控制器“总线直接读取 NOR”不同，QSPINOR 通过寄存器实现对 NOR 的访问。另外 QSPINOR 控制器可以实现灵活的读/写/擦等一般访问，而 NOR 读控制器只允许读访问。

此 IP 核的寄存器总线地址由 femto.vh 中的 **QSPINOR\_ADDR** 指定，典型值 0x60000000。

寄存器定义如下：

寄存器	偏移地址	位宽	访问权限	注释
IPCSR	0x0	16	读写	NOR 访问命令
TXD	0x2	8	只写	发送数据
RXD	0x3	8	只读	接收数据
TXQCSR	0x4	8	读写	接收 FIFO 控制与状态
RXQCSR	0x5	8	读写	发送 FIFO 控制与状态
NORCSR	0x6	16	读写	NOR 读控制器控制与状态

#### ● IPCSR

写 IPCSR 会触发 QSPINOR 控制器与外部 NOR 交互。本小节视这一过程为一次“IPCSR 命令执行”。

位	15~12	11~8	7~6	5
读功能	N/A	N/A	N/A	N/A
写功能	输出信号值，仅在输出占位周期时有效  12 位:SIO[0]输出电平 ... 15 位:SIO[3]输出电平	命令动作重复次数	0:单线模式 1:双线模式 2:四线模式 其它:未定义	0:此命令为数据交互 1:此命令为占位周期
位	4	3~2	1	0

读功能	N/A	N/A	0:无命令正在执行 1:前一命令正在执行	0:命令结束，片选关停 1:命令执行，片选有效
写功能	0:数据输入命令 1:数据输出命令		N/A	

此寄存器的定义较为复杂，这里给出一些命令示例：

单线发出 1 字节(可用于发出 NOR 指令字)	写值 0x0111
双线发出 3 字节(可用于发出 NOR 地址)	写值 0x0351
四线连续读取，直到接收 FIFO 满	写值 0x0081
四线连续发送，直到发送 FIFO 空	写值 0x0091
双线读取 4 字节	写值 0x0441
4 个占位周期，期间数据线对外呈输入态	写值 0x0421
16 个占位周期，期间数据线对外呈输入态	写值 0x0021
1 个占位周期，期间数据线[1:0]对外输出 b10	写值 0x2171
关停片选信号	写值 0x0000
查看命令执行状态	读 IPCSR，第 0 位表示片选有效与否，第 1 位表示是否有命令正在执行

大多数对 QSPINOR 控制器的总线请求会在一个时钟周期后得到应答，只有一个例外：连续写 IPCSR 命令时，如果前一命令尚未完成，QSPINOR 控制器会保存第二次 IPCSR 并挂起总线，待到前一命令执行完成，放开总线并自动继续执行第二条命令。这种方式被视为“阻塞模式”。

如需避免总线挂起，应在写 IPCSR 之前读取并确认 IPCSR[1]为 0。这种方式被视为“非阻塞模式”。

通过组合多个命令，可以实现一个完整的 NOR 访问指令。如“0x0111 0x0351 0x0141 0x0000”命令序列可以实现典型的 SPI NOR 单线读字节指令。相邻命令之间往往会出现空闲间隙，间隙中串行 SPI 时钟暂停。

#### 提示：连续 NOR 访问

灵活使用 QSPINOR 控制器可以实现对 NOR 的连续访问，从而提升大数据量访问的效率。在 IPCSR[11:8]为 0 时，读(写)命令会持续到接收(发送)FIFO 满(空)。利用这一特性，Core 可在发起连续读(写)后持续读取(写入)FIFO，从而实现大量数据的喷发式接收(发送)。
原则上 QSPINOR 控制器支持这种用法，但是尚未就此专门优化。

#### ● TXD

位	7~0
读功能	N/A
写功能	待发送字节。若发送 FIFO 已满，写此寄存器会被忽略。

#### ● RXD

位	7~0
读功能	已接收字节。若接收 FIFO 为空，此寄存器值未定义。
写功能	N/A

#### ● TXQCSR

位	7~2	1	0
读功能	N/A	N/A	0:发送 FIFO 已满/不可写 1:接收 FIFO 未滿/可写

写功能		1:清空发送 FIFO 0:无作用	N/A
-----	--	----------------------	-----

● RXQCSR

位	7~2	1	0
读功能	N/A	N/A	0:接收 FIFO 为空/不可读 1:接收 FIFO 非空/可读
写功能		1:清空接收 FIFO 0:无作用	N/A

● NORCSR

此寄存器用于配置 NOR 读控制器的工作模式。只有正确配置此寄存器 NOR 读控制器才能正常工作。

位	15~8	7~4	3	2~0
读功能	NOR 指令字	占位周期数	0:占位周期期间串行数据为输入态 1:占位周期期间串行数据输出低电平	0:1-1-1 模式 1:1-1-2 模式 2:1-1-4 模式 3:1-2-2 模式 4:1-4-4 模式 5:2-2-2 模式 6:4-4-4 模式 其它:未定义
写功能				

## 计时器

计时器可以为软件提供较为准确的计时功能。计时时钟由全局时钟分频得到，分频倍率为由 femto.vh 中的 **TMR\_DIV** 指定，故而计时时钟频率为 **SYSCLK\_FREQ/TMR\_DIV**。**TMR\_DIV** 的典型值是 24。

此 IP 核需通过寄存器使用，寄存器总线地址由 femto.vh 中的 **TMR\_ADDR** 指定，典型值 0x70000000。

寄存器定义如下：

寄存器	偏移地址	位宽	访问权限	注释
TR	0x0	32	读写	计时器计数值

● TR

位	31~0
读功能	计时器实时计数值
写功能	

TR 寄存器非 0 时，每个计时时钟自减 1，直至自减到 0 为止。读取 TR 可以获得当前计数值。TR 寄存器随时可写。

## 商密 2(SM2)加解密核

TBD



# 商密 3(SM3)杂凑算术核

TBD

## 复位控制器

复位控制器提供 femto 内部各个时序逻辑的复位功能。外部输入复位信号(低电平有效)可以触发全局复位, Core 也可通过此 IP 核实现软件复位。

此 IP 核需要通过寄存器使用, 寄存器总线地址由 femto.vh 中的 **RST\_ADDR** 定义, 典型值 0xf0000000。寄存器定义如下:

寄存器	偏移地址	位宽	访问权限	注释
<b>RST</b>	0x0	8	只写	复位控制

● **RST**

<b>位</b>	<b>7~0</b>
<b>读功能</b>	N/A
<b>写功能</b>	0:触发全局复位 1:复位目标模块 0 ... 255:复位目标模块 254

目前各个复位目标模块在 femto.v 中指定, 建议在 femto.vh 中记录各个目标模块。典型的目标模块定义如下:

复位目标	注释
0	复位处理器核心
1	复位 ROM 控制器(不推荐使用)
2	复位 TCM 控制器
3	复位 SRAM 控制器
4	复位 NOR 读控制器
5	复位 GPIO 控制器
6	复位 UART 控制器
7	复位 QSPINOR 控制器
8	复位计时器

## 输入输出环(I/O Ring)

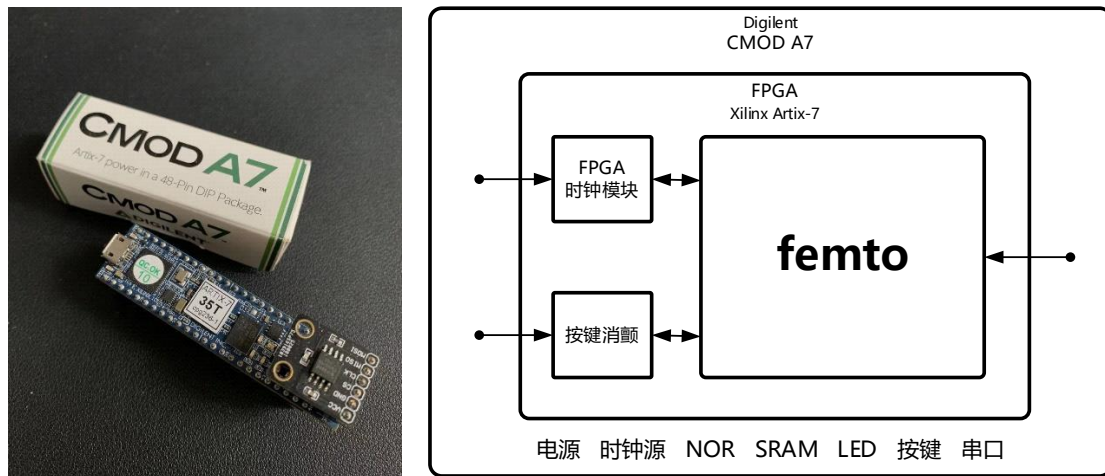
I/O Ring 统一控制对 femto 外信号的输入/输出方向。

## 开发与运行

目前 femto 的开发主要需要两款工具软件:

gcc version 8.3.0 (xPack GNU RISC-V Embedded GCC, 32-bit)
Xilinx Vivado v2018.2 (64-bit)
SW Build: 2258646 on Thu Jun 14 20:03:12 MDT 2018

femto 可以在实体硬件上运行，其运行平台如下图所示：



## 系统引导(Boot)

### 闪存引导

### 串口引导

### 闪存写入工具(Flash loader)

## 软件开发包(SDK)

软件开发包封装了对软件对 femto 寄存器的操作并抽象出常用的函数。SDK 可以简化、加速软件开发，避免或减少软件开发过程中的问题。