

PETUNJUK PRAKTIKUM

Praktikum Sistem Digital



**Laboratorium Dasar
Teknik Elektro**

**Sekolah Teknik Elektro Dan Informatika
Institut Teknologi Bandung
2024**

Buku Petunjuk
Praktikum Sistem Digital
EL 2102
Percobaan III
Rangkaian Logika Sekuensial

v.1.0

Mervin T. Hutabarat

Arif Sasongko

Eric Agustian

Harry Septanto

M. Zakiyullah R.

Ardimas Andi Purwita

Nina Lestari

Sekolah Teknik Elektro Dan Informatika
Institut Teknologi Bandung
2024

DAFTAR ISI

RIWAYAT DOKUMEN.....	III
ATURAN LABORATORIUM.....	IV
ATURAN UMUM LABORATORIUM	IV
KELENGKAPAN	IV
PERSIAPAN.....	IV
PERGANTIAN JADWAL.....	V
SANKSI	V
PANDUAN UMUM KESELAMATAN DAN PENGGUNAAN PERALATAN LABORATORIUM.....	VI
KESELAMATAN.....	VI
BAHAYA LISTRIK.....	VI
BAHAYA BENDA TAJAM DAN LOGAM.....	VII
LAIN-LAIN	VII
PENGGUNAAN PERALATAN PRAKTIKUM.....	VII
SANKSI	VII
TABEL SANKSI PRAKTIKUM.....	VIII
RANGKAIAN LOGIKA SEKUENSIAL	10
1.1 TUJUAN	10
1.2 PERSIAPAN	10
CATATAN	10
1.3 DASAR TEORI	10
1.4 TUGAS PENDAHULUAN.....	12
1.5 PERCOBAAN	16
PERALATAN YANG DIGUNAKAN.....	16
PERCOBAAN 3: IMPLEMENTASI DESAIN FSM PADA FPGA	16
1.6 MENGAKHIRI PERCOBAAN.....	17
APENDIKS.....	18
DE10-LITE FPGA BOARD	18
PIN ASSIGNMENT OF SLIDE SWITCHES	19
PIN ASSIGNMENT OF CLOCK	20
PIN ASSIGNMENT OF PUSH BUTTON	21
PIN ASSIGNMENT OF LEDS	22
PIN ASSIGNMENT OF 7-SEGMENT DISPLAYS.....	23
CONTOH PEMBERIAN COMMENT PADA VHDL.....	25
TEST VECTOR MESIN PENGHITUNG MODULO	26

RIWAYAT DOKUMEN

VERSI	TANGGAL	CATATAN PERUBAHAN
1.0	21 oktober 2024	Pembuatan dokumen.

ATURAN LABORATORIUM

ATURAN UMUM LABORATORIUM

KELENGKAPAN

Setiap praktikan wajib berpakaian lengkap, mengenakan **celana panjang/ rok, kemeja** dan mengenakan **sepatu**. Untuk memasuki ruang laboratorium Praktikan wajib membawa kelengkapan berikut:

- Modul praktikum
- Buku Catatan Laboratorium (BCL)
- Alat tulis (dan kalkulator, jika diperlukan)
- *Name tag*
- Kartu Praktikum

PERSIAPAN

SEBELUM PRAKTIKUM

Sebelum mengikuti percobaan sesuai jadwalnya, sebelum memasuki laboratorium praktikan harus mempersiapkan diri dengan melakukan hal-hal berikut:

- Membaca dan memahami isi modul praktikum,
- Mengerjakan Tugas Pendahuluan
- Mengerjakan hal-hal yang harus dikerjakan sebelum praktikum dilaksanakan, misalnya mengerjakan perhitungan-perhitungan, menyalin source code, mengisi Kartu Praktikum dlsb.,
- Mengisi daftar hadir di Tata Usaha Laboratorium,
- Mengambil kunci loker dan melengkapi administrasi peminjaman kunci loker dengan meninggalkan kartu identitas (KTM/ SIM/ KTP).

SELAMA PRAKTIKUM

Setelah dipersilahkan masuk dan menempati bangku dan meja kerja, praktikan haruslah:

- Memperhatikan dan mengerjakan setiap percobaan dengan waktu sebaik-baiknya, diawali dengan kehadiran praktikan secara tepat waktu,
- Mengumpulkan Kartu Praktikum pada asisten,
- Mendokumentasikan dalam Buku Catatan Laboratorium. (lihat Petunjuk Penggunaan BCL) tentang hal-hal penting terkait percobaan yang sedang dilakukan.

SETELAH PRAKTIKUM

- Memastikan BCL telah ditandatangani oleh asisten,
- Mengembalikan kunci loker dan melengkapi administrasi pengembalian kunci loker (pastikan kartu identitas KTM/ SIM/ KTP diperoleh kembali),
- Mengerjakan laporan dalam bentuk SoftCopy (lihat Panduan Penyusunan Laporan di laman <https://ldte.stei.itb.ac.id/panduan/>)),

- Mengirimkan file laporan dengan cara mengunggah di laman <https://praktikum.stei.itb.ac.id>. Waktu pengiriman paling lambat jam 11.00 WIB, dua hari kerja berikutnya setelah praktikum, kecuali ada kesepakatan lain antara Dosen Pengajar dan/ atau Asisten.

PERGANTIAN JADWAL

KASUS BIASA

Pertukaran jadwal hanya dapat dilakukan per orang dengan modul yang sama. Langkah untuk menukar jadwal adalah sebagai berikut:

Lihatlah format Pertukaran Jadwal di <https://ldte.stei.itb.ac.id/panduan/> pada halaman Panduan

- Salah satu praktikan yang bertukar jadwal harus mengirimkan e-mail ke labdasar@stei.itb.ac.id . Waktu pengiriman paling lambat jam 16.30, sehari sebelum praktikum yang dipertukarkan
- Pertukaran diperbolehkan setelah ada email konfirmasi dari Lab. Dasar

KASUS SAKIT ATAU URUSAN MENDESAK PRIBADI LAINNYA

Jadwal pengganti dapat diberikan kepada praktikan yang sakit atau memiliki urusan mendesak pribadi.

- Praktikan yang hendak mengubah jadwal untuk urusan pribadi mendesak harus memberitahu staf tata usaha laboratorium sebelum jadwal praktikumnya melalui email.
- Segera setelah praktikan memungkinkan mengikuti kegiatan akademik, praktikan dapat mengikuti praktikum pengganti setelah mendapatkan konfirmasi dari staf tata usaha laboratorium dengan melampirkan surat keterangan dokter bagi yang sakit atau surat terkait untuk yang memiliki urusan pribadi.

KASUS "KEPENTINGAN MASSAL"

"Kepentingan massal" terjadi jika ada lebih dari 1/3 rombongan praktikan yang tidak dapat melaksanakan praktikum pada satu hari yang sama karena alasan yang terkait kegiatan akademis.

SANKSI

Pengabaian aturan-aturan di atas dapat dikenakan sanksi pengurangan nilai praktikum terkait.

KESELAMATAN

Pada prinsipnya, untuk mewujudkan praktikum yang aman diperlukan partisipasi seluruh praktikan dan asisten pada praktikum yang bersangkutan. Dengan demikian, kepatuhan setiap praktikan terhadap uraian panduan pada bagian ini akan sangat membantu mewujudkan praktikum yang aman.

BAHAYA LISTRIK

- Perhatikan dan pelajari tempat-tempat sumber listrik (*stop-kontak* dan *circuit breaker*) dan cara menyala-matikannya. Jika melihat ada kerusakan yang berpotensi menimbulkan bahaya, laporkan pada asisten
- Hindari daerah atau benda yang berpotensi menimbulkan bahaya listrik (*sengatan listrik/ strum*) secara tidak disengaja, misalnya kabel jala-jala yang terkelupas dll.
- Tidak melakukan sesuatu yang dapat menimbulkan bahaya listrik pada diri sendiri atau orang lain
- Keringkan bagian tubuh yang basah karena, misalnya, keringat atau sisa air wudhu
- Selalu waspada terhadap bahaya listrik pada setiap aktivitas praktikum

Kecelakaan akibat bahaya listrik yang sering terjadi adalah tersengat arus listrik. Berikut ini adalah hal-hal yang harus diikuti praktikan jika hal itu terjadi:

- Jangan panik
- Matikan semua peralatan elektronik dan sumber listrik di meja masing-masing dan di meja praktikan yang tersengat arus listrik
- Bantu praktikan yang tersengat arus listrik untuk melepaskan diri dari sumber listrik
- Beritahukan dan minta bantuan asisten, praktikan lain dan orang di sekitar anda tentang terjadinya kecelakaan akibat bahaya listrik

BAHAYA API ATAU PANAS BERLEBIH

- Jangan membawa benda-benda mudah terbakar (*korek api, gas dll.*) ke dalam ruang praktikum bila tidak disyaratkan dalam modul praktikum
- Jangan melakukan sesuatu yang dapat menimbulkan api, percikan api atau panas yang berlebihan
- Jangan melakukan sesuatu yang dapat menimbulkan bahaya api atau panas berlebih pada diri sendiri atau orang lain
- Selalu waspada terhadap bahaya api atau panas berlebih pada setiap aktivitas praktikum

Berikut ini adalah hal-hal yang harus diikuti praktikan jika menghadapi bahaya api atau panas berlebih:

- Jangan panik
- Beritahukan dan minta bantuan asisten, praktikan lain dan orang di sekitar anda tentang terjadinya bahaya api atau panas berlebih
- Matikan semua peralatan elektronik dan sumber listrik di meja masing-masing
- Menjauh dari ruang praktikum

BAHAYA BENDA TAJAM DAN LOGAM

- Dilarang membawa benda tajam (pisau, gunting dan sejenisnya) ke ruang praktikum bila tidak diperlukan untuk pelaksanaan percobaan
- Dilarang memakai perhiasan dari logam misalnya cincin, kalung, gelang dll.
- Hindari daerah, benda atau logam yang memiliki bagian tajam dan dapat melukai
- Tidak melakukan sesuatu yang dapat menimbulkan luka pada diri sendiri atau orang lain

LAIN-LAIN

- Dilarang membawa makanan dan minuman ke dalam ruang praktikum

PENGUNAAN PERALATAN PRAKTIKUM

Berikut ini adalah panduan yang harus dipatuhi ketika menggunakan alat-alat praktikum:

- Sebelum menggunakan alat-alat praktikum, pahami petunjuk penggunaan alat itu. Petunjuk penggunaan beberapa alat dapat didownload di <http://labdasar.ee.itb.ac.id>
- Perhatikan dan patuhi peringatan (*warning*) yang biasa tertera pada badan alat
- Pahami fungsi atau peruntukan alat-alat praktikum dan gunakanlah alat-alat tersebut hanya untuk aktivitas yang sesuai fungsi atau peruntukannya. Menggunakan alat praktikum di luar fungsi atau peruntukannya dapat menimbulkan kerusakan pada alat tersebut dan bahaya keselamatan praktikan
- Pahami *rating* dan jangkauan kerja alat-alat praktikum dan gunakanlah alat-alat tersebut sesuai *rating* dan jangkauan kerjanya. Menggunakan alat praktikum di luar *rating* dan jangkauan kerjanya dapat menimbulkan kerusakan pada alat tersebut dan bahaya keselamatan praktikan
- Pastikan seluruh peralatan praktikum yang digunakan aman dari benda/ logam tajam, api/ panas berlebih atau lainnya yang dapat mengakibatkan kerusakan pada alat tersebut
- Tidak melakukan aktifitas yang dapat menyebabkan kotor, coretan, goresan atau sejenisnya pada badan alat-alat praktikum yang digunakan

SANKSI

Pengabaian uraian panduan di atas dapat dikenakan sanksi tidak lulus mata kuliah praktikum yang bersangkutan

TABEL SANKSI PRAKTIKUM

Berlaku mulai: 14 Agustus 2017

Level	Waktu	Kasus	Sanksi	Pengurangan nilai per modul
Akademik	Saat dan setelah praktikum	Semua kegiatan plagiasi (mencontek): tugas pendahuluan, test dalam praktikum, laporan praktikum	Gugur praktikum	
		Sengaja tidak mengikuti praktikum		
Berat	Saat praktikum	Tidak hadir praktikum	Gugur modul	
		Terlambat hadir praktikum		
		Pakaian tidak sesuai: kemeja, sepatu		
		Tugas pendahuluan tidak dikerjakan/hilang/tertinggal		
Ringan	Saat Praktikum	Pertukaran jadwal tidak sesuai aturan/ketentuan		-25 nilai akhir
		Tidak mempelajari modul sebelum praktikum/tidak mengerti isi modul	Dikeluarkan dari praktikum	-25 nilai akhir
		BCL tertinggal/hilang		-100% nilai BCL
		Name Tag tertinggal/hilang		-10 nilai akhir
		Kartu praktikum tertinggal/hilang		-25 nilai akhir
		Kartu praktikum tidak lengkap data dan foto		-10 nilai akhir
		Loker tidak dikunci/kunci tertinggal		-10 nilai akhir

	Setelah Praktikum	Tidak ada paraf asisten di BCL/kartu praktikum		-25 nilai akhir
		Terlambat mengumpulkan laporan		-1/min nilai akhir, maks -50
		Terlambat mengumpulkan BCL		-1/min nilai BCL, maks -50
		Tidak bawa kartu praktikum saat pengumpulan BCL		-50 nilai BCL
		Tidak minta paraf admin saat pengumpulan BCL		-50 nilai BCL

Catatan:

1. Pelanggaran akademik menyebabkan gugur praktikum, nilai praktikum E
2. Dalam satu praktikum, praktikan maksimal boleh melakukan
 - a. 1 pelanggaran berat dan 1 pelanggaran ringan; atau
 - b. 3 pelanggaran ringan
3. Jika jumlah pelanggaran melewati point 2, praktikan dianggap gugur praktikum.
4. Praktikan yang terkena sanksi gugur modul wajib mengganti praktikum pada hari lain dengan nilai modul tetap 0. Waktu pengganti praktikum ditetapkan bersama asisten. Jika praktikan tidak mengikuti ketentuan praktikum (pengganti) dengan baik, akan dikenakan sanksi gugur praktikum.
5. Setiap pelanggaran berat dan ringan dicatat/diberikan tanda di kartu praktikum
6. Waktu acuan adalah waktu sinkron dengan NIST
7. Sanksi yang tercantum di tabel adalah sanksi minimum.
8. Sanksi yang belum tercantum akan ditentukan kemudian.

RANGKAIAN LOGIKA SEKUENSIAL

1.1 TUJUAN

1. Mendesain sekuensial rangkaian untuk implementasi didalam FPGA.
2. Mengenal dan memahami cara menggunakan hierarki dalam desain rangkaian
3. Mengenal dan memahami cara menggunakan FPGA sebagai prototype system untuk memverifikasi fungsi rangkaian.

1.2 PERSIAPAN

Pelajari kembali bahan kuliah Anda mengenai rangkaian logika sekuensial. Pelajari juga keseluruhan petunjuk praktikum untuk modul rangkaian logika sekuensial ini. Kerjakan **tugas pendahuluan** dan kumpulkan sesuai ketentuan yang berlaku.

CATATAN

Untuk seluruh percobaan 3 ini, jika Anda menggunakan design skematik sesuai yang tertera di modul, maka nilai maksimal yang bisa Anda dapatkan adalah 75. Jika Anda menggunakan VHDL, maka nilai maksimal yang Anda dapatkan adalah 100. Code VHDL telah dipersiapkan praktikan sebelum praktikum. Jika ada pelanggaran berupa copy paste sebagian atau seluruh code VHDL, praktikan dikenai sanksi nilai nol dan/atau tidak lulus praktikum. Nilai tambah akan diberikan jika praktikan menggunakan simulator Modelsim®.

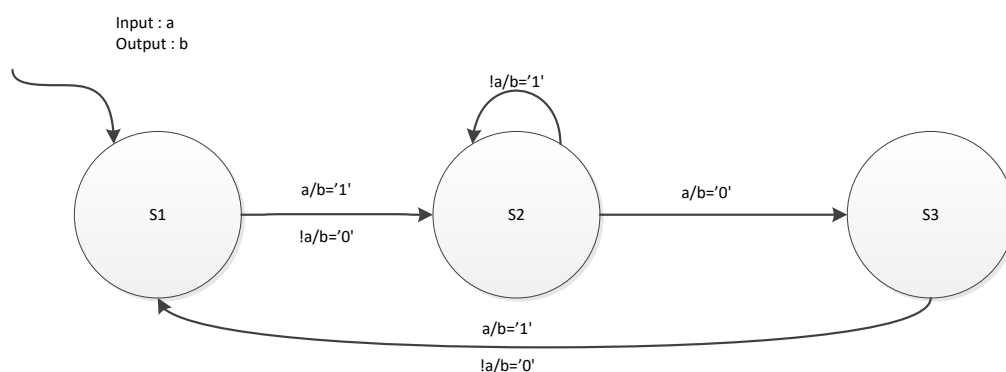
1.3 DASAR TEORI

Pada praktikum sebelumnya praktikan telah merancang rangkaian kombinasional. Pada praktikum kali ini praktikan akan mencoba merancang rangkaian sekuensial. Perbedaan mendasar rangkaian kombinasional dengan rangkaian sekuensial adalah ada tidaknya memori statenya. Keluaran rangkaian sekuensial bergantung pada state dan bergantung pada masukannya (rangkaian Mealy) atau hanya bergantung pada statenya (rangkaian Moore).

Terdapat beberapa model yang digunakan untuk membantu merancang rangkaian sekuensial. Salah satunya yang paling banyak digunakan adalah Finite State Machine (FSM). Dinamakan FSM karena jumlah state yang mungkin terbatas dan rangkaian sekuensial bekerja mirip dengan mesin yang beroperasi dengan urutan state.

Level abstraksi perancangan FSM pun bertingkat-tingkat. Pada praktikum kali ini disarankan menggunakan level abstraksi behavioral. Pada perancangan dengan level ini, sebelum mengimplementasikan menggunakan VHDL, praktikan cukup membuat state diagram atau flow chart transisi statenya. Pada praktikum kali ini akan dicontohkan cara membuat FSM dengan menggunakan state diagram. Komponen-komponen yang harus ada pada state diagram adalah deklarasi input dan output, definisi state, transisi, dan keluarannya.

Gambar di bawah adalah contoh gambar state diagram FSM Mealy dan implementasinya dalam VHDL.



```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
USE ieee.std_logic_unsigned.all;

ENTITY FSM IS
PORT (
    clk : IN STD_LOGIC;
    rst : IN STD_LOGIC;
    a   : IN STD_LOGIC;
    b   : OUT STD_LOGIC
);
END FSM;

ARCHITECTURE behavioral OF FSM IS

    TYPE executionStage IS (s1,s2,s3);
    SIGNAL currentstate, nextstate: executionStage;

BEGIN

    PROCESS
    BEGIN
        WAIT UNTIL( clk'EVENT ) AND ( clk = '1' );
        IF ( rst = '0' ) THEN
            currentstate <= s1;
        ELSE
            currentstate <= nextstate;
        END IF;
    END PROCESS;

    PROCESS(a,currentstate)
    BEGIN
    CASE currentstate IS
        WHEN s1 =>
            IF ( a = '1' ) THEN
                b <= '1';
            ELSE
                b <= '0';
            END IF;

            nextstate <= s2;

        WHEN s2 =>
            IF ( a = '1' ) THEN
                b <= '1';
                nextstate <= s3;
            ELSE
                b <= '0';
                nextstate <= currentstate;
            END IF;

        WHEN s3 =>
            IF ( a = '1' ) THEN
                b <= '1';
            ELSE
                b <= '0';
            END IF;

            nextstate <= s1;

    END CASE;
    END PROCESS;
END behavioral;

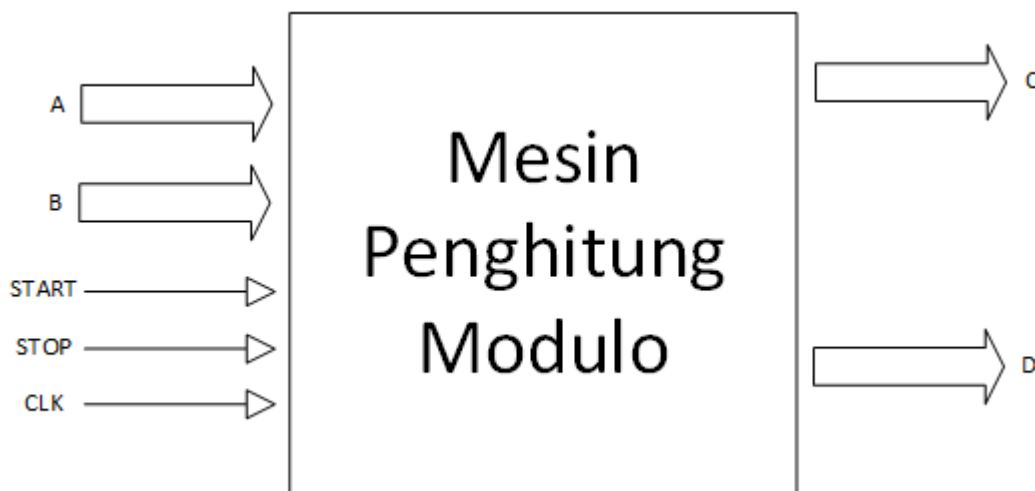
```

1.4 TUGAS PENDAHULUAN

Tugas 1. Buatlah FSM + Data Path dari studi kasus di bawah ini dan lakukan simulasinya di rumah masing-masing (kerjakan dengan partner praktikum anda)! Lakukan juga simulasi jika masukan STOP diberikan saat proses perhitungan sedang berjalan.

Bawalah bukti *script*, gambar FSM (dalam bentuk state diagram), dan hasil simulasi (dalam bentuk file vwf simulator quartus atau wlf modelsim) yang telah dibuat pada saat praktikum.

Sebuah mesin mampu melakukan perhitungan pembagian dua buah bilangan dan menampilkan hasilnya. Mesin akan bekerja ketika pengguna memberikan perintah mulai. Mesin melakukan perhitungan modulo dengan metode pengurangan secara iteratif. Ketika perhitungan selesai, hasil modulo dan jumlah iterasi ditampilkan. Pengguna memberikan perintah Stop untuk mengembalikan mesin ke keadaan awal.



Gambar 1 Mesin Penghitung Modulo

Masukan mesin berupa bilangan biner A dan B berukuran 4bit, dimana $A \geq 0$ dan $B > 0$. Luaran mesin berupa bilangan biner C dan D, dimana C merupakan nilai hasil perhitungan ($A \bmod B$) serta D merupakan jumlah iterasi pengurangan yang dilakukan oleh mesin. *Pseudocode* fungsi perhitungan modulo dan jumlah iterasi dapat dilihat pada Gambar 2.

```
C = 0;
D = 0;
While ( A >= B) do
{
    A = A - B;
    D++;
}
C = A;
```

Gambar 2 Pseudocode Fungsi Perhitungan

Pada mesin ini terdapat dua bagian, FSM dan Data Path. FSM berfungsi untuk mengatur Data Path supaya bekerja sesuai dengan algoritma yang telah ditentukan. Data Path terdiri dari blok – blok fungsi yang dijelaskan pada Tabel 1.

Tabel 1 Blok Fungsi Pembangun Data Path

Blok Fungsi	Keterangan
Register A	Menyimpan nilai A (4bit unsigned int)
Register B	Menyimpan nilai B (4bit unsigned int)
Subtractor AB	Melakukan pengurangan nilai A dengan nilai B. Operasi: $A - B$.
Comparator AB	Melakukan perbandingan nilai A dengan B. Akan memberikan luaran FLAG bernilai 1 jika $A < B$.
Counter	Melakukan penghitungan jumlah iterasi operasi pengurangan. Dimulai dari 0. Counter akan naik jika nilai En = 1.
Multiplexer 2to1	Memilih masukan ke Register A. Selector = 0, maka nilai A menjadi masukan Register A. Selector = 1, maka nilai hasil Subtractor menjadi masukan Register A.

Contoh kode VHDL untuk blok fungsi pembangun ini dapat diunduh di MS Teams Kuliah Praktikum. Kalian dapat menggunakan kode VHDL tersebut untuk membuat tugas pendahuluan ini.

Rancangan mesin penghitung modulo dapat dilihat pada Gambar 3.

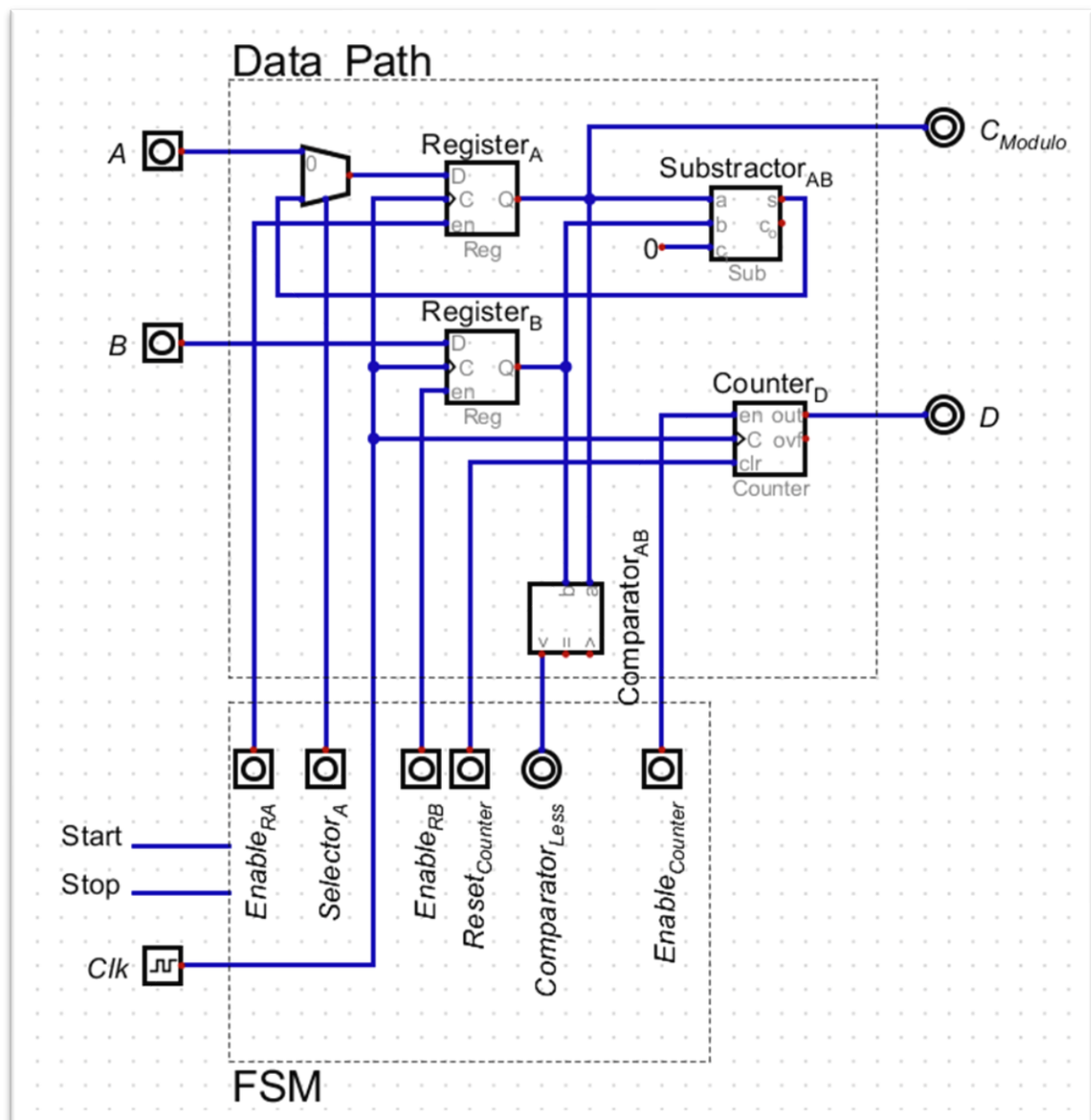
Masukan dan luaran FSM dijelaskan pada Tabel 2 dan Tabel 3.

Tabel 2 Masukan FSM

Masukan	Keterangan
START	Perintah dari pengguna untuk memulai perhitungan. Perintah ini cukup dibaca sekali dan mesin akan menjalankan fungsi hingga selesai.
STOP	Perintah dari pengguna untuk mengembalikan mesin ke keadaan awal. Perintah ini dapat menghentikan proses penghitungan yang sedang berjalan. Perintah ini sinkron.
Comparator LESS Flag	Flag yang menyatakan nilai $A < B$. Flag bernilai 1 jika $A < B$ dan bernilai 0 jika $A \geq B$.
Clock	

Tabel 3 Luaran FSM

Luaran	Keterangan
Enable Register A	Perintah kepada Register A untuk menyimpan data yang menjadi masukannya.
Enable Register B	Perintah kepada Register B untuk menyimpan data yang menjadi masukannya.
Enable Counter	Perintah kepada Counter untuk melakukan peningkatan perhitungan
Reset Counter	Perintah kepada Counter untuk me-reset nilainya menjadi 0;
Selector MUX	Pilihan masukan MUX untuk diteruskan ke luarannya.



Gambar 3 Data Path dan FSM

PERHATIKAN ! Segala bentuk plagiarisme dalam pengerjaan tugas pendahuluan ini akan diberikan sanksi yang tegas.

Tugas 2. Buatlah test vector untuk pengujian percobaan 3. Tabel untuk test vector ada di apendiks. Siapkan minimal 10 kombinasi input. Siapkan tabel di BCL.

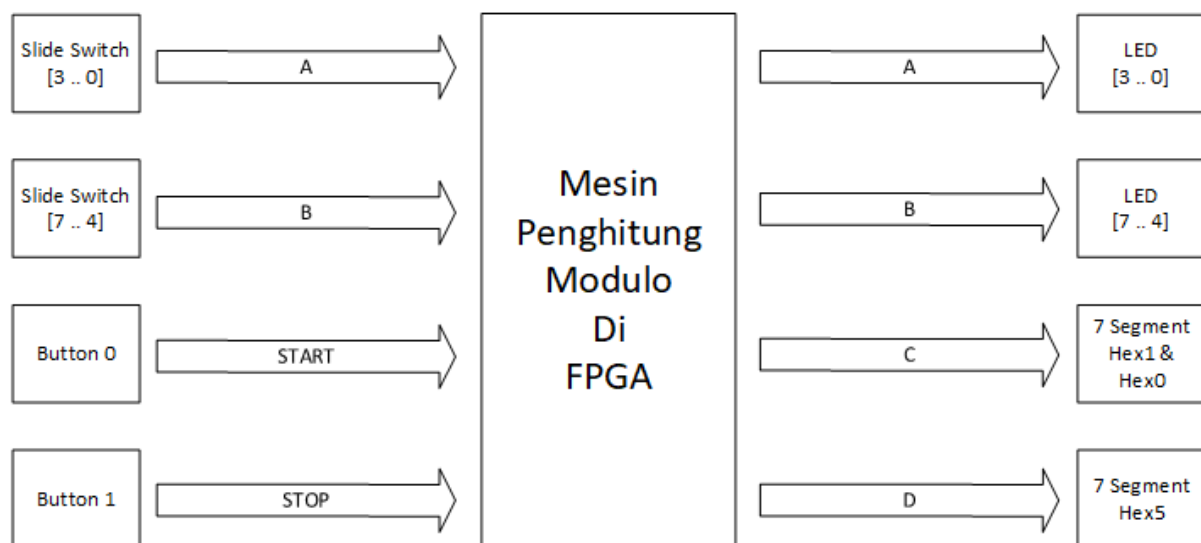
1.5 PERCOBAAN

PERALATAN YANG DIGUNAKAN

- Komputer/PC yang telah terinstal program Quartus Prime Lite
- Monitor LCD
- FPGA development board, tipe DE10-Lite beserta perlengkapannya yang meliputi:
 - a. Board FPGA tipe DE10-Lite
 - b. Catu daya+ kabel dan konektor tambahan
 - c. Kabel USB-Blaster
- Kode VHDL 5bit-biner-to-2-BCD dan BCD-to-7Segment.

PERCOBAAN 3: IMPLEMENTASI DESAIN FSM PADA FPGA

Percobaan ini, praktikan diminta untuk mengimplementasikan FSM + Data Path yang telah dibuat pada tugas pendahuluan pada FPGA board. Masukan dan luaran sesuai dengan Tabel 4. Rancangan implementasi seperti pada gambar berikut.



Gambar 4 Rancangan Implementasi Mesin Penghitung Modulo

Tabel 4 Masukan dan Luaran pada FPGA

Masukan	
A	Slide switch [3 .. 0]
B	Slide switch [7 .. 4]
Start	Button0
Stop	Button1
Luaran	
C	Hex1 & Hex 0
D	Hex5
Led_A	LED [3 .. 0]
Led_B	LED [7 .. 4]

PROSEDUR PERCOBAAN:

1. Buatlah folder sebagai direktori kerja baru untuk praktikum kali ini.
2. Jalankan program QUARTUS.
3. Buatlah project baru dan kemudian *copy* semua *script* desain FSM yang telah dibuat sebagai tugas pendahuluan sebelumnya ke dalam folder tersebut.
4. Buatlah blok fungsi untuk menghasilkan clock 1Hz dari input clock FPGA board. Gunakan clock 1Hz ini sebagai masukan clock Mesin Penghitung Modulo.
5. Buatlah top entity yang mengimplementasikan rancangan mesin penghitung modulo pada FPGA sesuai ketentuan pada Tabel 4 dan Gambar 4.
6. Ujilah dengan menggunakan test vector yang telah kalian buat pada tugas pendahuluan.

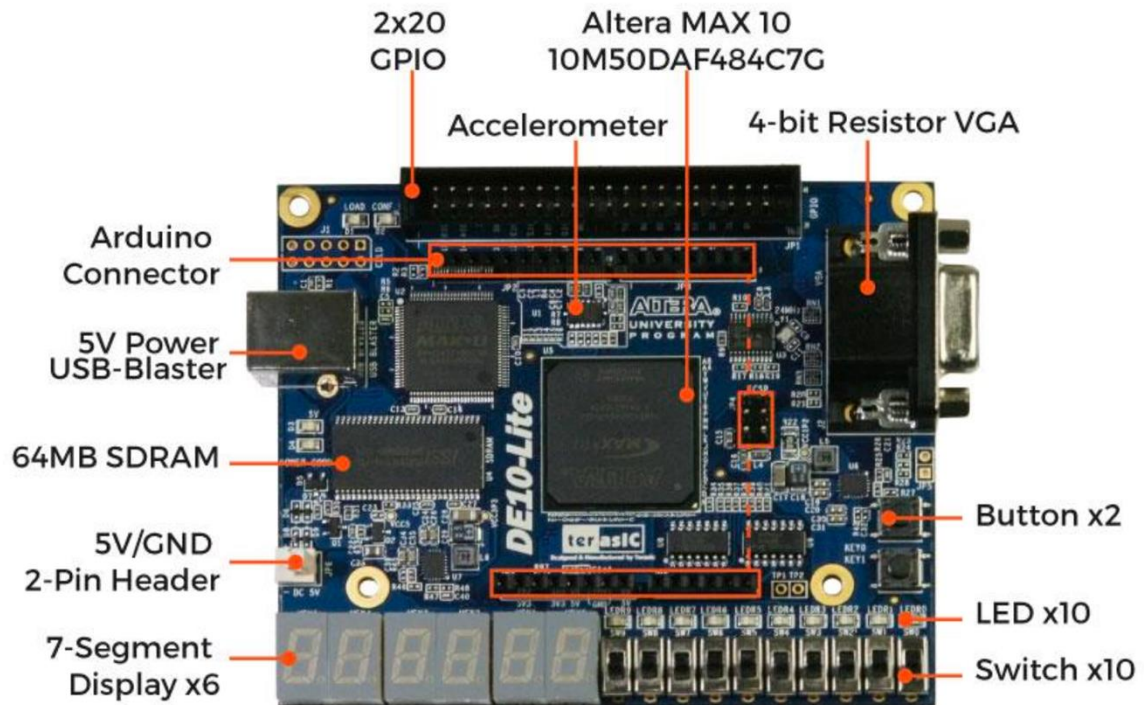
1.6 MENGAKHIRI PERCOBAAN

Prosedur untuk mengakhiri percobaan:

1. Sebelum keluar dari ruang praktikum, rapikan meja praktikum. **Rapikan kabel dan matikan komputer, osiloskop, generator sinyal, dan power supply DC.** Cabut daya dari jala-jala ke kit FPGA dan letakkan kembali pada tempat semula.
2. Periksa lagi lembar penggunaan meja. Praktikan yang tidak menandatangani **lembar penggunaan meja** atau merapikan meja ketika praktikum berakhir akan mendapatkan **potongan nilai sebesar minimal 10.**
3. **Pastikan asisten telah menandatangani catatan percobaan kali ini** pada Buku Catatan Laboratorium Anda. Catatan percobaan yang tidak ditandatangani oleh asisten tidak akan dinilai.

APENDIKS

DE10-LITE FPGA BOARD



PIN ASSIGNMENT OF SLIDE SWITCHES



Figure 3-15 Connections between the slide switches and MAX 10 FPGA

Table 3-4 Pin Assignment of Slide Switches

Signal Name	FPGA Pin No.	Description	I/O Standard
SW0	PIN_C10	Slide Switch[0]	3.3-V LVTTTL
SW1	PIN_C11	Slide Switch[1]	3.3-V LVTTTL
SW2	PIN_D12	Slide Switch[2]	3.3-V LVTTTL
SW3	PIN_C12	Slide Switch[3]	3.3-V LVTTTL
SW4	PIN_A12	Slide Switch[4]	3.3-V LVTTTL
SW5	PIN_B12	Slide Switch[5]	3.3-V LVTTTL
SW6	PIN_A13	Slide Switch[6]	3.3-V LVTTTL
SW7	PIN_A14	Slide Switch[7]	3.3-V LVTTTL
SW8	PIN_B14	Slide Switch[8]	3.3-V LVTTTL
SW9	PIN_F15	Slide Switch[9]	3.3-V LVTTTL

PIN ASSIGNMENT OF CLOCK

Warning !!

Do not modify the clock generator settings.

Incorrect setting will cause the system to not work.

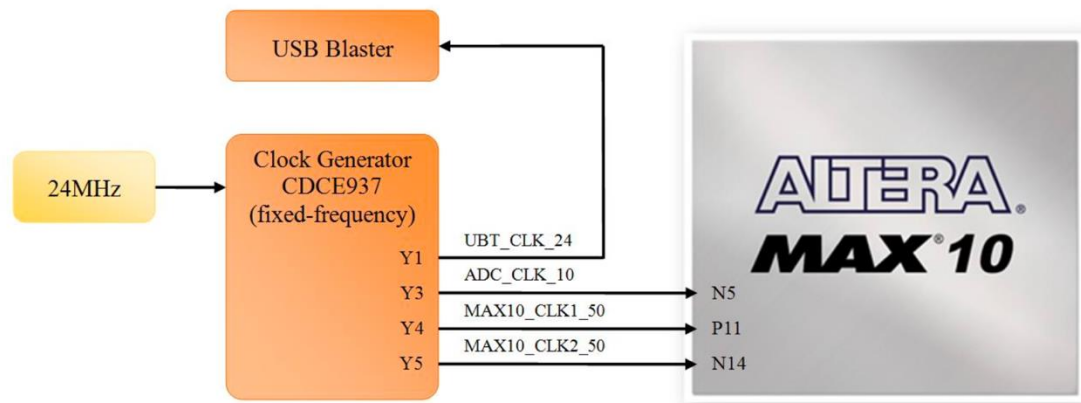


Figure 3-12 Clock circuit of the FPGA Board

Table 3-2 Pin Assignment of Clock Inputs

Signal Name	FPGA Pin No.	Description	I/O Standard
ADC_CLK_10	PIN_N5	10 MHz clock input for ADC (Bank 3B)	3.3-V LVTTL
MAX10_CLK1_50	PIN_P11	50 MHz clock input(Bank 3B)	3.3-V LVTTL
MAX10_CLK2_50	PIN_N14	50 MHz clock input(Bank 3B)	3.3-V LVTTL

Sumber Clock yang digunakan adalah 50 MHz. Gunakan blok fungsi untuk mengatur clock masukan supaya sesuai yang diinginkan.

PIN ASSIGNMENT OF PUSH BUTTON

Push button bernilai 1 jika tidak ditekan dan bernilai 0 jika ditekan.

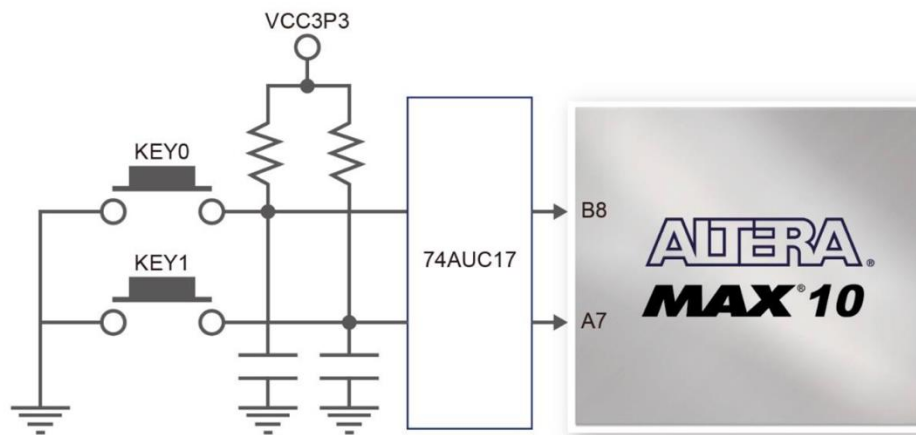


Figure 3-13 Connections between the push-button and MAX 10 FPGA

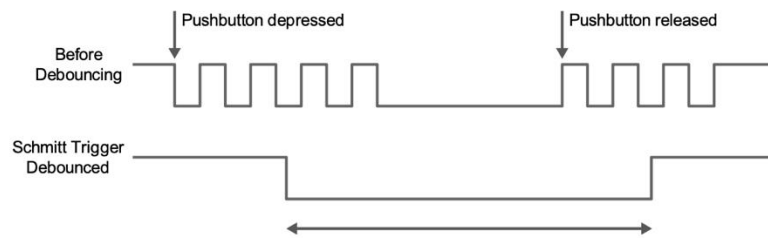


Figure 3-14 Switch debouncing

Table 3-3 Pin Assignment of Push-buttons

Signal Name	FPGA Pin No.	Description	I/O Standard
KEY0	PIN_B8	Push-button[0]	3.3 V SCHMITT TRIGGER"
KEY1	PIN_A7	Push-button[1]	3.3 V SCHMITT TRIGGER"

PIN ASSIGNMENT OF LEDS

LED akan menyala jika mendapat nilai HIGH dan akan mati jika mendapat nilai LOW.

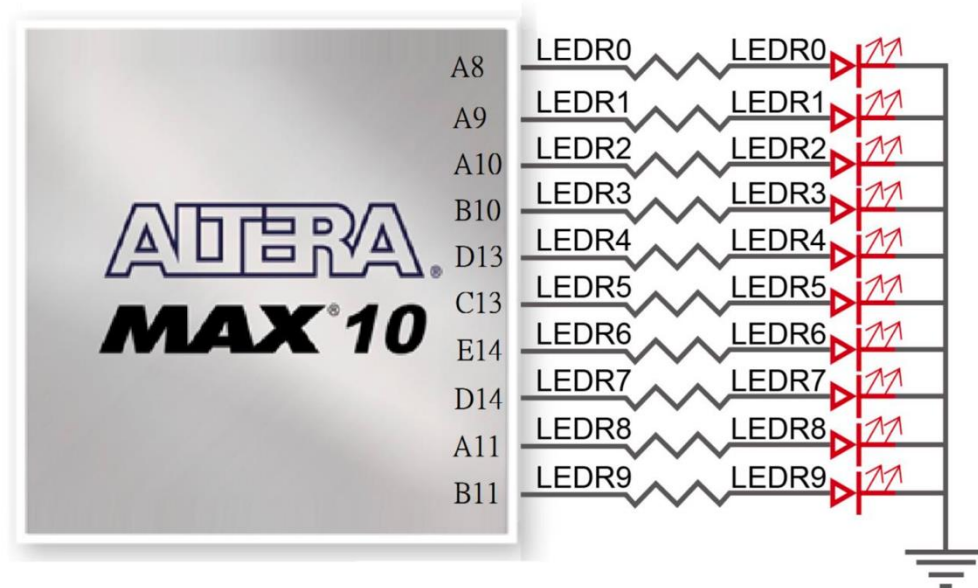


Figure 3-16 Connections between the LEDs and MAX 10 FPGA

Table 3-5 Pin Assignment of LEDs

Signal Name	FPGA Pin No.	Description	I/O Standard
LEDR0	PIN_A8	LED [0]	3.3-V LVTTTL
LEDR1	PIN_A9	LED [1]	3.3-V LVTTTL
LEDR2	PIN_A10	LED [2]	3.3-V LVTTTL
LEDR3	PIN_B10	LED [3]	3.3-V LVTTTL
LEDR4	PIN_D13	LED [4]	3.3-V LVTTTL
LEDR5	PIN_C13	LED [5]	3.3-V LVTTTL
LEDR6	PIN_E14	LED [6]	3.3-V LVTTTL
LEDR7	PIN_D14	LED [7]	3.3-V LVTTTL
LEDR8	PIN_A11	LED [8]	3.3-V LVTTTL
LEDR9	PIN_B11	LED [9]	3.3-V LVTTTL

PIN ASSIGNMENT OF 7-SEGMENT DISPLAYS

Segment akan menyala jika mendapatkan nilai LOW dan akan mati jika mendapat nilai HIGH.

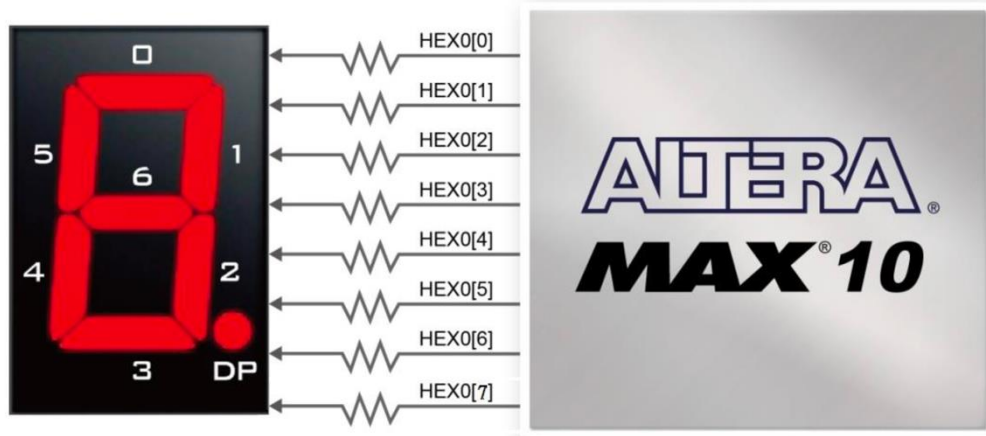


Figure 3-17 Connections between the 7-segment display HEX0 and the MAX 10 FPGA

Table 3-6 Pin Assignment of 7-segment Displays

Signal Name	FPGA Pin No.	Description	I/O Standard
HEX00	PIN_C14	Seven Segment Digit 0[0]	3.3-V LVTTL
HEX01	PIN_E15	Seven Segment Digit 0[1]	3.3-V LVTTL
HEX02	PIN_C15	Seven Segment Digit 0[2]	3.3-V LVTTL
HEX03	PIN_C16	Seven Segment Digit 0[3]	3.3-V LVTTL
HEX04	PIN_E16	Seven Segment Digit 0[4]	3.3-V LVTTL
HEX05	PIN_D17	Seven Segment Digit 0[5]	3.3-V LVTTL
HEX06	PIN_C17	Seven Segment Digit 0[6]	3.3-V LVTTL
HEX07	PIN_D15	Seven Segment Digit 0[7], DP	3.3-V LVTTL
HEX10	PIN_C18	Seven Segment Digit 1[0]	3.3-V LVTTL
HEX11	PIN_D18	Seven Segment Digit 1[1]	3.3-V LVTTL
HEX12	PIN_E18	Seven Segment Digit 1[2]	3.3-V LVTTL
HEX13	PIN_B16	Seven Segment Digit 1[3]	3.3-V LVTTL

HEX14	PIN_A17	Seven Segment Digit 1[4]	3.3-V LVTTTL
HEX15	PIN_A18	Seven Segment Digit 1[5]	3.3-V LVTTTL
HEX16	PIN_B17	Seven Segment Digit 1[6]	3.3-V LVTTTL
HEX17	PIN_A16	Seven Segment Digit 1[7] , DP	3.3-V LVTTTL
HEX20	PIN_B20	Seven Segment Digit 2[0]	3.3-V LVTTTL
HEX21	PIN_A20	Seven Segment Digit 2[1]	3.3-V LVTTTL
HEX22	PIN_B19	Seven Segment Digit 2[2]	3.3-V LVTTTL
HEX23	PIN_A21	Seven Segment Digit 2[3]	3.3-V LVTTTL
HEX24	PIN_B21	Seven Segment Digit 2[4]	3.3-V LVTTTL
HEX25	PIN_C22	Seven Segment Digit 2[5]	3.3-V LVTTTL
HEX26	PIN_B22	Seven Segment Digit 2[6]	3.3-V LVTTTL
HEX27	PIN_A19	Seven Segment Digit 2[7] , DP	3.3-V LVTTTL
HEX30	PIN_F21	Seven Segment Digit 3[0]	3.3-V LVTTTL
HEX31	PIN_E22	Seven Segment Digit 3[1]	3.3-V LVTTTL
HEX32	PIN_E21	Seven Segment Digit 3[2]	3.3-V LVTTTL
HEX33	PIN_C19	Seven Segment Digit 3[3]	3.3-V LVTTTL
HEX34	PIN_C20	Seven Segment Digit 3[4]	3.3-V LVTTTL
HEX35	PIN_D19	Seven Segment Digit 3[5]	3.3-V LVTTTL
HEX36	PIN_E17	Seven Segment Digit 3[6]	3.3-V LVTTTL
HEX37	PIN_D22	Seven Segment Digit 3[7] , DP	3.3-V LVTTTL
HEX40	PIN_F18	Seven Segment Digit 4[0]	3.3-V LVTTTL
HEX41	PIN_E20	Seven Segment Digit 4[1]	3.3-V LVTTTL
HEX42	PIN_E19	Seven Segment Digit 4[2]	3.3-V LVTTTL
HEX43	PIN_J18	Seven Segment Digit 4[3]	3.3-V LVTTTL
HEX44	PIN_H19	Seven Segment Digit 4[4]	3.3-V LVTTTL
HEX45	PIN_F19	Seven Segment Digit 4[5]	3.3-V LVTTTL
HEX46	PIN_F20	Seven Segment Digit 4[6]	3.3-V LVTTTL
HEX47	PIN_F17	Seven Segment Digit 4[7] , DP	3.3-V LVTTTL
HEX50	PIN_J20	Seven Segment Digit 5[0]	3.3-V LVTTTL
HEX51	PIN_K20	Seven Segment Digit 5[1]	3.3-V LVTTTL
HEX52	PIN_L18	Seven Segment Digit 5[2]	3.3-V LVTTTL
HEX53	PIN_N18	Seven Segment Digit 5[3]	3.3-V LVTTTL
HEX54	PIN_M20	Seven Segment Digit 5[4]	3.3-V LVTTTL
HEX55	PIN_N19	Seven Segment Digit 5[5]	3.3-V LVTTTL
HEX56	PIN_N20	Seven Segment Digit 5[6]	3.3-V LVTTTL
HEX57	PIN_L19	Seven Segment Digit 5[7] , DP	3.3-V LVTTTL

CONTOH PEMBERIAN COMMENT PADA VHDL

```
-- Nama      : Joy Boy      --
-- NIM       : 13223200     --
-- Rombongan : X           --
-- Kelompok  : 0            --
-- Percobaan  : 0           --
-- Tanggal   : 8 Oktober 2024 --
--
-----
-- Deskripsi
-- Fungsi   : melakukan penjumlahan 1 bit A dan 1 bit B serta 1 bit Cin.
-- input      : A, B, dan Carry in
-- output     : S             hasil penjumlahan
--              : CARRY        nilai lebih dari hasil penjumlahan
--              : Aout, Bout, dan Cout  flag untuk nilai input, dapat disambungkan pada LED
--
-----
-- Library
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

-- Define entity
entity Tutorial2 is
    -- Define port
    port ( A, B, Cin : in std_logic; -- ini adalah input
           S, CARRY, Aout, Bout, Cout : out std_logic -- ini adalah output
         );
end;

-- Define architecture
architecture behavioral of Tutorial2 is
begin
    -- Assign input A to Aout
    Aout <= A;
    -- Assign input B to Bout
    Bout <= B;
    -- Assign input Cin to Cout
    Cout <= Cin;
    -- Assign value of summation to S
    S <= (A XOR B) XOR Cin;
    -- Assign value of carry out to CARRY
    CARRY <= (Cin AND (A XOR B)) OR (A AND B);
end;
```

TEST VECTOR MESIN PENGHITUNG MODULO

A		B		C		D
Switch [7..4]	LED [3..0]	Switch [7..4]	LED [7..4]	HEX1	HEX0	HEX5