



**UNIVERSIDAD DE COSTA RICA
FACULTAD DE INGENIERÍA
ESCUELA DE CIENCIAS DE LA
COMPUTACIÓN E INFORMÁTICA**

**CI0122 – SISTEMAS OPERATIVOS
Prof. Francisco Arroyo**

**TRABAJO DE INVESTIGACIÓN #1
(AVANCE)**

Elaborado por:

Rodrigo Vílchez Ulloa B78292
rvilchez99@gmail.com

30 de octubre del 2020

Introducción

Esta investigación se centrará en el procesador AMD Ryzen 5 2500U, miembro de la familia AMD Ryzen 5 Mobile. Este procesador fue lanzado el 26 de octubre del año 2017 y el usuario objetivo fueron portátiles personales y de oficina. El precio actual ronda los \$670.

El procesador posee cuatro núcleos y es capaz de manejar hasta ocho hilos, posee una tecnología de 14nm y la máxima potencia a la que es capaz de estar funcionando apropiadamente (TDP) es de 15W lo cual lo posiciona por debajo del promedio de los portátiles, donde la potencia máxima suele estar entre 20W y 45W, también puede operar a 12W o 25W con ciertas configuraciones en el TDP. Según información del fabricante, la temperatura máxima a la que puede operar este procesador es de 95°C. El voltaje requerido por el procesador (VID) es de 0.812V. Y opera a una frecuencia base de 2 GHz, llegando a un máximo de 3.6 GHz

Jerarquía de memoria

El procesador posee tres niveles de cachés con diferentes tamaños. La caché L1 se dividen en dos, una para instrucciones y otra para los datos, la caché L1 de datos es de tamaño 4 x 32 KB y utiliza la estrategia de asignación de bloques asociativa por conjuntos de ocho vías, el tamaño de una línea de caché es de 64 bytes y utiliza write back como estrategia de escritura. La caché L1 para instrucciones es de tamaño 4 x 64 KB, también utiliza la estrategia de asignación de bloques asociativa por conjuntos pero en este caso es de cuatro vías, el tamaño de una línea de caché es de 64 bytes. El siguiente nivel de caché es el L2, este procesador utiliza una caché nivel dos de tamaño 4 x 512 KB y la estrategia de asignación de bloques es igualmente asociativa por conjuntos, en este caso de ocho vías y utiliza write back como estrategia de escritura de bloques. El tamaño de una línea de caché es de 64 bytes. El último nivel de caché es la caché L3, este

procesador permite que esta caché sea compartida por todos los núcleos, posee un tamaño de 4 MB y la estrategia de asignación de bloques es asociativa por conjuntos de dieciséis vías, igualmente cada línea de caché es de 64 bytes.

Esquema de paralelismo y Pipeline

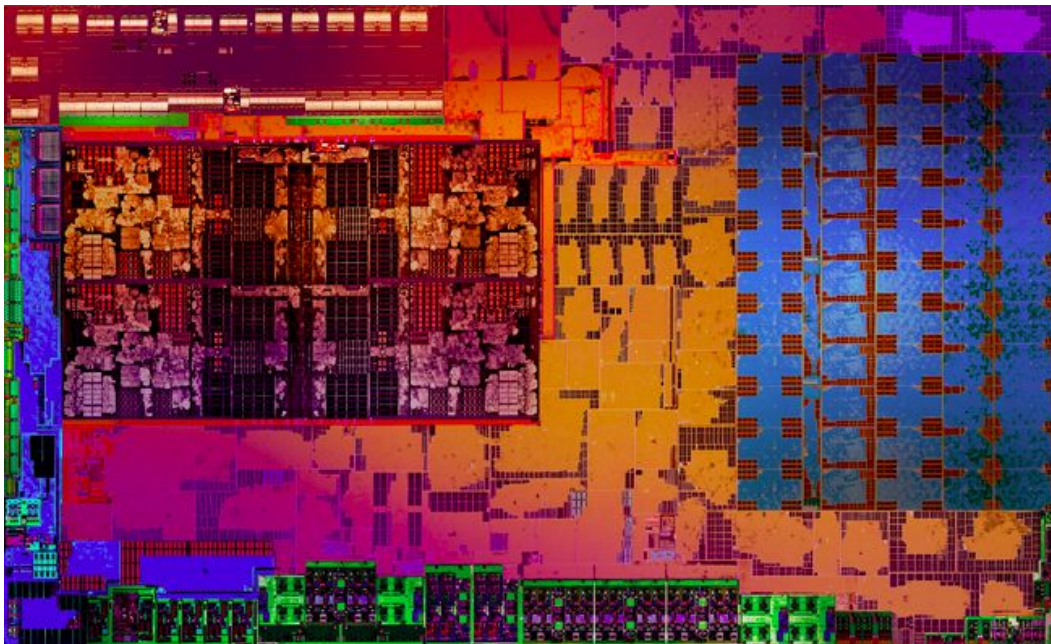
falta por investigar

Asistencia de hardware para sincronización

falta por investigar

Predicción

falta por investigar



Referencias

enlaces utilizados hasta el momento:

<https://techreport.com/review/32743/amds-ryzen-7-2700u-and-ryzen-5-2500u-apus-revealed/>

<https://technical.city/es/cpu/Ryzen-5-2500U>

<https://www.geektopia.es/es/product/amd/ryzen-5-2500u/>

<https://www.amd.com/es/products/apu/amd-ryzen-5-2500u>

<https://www.cpu-world.com/CPUs/Zen/AMD-Ryzen%205%20Mobile%202500U.html>

https://en.wikichip.org/wiki/amd/ryzen_5/2500u