



**UNIVERSIDAD DE COSTA RICA  
FACULTAD DE INGENIERÍA  
ESCUELA DE CIENCIAS DE LA  
COMPUTACIÓN E INFORMÁTICA**

**CI0122 – SISTEMAS OPERATIVOS  
Prof. Francisco Arroyo**

**TRABAJO DE INVESTIGACIÓN #1 - PROCESADORES AMD**

**Elaborado por:**

**Rodrigo Vílchez Ulloa B78292**  
[rvilchez99@gmail.com](mailto:rvilchez99@gmail.com)

**6 de noviembre del 2020**

## **Introducción**

Esta investigación se centrará en el procesador AMD Ryzen 5 2500U, miembro de la familia AMD Ryzen 5 Mobile. Este procesador fue lanzado el 26 de octubre del año 2017 y el usuario objetivo fueron portátiles personales y de oficina. El precio actual ronda los \$670. Este procesador forma parte de aquellos que poseen la microarquitectura “Zen” de AMD.

El procesador posee cuatro núcleos y es capaz de manejar hasta ocho hilos, posee una tecnología de 14nm y la máxima potencia a la que es capaz de estar funcionando apropiadamente (TDP) es de 15W lo cual lo posiciona por debajo del promedio de los portátiles, donde la potencia máxima suele estar entre 20W y 45W, también puede operar a 12W o 25W con ciertas configuraciones en el TDP. Según información del fabricante, la temperatura máxima a la que puede operar este procesador es de 95°C. El voltaje requerido por el procesador (VID) es de 0.812V. Y opera a una frecuencia base de 2 GHz, llegando a un máximo de 3.6 GHz.

## **Jerarquía de memoria**

El procesador posee tres niveles de cachés con diferentes tamaños. La caché L1 se dividen en dos, una para instrucciones y otra para los datos, la caché L1 de datos es de tamaño 4 x 32 KB y utiliza la estrategia de asignación de bloques asociativa por conjuntos de ocho vías, el tamaño de una línea de caché es de 64 bytes y utiliza write back como política de escritura. La caché L1 para instrucciones es de tamaño 4 x 64 KB, también utiliza la estrategia de asignación de bloques asociativa por conjuntos pero en este caso es de cuatro vías, el tamaño de una línea de caché es de 64 bytes. El siguiente nivel de caché es el L2, este procesador utiliza una caché nivel dos de tamaño 4 x 512 KB y la estrategia de asignación de bloques es igualmente asociativa por conjuntos, en este caso de ocho vías y utiliza write back como estrategia de escritura de bloques. El tamaño

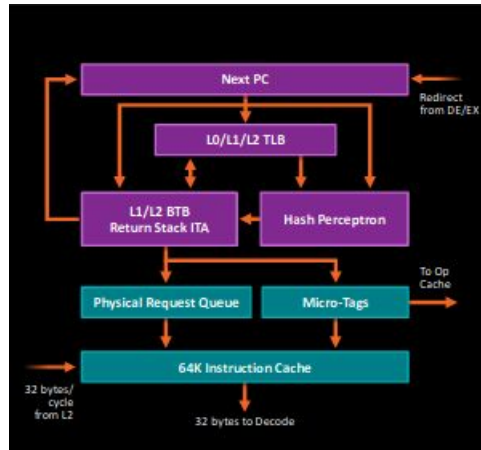
de una línea de caché es de 64 bytes. El último nivel de caché es la caché L3, este procesador permite que esta caché sea compartida por todos los núcleos, posee un tamaño de 4 MB y la estrategia de asignación de bloques es asociativa por conjuntos de dieciséis vías, igualmente cada línea de caché es de 64 bytes.

En el caso de la tabla para traducción de direcciones virtuales a físicas (TLB), el procesador utiliza una para las instrucciones y otra para los datos. Para la TLB de instrucciones, posee 8 entradas para el procesador, 64 entradas para la caché L1, 512 entradas para la caché L2. En el caso de la TLB de datos, posee 64 entradas para la caché L1 y 1532 entradas para la caché L2.

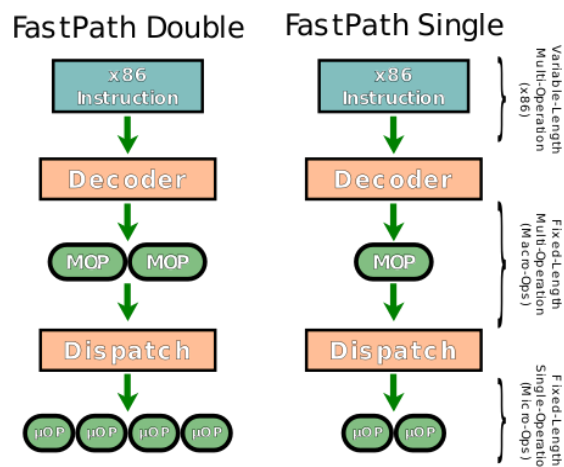
## **Esquema de paralelismo y Pipeline**

El pipeline en un procesador se refiere al camino lógico que siguen las instrucciones al momento de ir ejecutándose y también qué dispositivos lógicos del procesador se utilizan en el proceso. El pipeline es útil para dividir en etapas la ejecución en su totalidad de una instrucción, donde en medio de cada etapa existen registros que sirven como almacenamiento temporal, los cuales permiten que existan tantas instrucciones ejecutándose como etapas hay en el pipeline, pues una vez que una etapa ha concluido, otra instrucción puede entrar a ocupar esa etapa e ir ejecutándose gradualmente conforme avanza entre estas etapas. Este es el nivel de paralelismo por hardware ofrecido por un procesador, dependiendo del procesador, de la arquitectura, del diseño, etc., un procesador puede tener más o menos etapas en el pipeline.

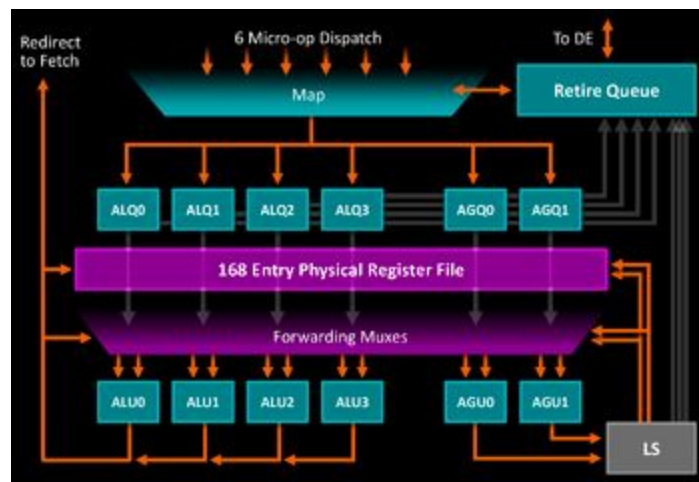
En el caso de los procesadores con microarquitectura Zen, existen varias etapas en el pipeline. Una de ellas, y la primera, es el fetch, donde se lee la instrucción que se va a ejecutar. Las instrucciones son buscadas (fetched) desde la caché L2, aunque dependiendo de la predicción del branch, las instrucciones pueden ser buscadas desde la caché de instrucciones o desde la caché de micro operaciones.



Posterior a la etapa fetch está la etapa decode, donde se decodifica la instrucción recién leída. La decodificación de una instrucción es realizada por cuatro decodificadores Zen, esto permite que en esta etapa se puedan decodificar cuatro instrucciones x86 por ciclo de reloj. Algunas instrucciones complejas x86 son separadas en instrucciones más simples denominadas MOPs, estas permiten realizar tanto operaciones aritméticas como operaciones donde se utilice la memoria. Posteriormente, cada instrucción compleja (MOPs) puede ser separada en operaciones denominadas micro operaciones, las cuales ejecutan una instrucción simple como load, store, suma, etc. Adicionalmente, en esta etapa se pueden seguir dos caminos lógicos, en los cuales la diferencia es que en uno, se emite una instrucción MOPs, mientras que en el otro se emiten dos instrucciones MOPs. Aunque también, ocasionalmente, puede que exista un tercer camino denominado MSROM, donde se emiten más de dos micro instrucciones.

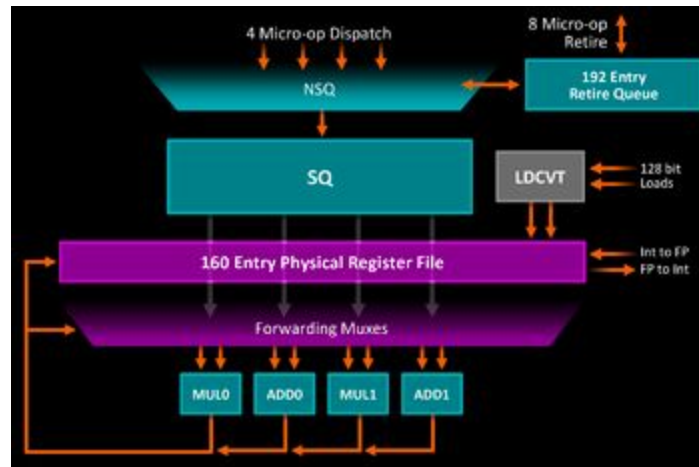


La siguiente etapa del pipeline es la de execute, esta etapa posee una caché L2. Esta etapa se divide en dos secciones, una para operaciones de memoria y de enteros y otra para operaciones de punto flotante. Ambas secciones están separadas por unidades independientes de ejecución, programadoras y de colas. Ambas también poseen acceso a la cola denominada “retire queue” con 192 entradas y permite sacar 8 instrucciones por ciclo de reloj. Al estar las dos regiones separadas, puede ocurrir que los operandos se salgan de los límites, es decir, que una operación de enteros o flotantes, necesite un operando del otro tipo, por lo que puede incurrir en una penalización de una latencia de un ciclo de reloj.

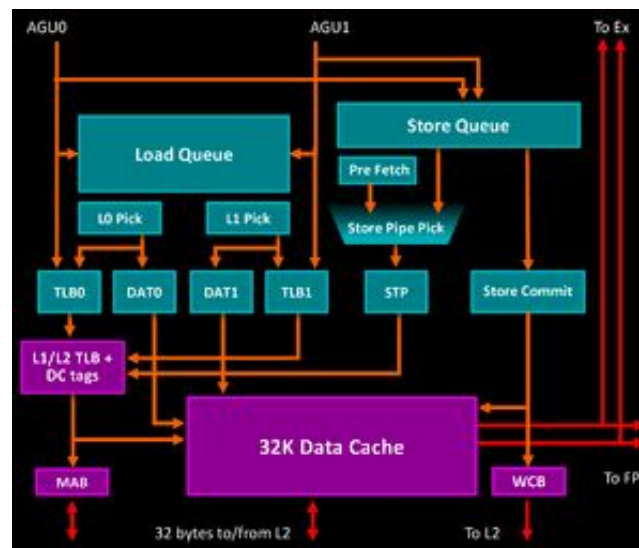


En el caso de los enteros, se pueden recibir hasta seis micro operaciones por ciclo, pero solo existen cuatro ALUs, por lo que se permiten cuatro operaciones de enteros, de este tipo, por ciclo. Esta etapa, además de las cuatro ALUs, posee 2 AGUs que pueden trabajar en conjunto con las ALUs.

En el caso de operaciones de punto flotante, se puede recibir hasta cuatro micro operaciones por ciclo, mapeadas desde registros lógicos a los registros físicos. Las operaciones de punto flotante realizan todas las operaciones vector (como shift, add, etc.), las cuales se pueden realizar en un ciclo de reloj. Una operación básica de punto flotante se realiza en tres ciclos de reloj, y otras operaciones conjuntas que tardan cinco ciclos de reloj.

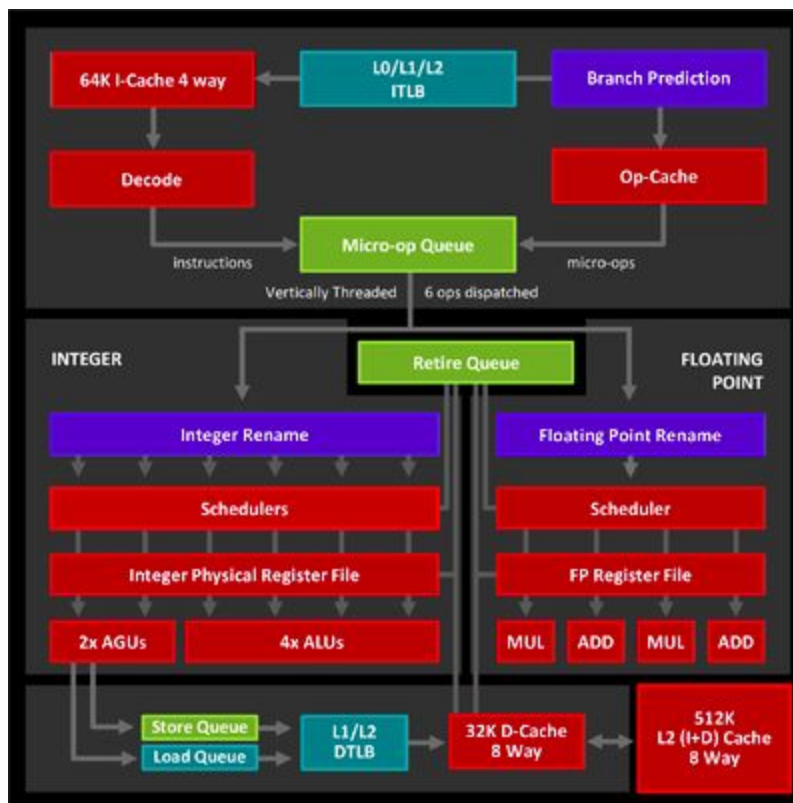


La última etapa es la de memoria, donde se realizan los loads y stores, esta etapa es conducida por las dos AGUs (unidad generadora de direcciones), las cuales pueden operar de manera simultánea. Acá, la microarquitectura Zen permite un camino dividido hacia la TLB, el cual permite traer la etiqueta del TLB para determinar si los datos están disponibles y enviar su dirección en caso de que sí estén.



## Asistencia de hardware para sincronización

Como toda arquitectura en un procesador, se permite la programación simultánea de multihilos para hacer más eficiente la ejecución de procesos en el procesador, dándole así un mayor uso a los recursos que este posee. Esta arquitectura permite dos hilos ejecutándose al mismo tiempo a través de todo el sistema. La idea detrás de todo esto es que, cuando un hilo está corriendo, se le provee de todos los recursos necesarios para su ejecución, lo que también permite que se compartan la mayor cantidad de recursos entre cada hilo así lo requieran. Las estructuras físicas que comparten los hilos y que permiten hacer una sincronización apropiada son: unidades de ejecución, programadores, archivos de registro, decodificadores, cachés, colas, TLB de datos y de instrucciones, solo que estos últimos pueden ser accedidos únicamente por el hilo que los posee, lo que se comparte son las direcciones.

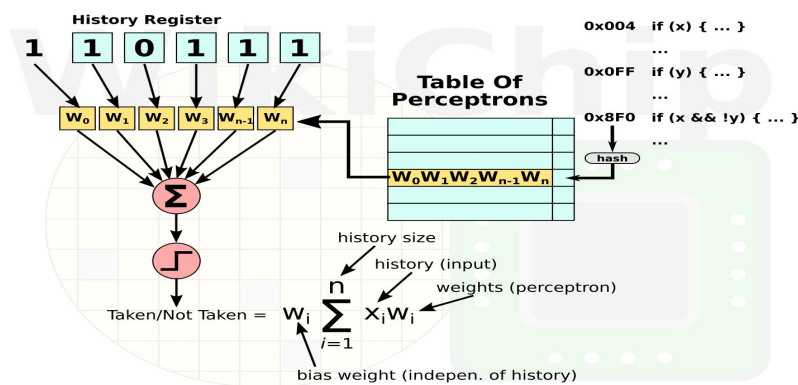


## Predicción

En un procesador, la predicción es útil cuando en un branch se necesita saber el resultado para saber la dirección de memoria de la instrucción siguiente al branch, de manera que el uso de los recursos del procesador se hace más eficiente. En la microarquitectura Zen, se almacena el registro del último branch y también de los más recientes, todo esto en un registro global, para hacer una predicción más acertada.

El BTB en esta microarquitectura (branch target buffer) es una caché de tres niveles. Acá, se hace uso de la predicción dinámica a través de un perceptrón hash, que son una manera simple de aprendizaje mecánico que permiten una implementación de hardware más fácil, lo que los hace tender a ser más precisos en las predicciones.

La predicción se realiza de la siguiente manera: cuando llega un branch condicional al procesador, su dirección se utiliza para buscar un perceptrón de la tabla de perceptrones, que representan la relación entre el resultado de un branch que ya pasó y el branch en cuestión, si el resultado es no tomado significa que no existe la relación mencionada anteriormente entre un branch y otro. El resultado de los demás branches es buscado desde el registro global, a partir de esto se sabe si el branch se predice como tomado o no tomado.





## Referencias

AMD. (2017). *Procesadores móviles AMD Ryzen™ 5 2500U con gráficos Radeon™ Vega 8*. AMD. <https://www.amd.com/es/products/apu/amd-ryzen-5-2500u>

*AMD Ryzen 5 2500U specifications*. (2017). CPU-World. <https://www.cpu-world.com/CPUs/Zen/AMD-Ryzen%205%20Mobile%202500U.html>

*Características del Ryzen 5 2500U de AMD*. (2017). Geektopia. <https://www.geektopia.es/es/product/amd/ryzen-5-2500u/>

Johnson, R. (2017, 26 octubre). *AMD's Ryzen 7 2700U and Ryzen 5 2500U APUs revealed*. Tech Report. <https://techreport.com/review/32743/amds-ryzen-7-2700u-and-ryzen-5-2500u-apus-revealed/>

*Ryzen 5 2500U - AMD*. (2017). Wikichip. [https://en.wikichip.org/wiki/amd/ryzen\\_5/2500u](https://en.wikichip.org/wiki/amd/ryzen_5/2500u)

T, C. (2017). *AMD Ryzen 5 2500U: especificaciones técnicas y pruebas*. Technical City. <https://technical.city/es/cpu/Ryzen-5-2500U>

*Zen - Microarchitectures - AMD*. (s. f.). Wikichip. Recuperado 2018, de [https://en.wikichip.org/wiki/amd/microarchitectures/zen#Simultaneous\\_MultiThreading\\_28SMT.29](https://en.wikichip.org/wiki/amd/microarchitectures/zen#Simultaneous_MultiThreading_28SMT.29)