

1er Examen 25%

***NOTAS MUY IMPORTANTES:**

- Para hoy J 1° Octubre, 2 horas después de recibir este enunciado, debe enviar a ileana.alpizar@gmail.com con copia a arqui.ci0120@gmail.com la solución de la pregunta 1.
- La solución de las otras 4 preguntas se envía el lunes 3 de oct antes de las 10 am, a las mismas direcciones de correo electrónicas indicadas arriba.
- Todas sus respuestas deben ser justificadas correctamente al incluir el procedimiento utilizado.
- La solución de su examen debe estar claramente legible en un documento pdf

PRIMERA PREGUNTA

1. Para el siguiente código RISC-V para enteros, el cual se ejecuta en un procesador con igual *pipeline* para enteros como el visto en clase, solución de branches en EX, cuya estrategia para conflictos de control consiste en incluir **UNA INSTRUCCIÓN BUENA POR BRANCH RETRASADO HACIENDO LUEGO PREDICCIÓN DE BRANCH NO TOMADO** y con *forwarding* para conflictos de datos.

- a. (20 pts) Escriba la tabla de tiempos ingresando al pipeline las instrucciones de acuerdo con la lógica del código, la manera de trabajar del procesador y compilador, y los valores iniciales indicados, así como los valores que se van calculando.

-Utilice **flechas** (o colores iguales para etapa de desde donde se envía y etapa a la que llega el valor) que muestren con total claridad de dónde en dónde se realizan los "forwardings".

-Debe ir indicando los valores de los registros y de las posiciones de memoria según cambian en cada instrucción ejecutada.

NOTA: PUEDE HACER SU TABLA DE TIEMPOS EN UNA HOJA DE CÁLCULO Y ENVIARLA JUNTO CON SUS RESPUESTAS DE ESTA PREGUNTA. PERO DEBE COPIAR LA SOLUCIÓN COMO PARTE DE SU DOCUMENTO PDF DE ESTA PREGUNTA.

- b. (3 pts) Calcule el CPI e indique lo que significa

- c. (2 pts) Suponiendo que el primer lw está en la dir de memoria 800, ¿cuánto vale el NPC luego de que se hace IF del branch?

Valores iniciales:

M[20] = 17
M[160] = 80
M[120] = 4
x3 = 20
x2 = -15
x4 = 0

Código RISC-V:

```
lw    x5, 160(x0)
lw    x8, 40(x5)
bnez  x8, etiq
sub   x4, x5, x3
add   x4, x4, x2
lw    x8, 20(x0)
etiq: sw   x4, 200(x0)
addi  x8, x4, 0
sub   x6, x4, x8
sw    x6, 40(x0)
```

2. El **vector B**, cuyos 1000 elementos son enteros de **4 bytes**, está almacenado en memoria partir de la **dirección 0**. Como parte de un programa en lenguaje de alto nivel se escribió el **for** que se muestra a continuación para restarle 2 a cada elemento de B. El programa va a correr en un procesador **RISC-V** cuya caché de datos L1 tiene las estrategias de escrituras: **Write Back** para aciertos y **Write Allocate** para fallos. Esta caché tiene capacidad para **256 bloques de 2 palabras** cada uno (palabras de 4 bytes).

```
for (int i = 0; i < 1000; i++) {
    B[i] = B[i] - 2;
}
```

- a. (8 pts) Escriba el código RISC-V que resuelve el for anterior
- b. (12 pts) Suponiendo que la caché tiene en este momento todos sus bloques inválidos, calcule el **número de fallos de caché**, y el **número de palabras** que deben ser enviadas a escribir al siguiente nivel en la jerarquía de memoria, como consecuencia de la ejecución del for indicado. Explique.
- c. (5 pts) Misma pregunta que la b. pero suponiendo ahora una caché de datos L1 cuyas estrategias para escritura son: **Write Through y No Write Allocate**. Explique
3. (24 pts) Para el siguiente código RISC-V, que corre en un procesador como el visto en clase, **escriba su tabla de tiempos**, indicando con flechas (o colores iguales para etapa de desde donde se envía y etapa a la que llega el valor) cada **forwarding**. **Calcule su CPI**.

(puede hacerlo en una hoja de cálculo, e incluirla luego como parte del examen, pero igual debe copiarla en el documento como parte de su solución del examen)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
fadd f1,f2,f3																						
fsub f4, f5, f1																						
fmul f6, f7, f1																						
fsw f1, 120(x0)																						
fadd f9, f1, f6																						
fsw f4, 80(x0)																						

4. (10 pts) La compañía ADM (Advanced Micro Devices) tiene, entre sus productos, el procesador

AMD Ryzen! Threadripper! PRO 3995WX

el cual fue lanzado al mercado en julio de este año.

Busque en internet y

- a. (6 pts) Describa sus características (núcleos, hilos, cachés, memoria) y su uso principal.
- b. (4 pts) Entre lo que se incluye como parte de su descripción de memoria, indican que tiene 8 canales de memoria. Explique lo que esto significa así como su utilidad.

5. TEORÍA (4 pts cada una):

- a. Asumiendo cachés y bloques del mismo tamaño ¿cuál estrategia de asignación de bloque causa una tasa mayor de fallos? ¿por qué? y ¿cuál causaría una menor tasa de fallos? ¿por qué?. Entre estas dos indicadas, ¿cuál es la más lenta y compleja de implementar? Explique
- b. i) Explique qué es un núcleo superescalar. ii) ¿Por qué un programa no paralelizado podría **tener un $CPI < 1$** al correr en un **núcleo superescalar**? iii) ¿qué significa que un núcleo es multihilo? iv) ¿qué tipos de multihilo conocimos en el curso? Explique cada uno, e indique cuál de ellos no se podría implementar si el núcleo no es superescalar. ¿por qué?
- c. Si ud. fuera a diseñar un procesador ¿cómo detectaría conflictos de datos WAW? ¿cómo los resolvería **de manera que no se atrase mucho la ejecución de los programas**? Ponga un ejemplo con una tabla de tiempos en la que se usa su solución.
- d. Como parte del diseño de la arquitectura del conjunto de instrucciones de un procesador, está la definición de la codificación de las instrucciones. Explique en qué consiste, e indique por qué es determinante en la eficiencia del procesador.