

# 集積回路設計

## 3. MOSTランジスタの動作

一色 剛

工学院情報通信系

[isshiki@ict.e.titech.ac.jp](mailto:isshiki@ict.e.titech.ac.jp)

# 3. MOSTランジスタの動作

## ■ MOS半導体の基本素子

- 寄生抵抗、寄生容量
- 抵抗、MOS容量、pn接合容量

## ■ MOSTランジスタの直流動作

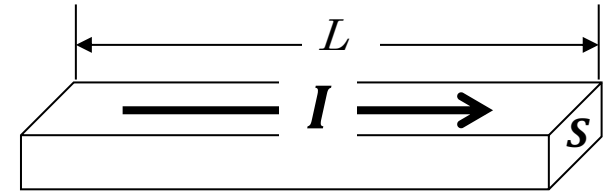
- カットオフ領域、線形領域、飽和領域

## ■ CMOSインバータの直流特性

- 入出力特性
- 論理閾値

# 電気回路の基礎知識

- 抵抗 :  $V = I \cdot R$  (オームの法則)

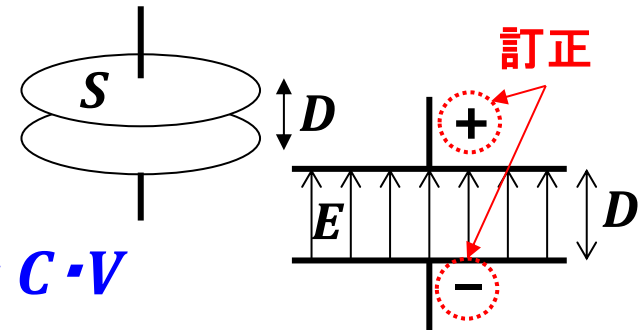


❖ 抵抗値 : 電流が流れる距離  $L$  に比例、断面積  $S$  に反比例

- 電荷量 :  $Q = \int I \cdot dt \rightarrow I = dQ / dt$

❖ 電流は電荷の変化率

- コンデンサ(容量) :  $C = Q / V \rightarrow Q = C \cdot V$



❖ 容量値  $C$  : 電極の面積  $S$  に比例、電極の距離  $D$  に反比例

❖ 電極間の電界  $E$  は一様、 $Q$  は  $E$  に比例

- 電位差(電圧) :  $V = -\int E \cdot dx \rightarrow E = -dV / dx$

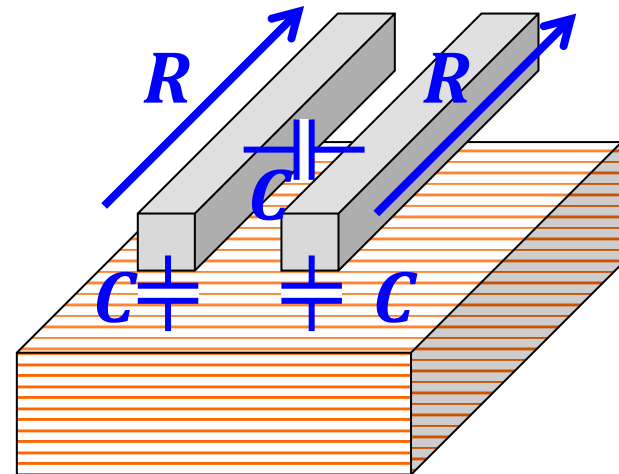
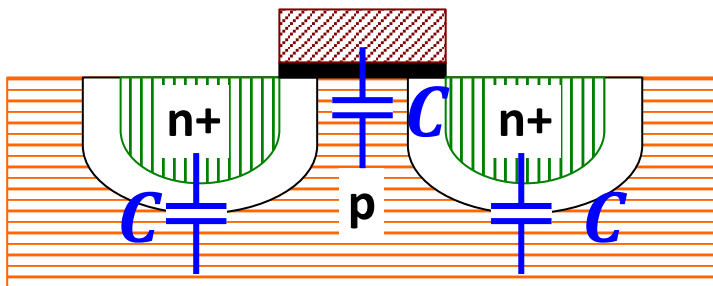
# MOS半導体の寄生素子

## ■ 寄生容量

- ゲート容量、拡散層境界面のpn接合
- 配線メタル層と他層との容量、同じメタル層同士の容量

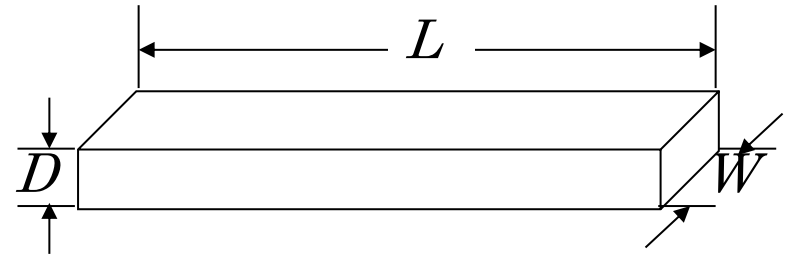
## ■ 寄生抵抗

- シート抵抗



# MOS半導体の抵抗素子

$$R = \rho \cdot \frac{L}{S} = \rho \cdot \frac{L}{D \cdot W}$$

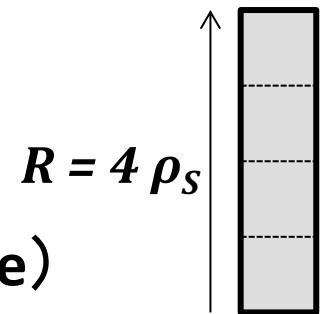


- $\rho$  : 抵抗率 (材料に依存)
- $L$  : 長さ、 $S$  : 断面積 = 深さ( $D$ ) × 幅( $W$ )

→ 深さ( $D$ ) : プロセスに依存

- シート抵抗 (面抵抗率) :  $\rho_s = \frac{\rho}{D}$  ( $\Omega / \text{square}$ )

→  $R = \rho_s \cdot \frac{L}{W}$  (配線寸法  $L, W$  から抵抗値を計算)

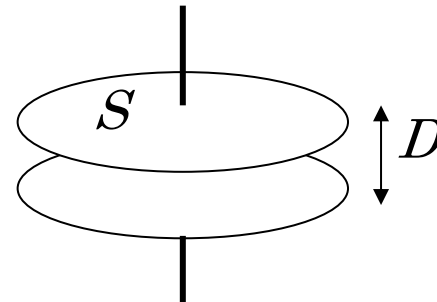


0.35umプロセス	nウェル	n拡散層	p拡散層	ポリシリコン	メタル層
シート抵抗 ( $\Omega/\square$ )	1000	3.5	2.5	10.0	0.06

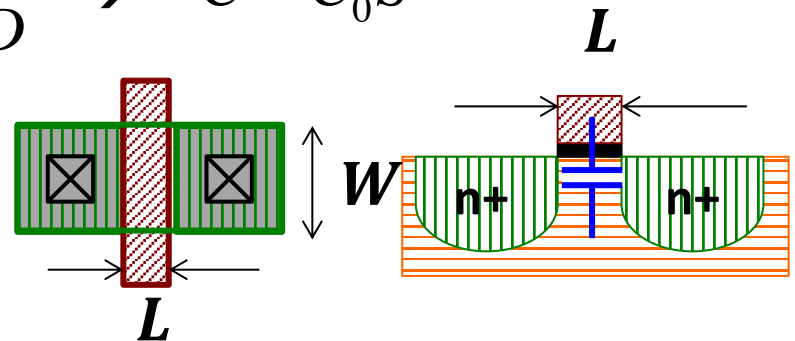
[https://www.clear.rice.edu/elec422/papers/2.2\\_SmithASICS\\_process.pdf](https://www.clear.rice.edu/elec422/papers/2.2_SmithASICS_process.pdf)

# MOS半導体の容量素子

$$C = \varepsilon \frac{S}{D} = \varepsilon_0 \varepsilon_r \frac{S}{D}$$



- $\varepsilon$  : 絶縁体の誘電率
- $\varepsilon_0$  : 真空中の誘電率、 $\varepsilon_r$  : 絶縁体の比誘電率
- $S$  : 電極面積、 $D$  : 電極間の距離 (プロセスに依存)
- 単位面積当りの容量 :  $C_0 = \frac{\varepsilon}{D} \rightarrow C = C_0 S$
- MOS容量 :  $C_{OX} = \frac{\varepsilon_0 \varepsilon_{OX}}{T_{OX}}$ 
  - $\varepsilon_{OX}$  : ゲート酸化膜の比誘電率
  - $T_{OX}$  : ゲート酸化膜の厚さ



(トランジスタの面積 :  $S = L \cdot W$  )

# pn接合容量 (1)

$\varphi_B$  : pn接合電位 (拡散電位)

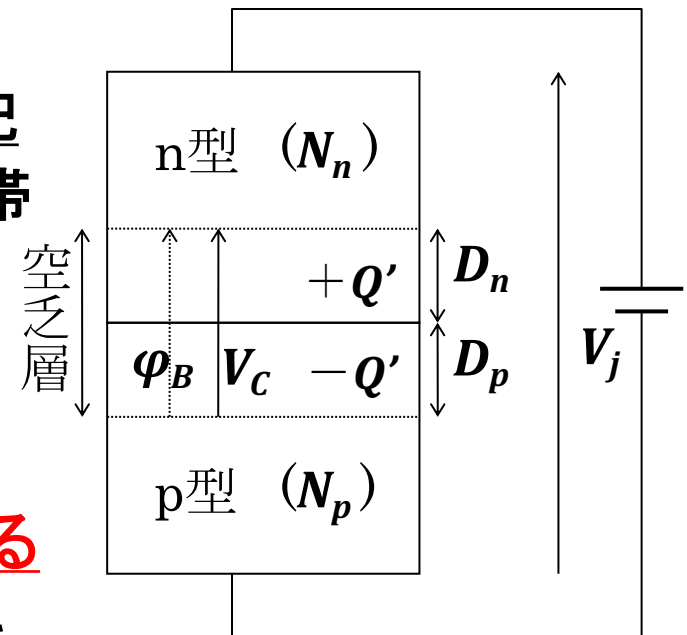
❖ pn接合面における自由電子濃度勾配により空乏層が形成され、空乏層が帯電して生じる電位差

❖  $\varphi_B$  は  $\ln N_n \cdot N_p$  に比例する

❖  $N_n, N_p$  : 不純物濃度

→ pn接合容量が空乏層に形成される

$D_n, D_p$  : 空乏層の深さ → 電極の深さ



→ 空乏層の深さはバイアス電圧  $V_j$  によって変化する

→ つまり、pn接合容量値はバイアス電圧  $V_j$  によって変化する

# pn接合容量 (2)

$D_n, D_p$  : 空乏層の深さ

$Q'$  : 電荷密度 (単位面積当り)

❖ 空乏層内では一様に  $qN_p, qN_n$  の電荷を帯びる ( $q$  : 電子の電荷量)

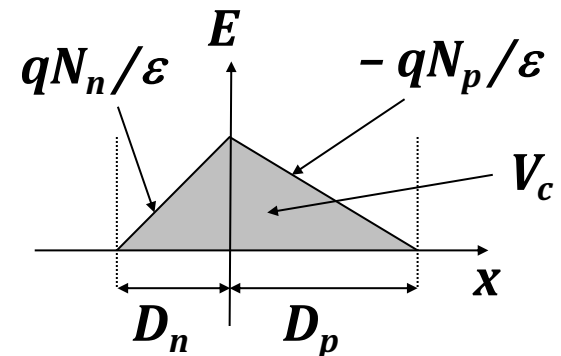
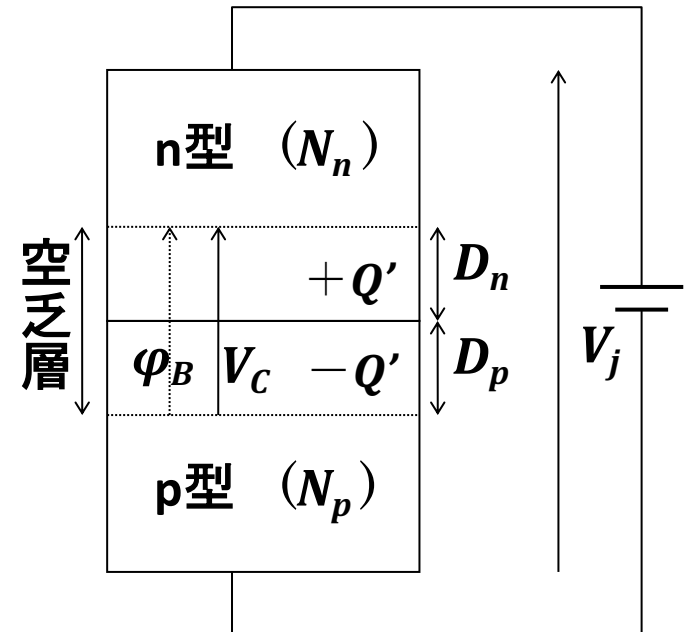
$$Q' = qD_p N_p = qD_n N_n$$

空乏層は不純物濃度が低い領域に広がる  $\rightarrow \therefore D_p = D_n \frac{N_n}{N_p}$

空乏層の電界の強さ :  $\frac{dE(x)}{dx} = \frac{\rho}{\epsilon}$

( $x$  : n  $\rightarrow$  p 深さ方向、 $\rho = qN_n, -qN_p$ )

$$V_C = -\int_{-D_n}^{D_p} E(x) dx = \frac{Q'}{2\epsilon} (D_p + D_n)$$





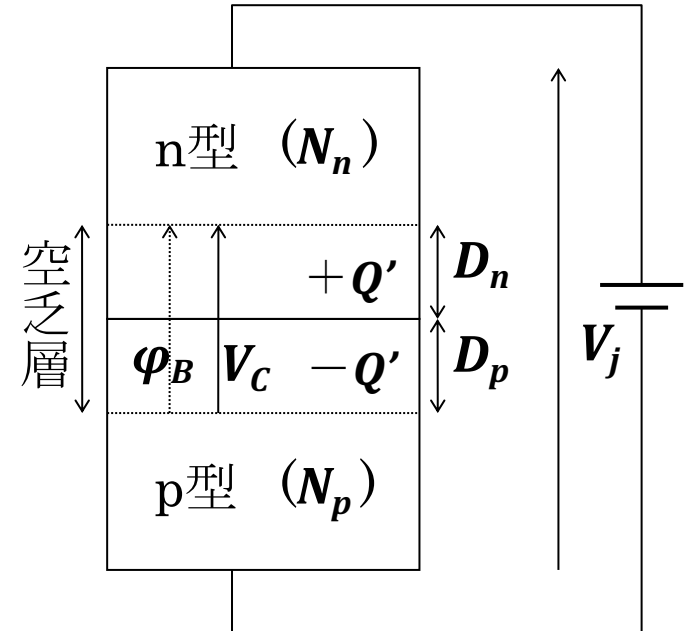
# pn接合容量 (3)

$$V_C = \frac{Q'}{2\varepsilon}(D_p + D_n) = \frac{Q'D_n}{2\varepsilon}\left(\frac{N_n}{N_p} + 1\right)$$

$$= \frac{qD_n^2 N_n}{2\varepsilon}\left(\frac{N_n + N_p}{N_p}\right)$$

$$\therefore D_n = \sqrt{\frac{2\varepsilon N_p V_C}{qN_n(N_p + N_n)}}$$

$$\therefore Q' = \sqrt{\frac{2q\varepsilon N_n N_p V_C}{N_p + N_n}} = \sqrt{\frac{2q\varepsilon N_n N_p}{N_p + N_n}} \sqrt{V_j + \varphi_B} \quad (V_C = V_j + \varphi_B)$$



pn接合容量：

$$C_{dep} = \frac{dQ'}{dV_j} = \sqrt{\frac{q\varepsilon N_p N_n}{2(N_p + N_n)}} \frac{1}{\sqrt{V_j + \varphi_B}}$$

# nMOSトランジスタの動作原理(復習)

## ■ 基板電位 : 0V(接地)

3端子の対基板電圧は **0V以上**

$$(V_{GB}, V_{SB}, V_{DB} \geq 0)$$

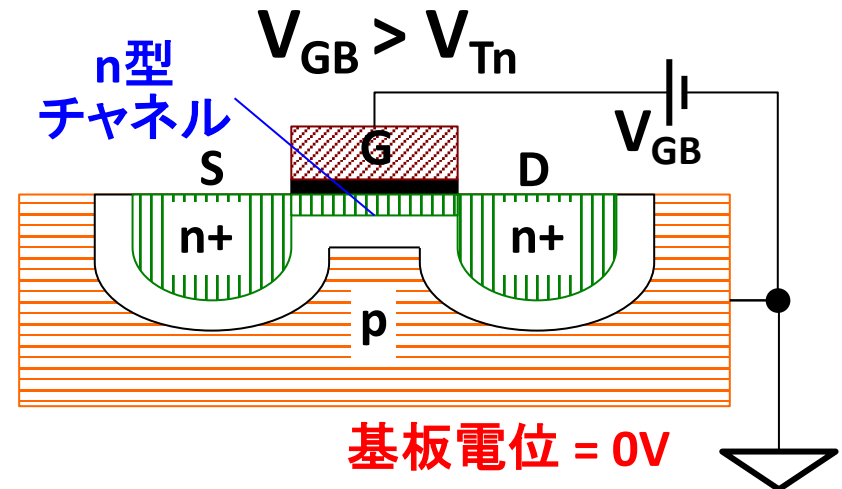
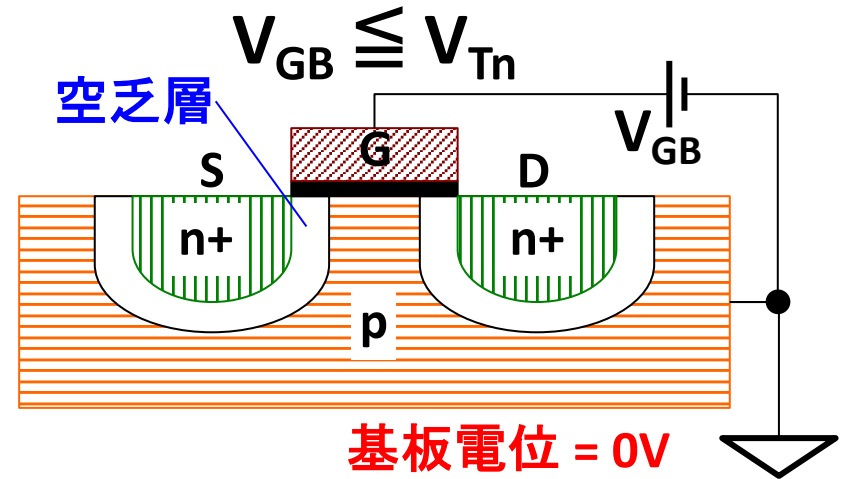
(以下の説明は  $V_{SB} = 0$  を想定)

## ■ 絶縁状態 ( $V_{GB} \leq V_{Tn}$ )

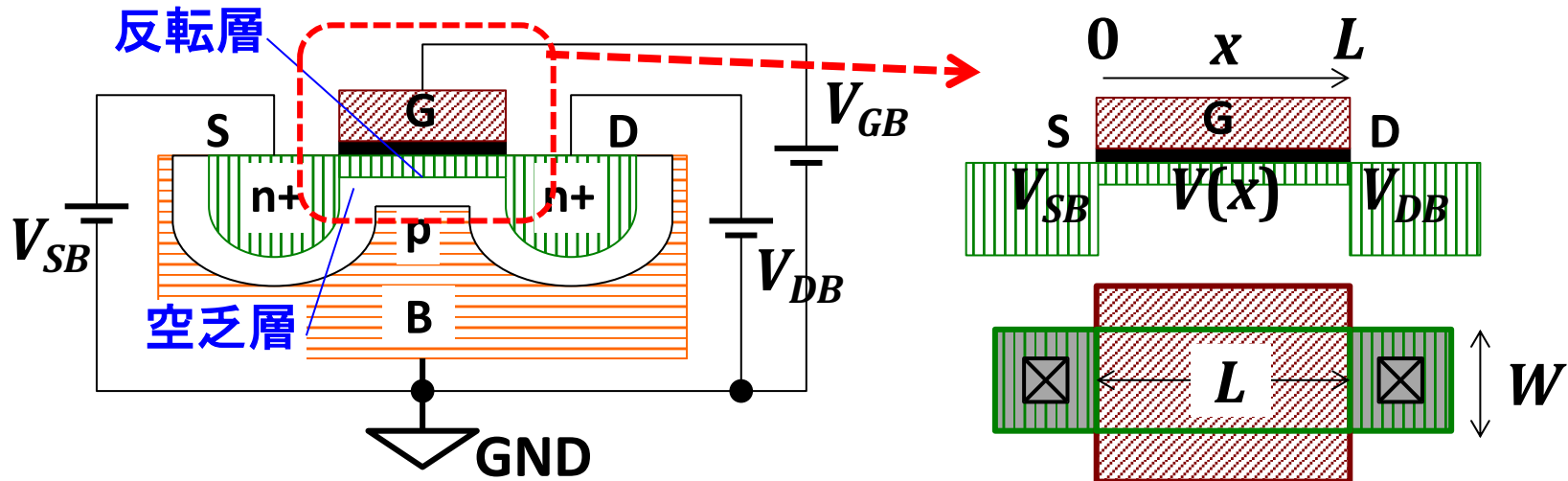
**n型ソース・ドレイン**端子間の**p型基板**により空乏層で隔離されているため、絶縁状態になる ( $V_{Tn}$ : nMOSスレッショルド電圧、 $V_{Tn} \cong 0.2V_{DD}$ )

## ■ 導通状態 ( $V_{GB} > V_{Tn}$ )

ゲート直下の**p型基板**に誘起された**電子**によって**n型チャネル**が形成され、ソース・ドレイン間は導通状態になる



# nMOSトランジスタの電荷密度



❖  $V_{Tn}$  : nMOSスレッショルド電圧 ( $V_{Tn} \doteq 0.2V_{DD}$ )

■ ゲート直下のバルク(基板)表面の誘起電子の電荷密度 :

$$Q(x) = -C_{OX} (V_{GB} - V_{Tn} - V(x))$$

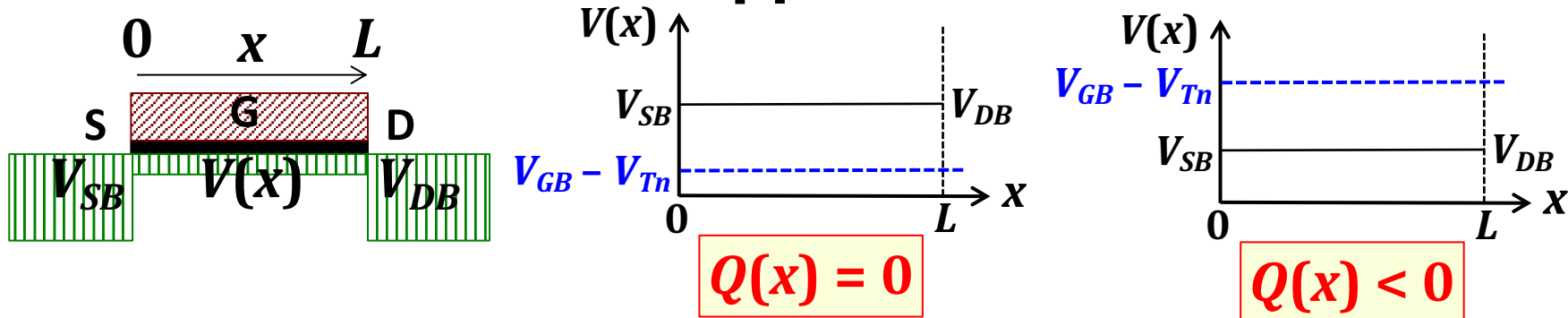
❖  $V(x)$  : 位置  $x$  におけるバルク表面電位

$$V(0) = V_{SB}, V(L) = V_{DB}$$

$V_{GB} - V_{Tn} - V(x)$  :  
MOS容量の電位差

( $V_{GB} - V_{Tn} - V(x) < 0$  のときは電子は誘起されない  $\rightarrow Q(x) = 0$ )

# nMOSトランジスタの絶縁・導通条件



■  $V_{DB} = V_{SB}$  のとき (ソース・ドレインが同電位)、バルク表面の電荷密度は一樣 ( $V(x) = V_{SB} = V_{DB}$ ) :

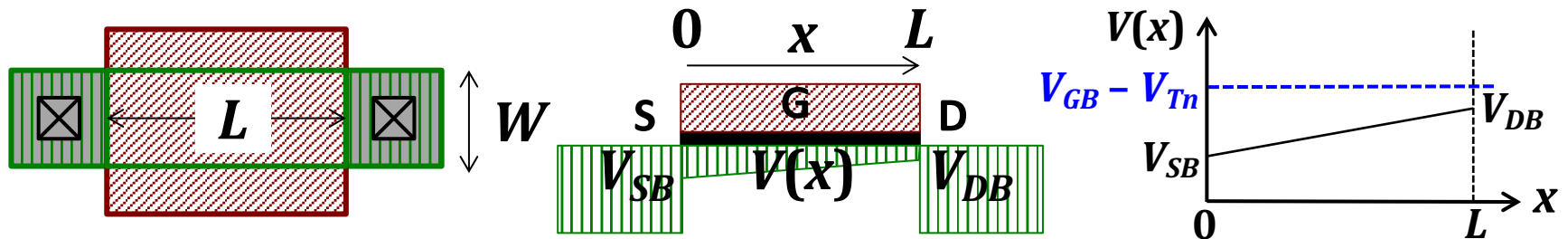
$$Q(x) = -C_{OX} (V_{GB} - V_{Tn} - V_{SB})$$

❖  $V_{GB} - V_{Tn} \leq V_{SB}$  :  $Q(x) = 0 \rightarrow$  (絶縁状態)

❖  $V_{GB} - V_{Tn} > V_{SB}$  :  $Q(x) < 0 \rightarrow$  チャネル形成 (導通状態)

(ここでは、ドレイン・ソース間に電位差はないので、この状態では電流は流れない)

# nMOSトランジスタのドレイン・ソース電流



■  $V_{GB} - V_{Tn} > V_{SB}$ ,  $V_{DS} = V_{DB} - V_{SB} > 0$  のとき、バルク表面電位  $V(x)$  は  $x$  方向に勾配 (電界  $E(x)$ ) が生じ、**D** → **S** 方向に電流が流れる (誘起電子は **S** → **D** 方向に移動する)

❖ 電界強度 :  $E(x) = -dV(x)/dx$

❖ 電子の平均速度 :  $v = -\mu_n \cdot E(x)$

$\mu_n$  : n型半導体の電子移動度

❖ ドレイン・ソース間電流  $I_{DS}$  :  $I_{DS}$  は  $x$  によらず一定

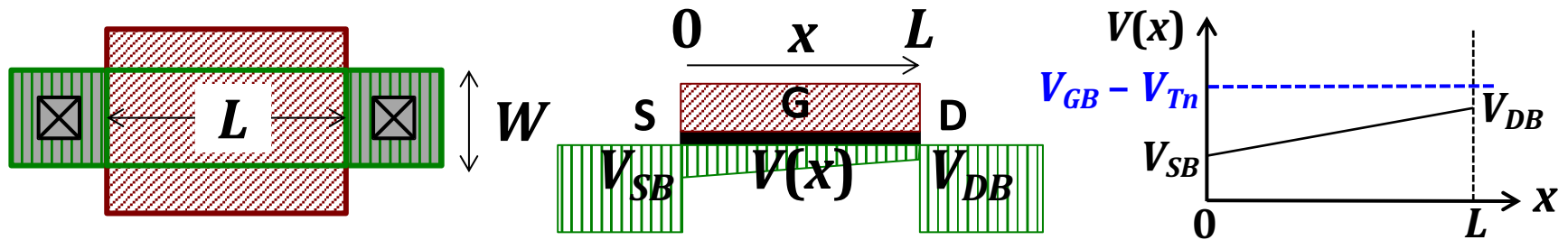
$$I_{DS} = -v \cdot W \cdot Q(x)$$

$v \cdot W$  : 電子の単位時間当りの移動面積

$$= \mu_n W C_{OX} (V_{GB} - V_{Tn} - V(x)) dV(x)/dx$$

$$I_{DS} dx = \mu_n W C_{OX} (V_{GB} - V_{Tn} - V(x)) dV(x)$$

# nMOSTランジスタの線形領域動作



■  $V_{GB} - V_{Tn} > V_{SB}$ ,  $V_{GB} - V_{Tn} \geq V_{DB}$  :

$$\int_0^L I_{DS} dx = \mu_n C_{OX} W \int_{V_{SB}}^{V_{DB}} (V_{GB} - V_{Tn} - V(x)) dV(x)$$

$$I_{DS} = \frac{\mu_n C_{OX} W}{L} \left[ (V_{GB} - V_{Tn}) V(x) - \frac{1}{2} V(x)^2 \right]_{V_{SB}}^{V_{DB}}$$

$$= \frac{\mu_n C_{OX} W}{L} \left[ (V_{GB} - V_{Tn})(V_{DB} - V_{SB}) - \frac{1}{2} (V_{DB}^2 - V_{SB}^2) \right]$$

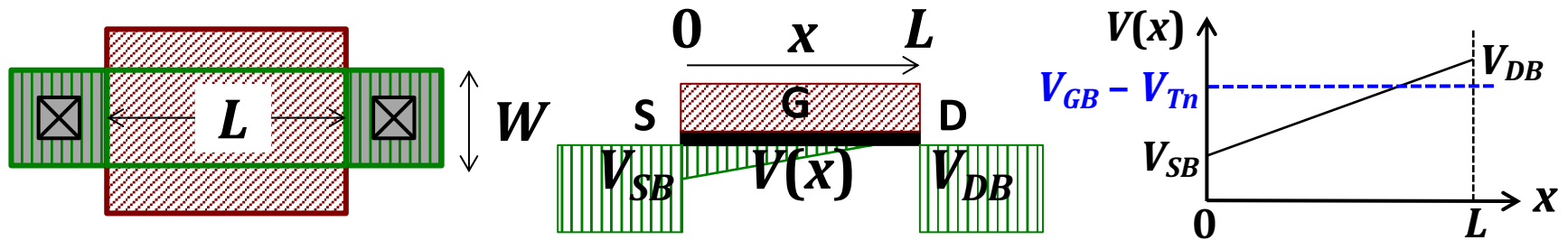
$$= \frac{\mu_n C_{OX} W}{L} \left[ (V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

**$V(x)$ 積分範囲 :**  
 **$[V_{SB}, V_{DB}]$**

$$V_{GS} = V_{GB} - V_{SB}$$

$$V_{DS} = V_{DB} - V_{SB}$$

# nMOSトランジスタの飽和領域動作



■  $V_{GB} - V_{Tn} > V_{SB}$ ,  $V_{GB} - V_{Tn} < V_{DB}$  :

❖ ドレイン付近の誘起電子密度が 0 になり、バルク表面電位  $V(x)$  は  $V_{DB}$  まで上がらず  $V_{GB} - V_{Tn}$  で頭打ちとなる

$$\begin{aligned}
 I_{DS} &= \frac{\mu_n C_{OX} W}{L} \left[ (V_{GB} - V_{Tn}) V(x) - \frac{1}{2} V(x)^2 \right]_{V_{SB}}^{V_{GB} - V_{Tn}} \\
 &= \frac{\mu_n C_{OX} W}{L} \left[ (V_{GB} - V_{Tn})(V_{GB} - V_{Tn} - V_{SB}) - \frac{1}{2} \left( (V_{GB} - V_{Tn})^2 - V_{SB}^2 \right) \right] \\
 &= \frac{\mu_n C_{OX} W}{L} \left[ \frac{(V_{GS} - V_{Tn})^2}{2} \right]
 \end{aligned}$$

**$V(x)$ 積分範囲 :**  
 $[V_{SB}, V_{GB} - V_{Tn}]$

補足 : ここでは「チャネル長変調効果」を考慮していない → 実際には飽和領域でも  $I_{DS}$  は  $V_{DS}$  とともに微小に増加する

# nMOSトランジスタの直流特性

❖ 動作範囲 :  $V_B = 0, V_{GB} \geq 0, V_{SB} \geq 0, V_{DB} \geq 0, V_{DB} \geq V_{SB}$

❖ 利得係数 :  $\beta_n = \mu_n C_{ox} \frac{W}{L}$

❖ カットオフ領域 ( $V_{GS} - V_{Tn} \leq 0$ ) :

$$I_{DS} = 0$$

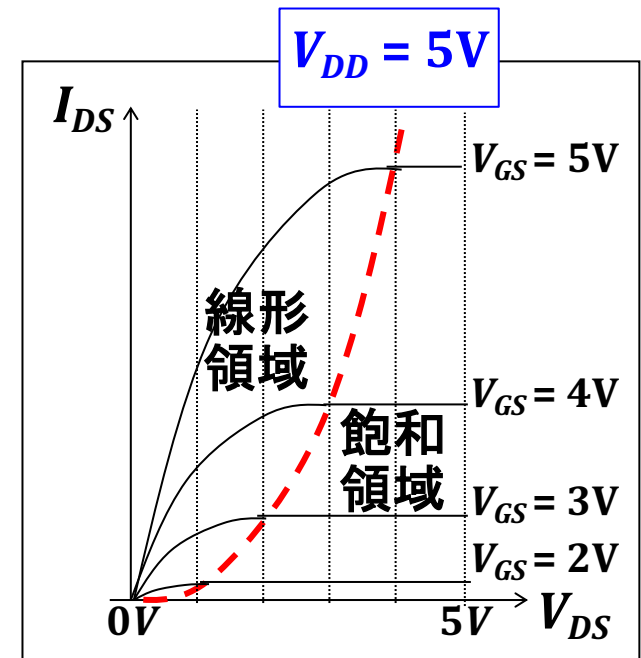
❖ 線形領域 ( $0 < V_{DS} \leq V_{GS} - V_{Tn}$ ) :

$$I_{DS} = \beta_n \left[ (V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

❖ 飽和領域 ( $0 < V_{GS} - V_{Tn} < V_{DS}$ ) :

$$I_{DS} = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2$$

❖ 電位が高い方がドレイン  
❖ 電位が低い方がソース





# pMOSトランジスタの動作原理(復習)

## ■ 基板電位：電源電圧 ( $V_{DD}$ )

3端子の対基板電圧は **0V以下**

$$(V_{GB}, V_{SB}, V_{DB} \leq 0)$$

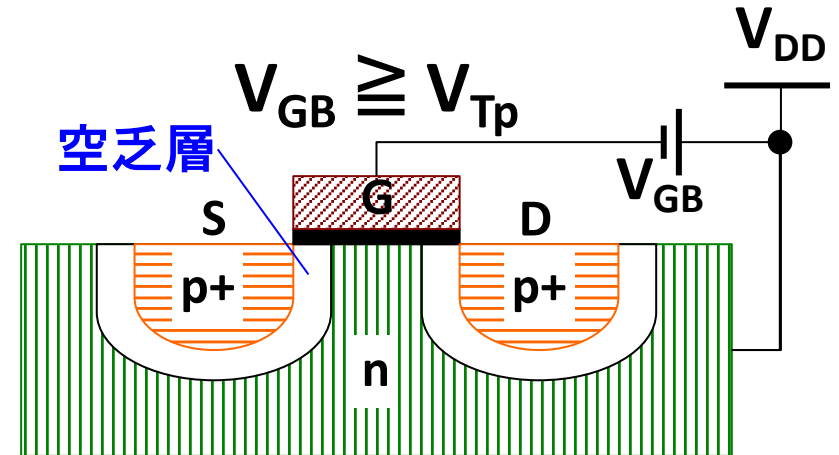
(以下の説明は  $V_{SB} = 0$  を想定)

## ■ 絶縁状態 ( $V_{GB} \geq V_{Tp}$ )

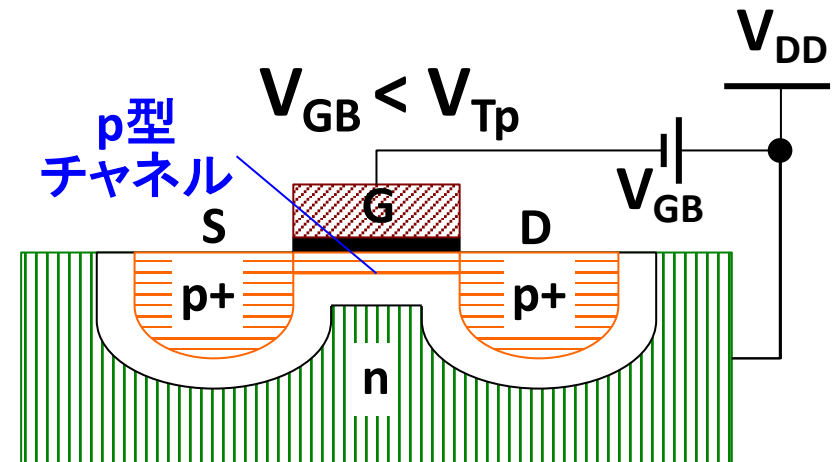
**p型ソース・ドレイン**端子間の**n型基板**により**空乏層**で隔離されているため、絶縁状態になる ( $V_{Tp}$ : pMOSスレッショルド電圧、 $V_{Tp} \doteq -0.2V_{DD}$ )

## ■ 導通状態 ( $V_{GB} < V_{Tp}$ )

ゲート直下の**n型基板**に誘起された**ホール**によって**p型チャネル**が形成され、ソース・ドレイン間は導通状態になる

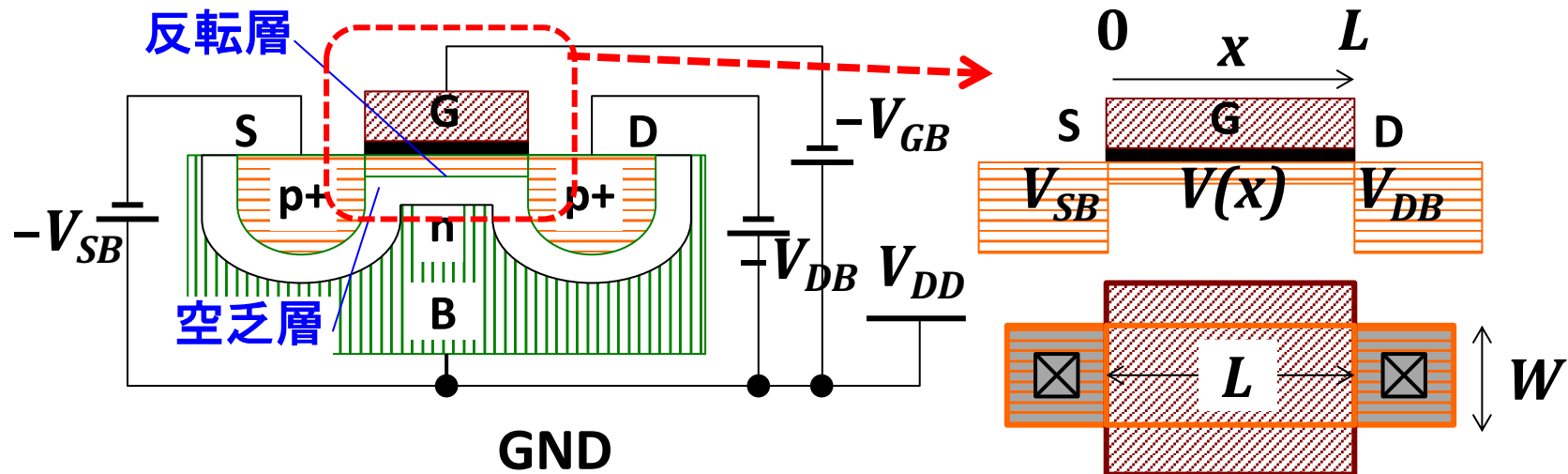


基板電位 =  $V_{DD}$  (電源電圧)



基板電位 =  $V_{DD}$  (電源電圧)

# pMOSトランジスタの直流動作



nMOSTランジスタと比べて動作条件の極性が全て逆

	基板 電位 $V_B$	ソース・ド レイン電位	スレッシュホールド 電圧	カットオフ 条件	飽和条件
nMOS	0	$V_{DB} \geq V_{SB}$	$V_{Tn} \doteq 0.2V_{DD}$	$V_{GS} \leq V_{Tn}$	$0 < V_{GS} - V_{Tn} < V_{DS}$
pMOS	$V_{DD}$	$V_{DB} \leq V_{SB}$	$V_{Tp} \doteq -0.2V_{DD}$	$V_{GS} \geq V_{Tp}$	$V_{DS} < V_{GS} - V_{Tp} < 0$

# pMOSトランジスタの直流特性

❖ 動作範囲 :  $V_B = V_{DD}$ ,  $V_{GB} \leq 0$ ,  $V_{SB} \leq 0$ ,  $V_{DB} \leq 0$ ,  $V_{DB} \leq V_{SB}$

❖ 利得係数 :  $\beta_p = \mu_p C_{OX} \frac{W}{L}$

❖ カットオフ領域 ( $V_{GS} - V_{Tp} \geq 0$ ) :

$$I_{DS} = 0$$

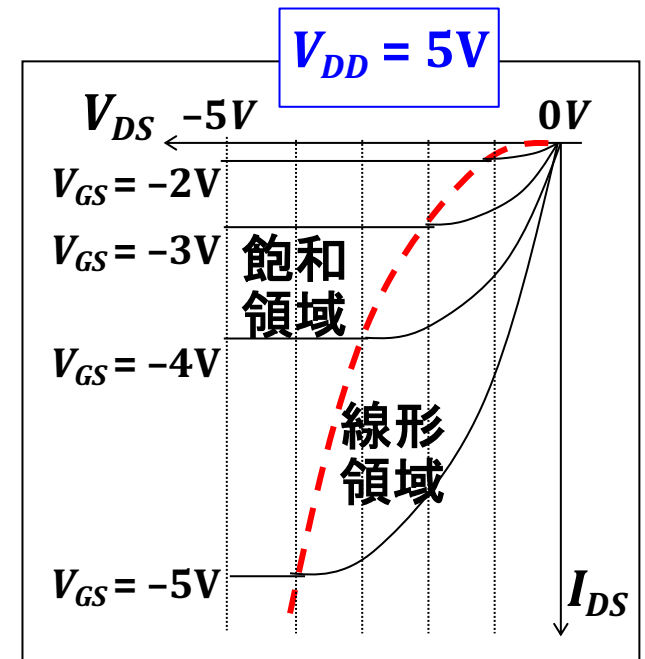
❖ 線形領域 ( $V_{GS} - V_{Tp} \leq V_{DS} < 0$ ) :

$$I_{DS} = -\beta_p \left[ (V_{GS} - V_{Tp}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

❖ 飽和領域 ( $V_{DS} < V_{GS} - V_{Tp} < 0$ ) :

$$I_{DS} = \frac{-\beta_p}{2} (V_{GS} - V_{Tp})^2$$

❖ 電位が低い方がドレイン  
❖ 電位が高い方がソース



# nMOS直流特性

- ❖ 動作範囲 :  $V_B = 0, V_{GB} \geq 0,$   
 $V_{SB} \geq 0, V_{DB} \geq 0, V_{DB} \geq V_{SB}$
- ❖ スレッシュホールド電圧 :  $V_{Tn} \doteq 0.2V_{DD}$
- ❖ 利得係数 :  $\beta_n = \mu_n C_{OX} \frac{W}{L}$
- ❖ カットオフ領域 ( $V_{GS} - V_{Tn} \leq 0$ ) :  

$$I_{DS} = 0$$
- ❖ 線形領域 ( $0 < V_{DS} \leq V_{GS} - V_{Tn}$ ) :  

$$I_{DS} = \beta_n \left[ (V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$
- ❖ 飽和領域 ( $0 < V_{GS} - V_{Tn} < V_{DS}$ ) :  

$$I_{DS} = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2$$

# pMOS直流特性

- ❖ 動作範囲 :  $V_B = V_{DD}, V_{GB} \leq 0,$   
 $V_{SB} \leq 0, V_{DB} \leq 0, V_{DB} \leq V_{SB}$
- ❖ スレッシュホールド電圧 :  $V_{Tp} \doteq -0.2V_{DD}$
- ❖ 利得係数 :  $\beta_p = \mu_p C_{OX} \frac{W}{L}$
- ❖ カットオフ領域 ( $V_{GS} - V_{Tp} \geq 0$ ) :  

$$I_{DS} = 0$$
- ❖ 線形領域 ( $V_{GS} - V_{Tp} \leq V_{DS} < 0$ ) :  

$$I_{DS} = -\beta_p \left[ (V_{GS} - V_{Tp}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$
- ❖ 飽和領域 ( $V_{DS} < V_{GS} - V_{Tp} < 0$ ) :  

$$I_{DS} = -\frac{\beta_p}{2} (V_{GS} - V_{Tp})^2$$

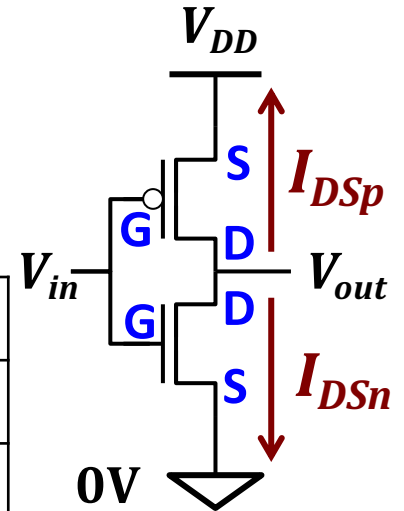
# CMOSインバータの直流特性

❖ 論理動作：

$V_{in}$	nMOS	pMOS	$V_{out}$
0	OFF	ON	$V_{DD}$
$V_{DD}$	ON	OFF	0

❖ 端子電圧：

	$V_B$	$V_{SB}$	$V_{GS}$	$V_{DS}$
nMOS	0	0	$V_{in}$	$V_{out}$
pMOS	$V_{DD}$	0	$V_{in} - V_{DD}$	$V_{out} - V_{DD}$



❖ 直流電流： $I_{DSn} = -I_{DSp}$  (出力端子には電流が流れないとする)

$$I_{DSn} = \beta_n \left[ (V_{in} - V_{Tn}) V_{out} - \frac{1}{2} V_{out}^2 \right]$$

$$I_{DSn} = \frac{\beta_n}{2} (V_{in} - V_{Tn})^2$$

$$I_{DSp} = -\beta_p \left[ (V_{in} - V_{DD} - V_{Tp}) (V_{out} - V_{DD}) - \frac{1}{2} (V_{out} - V_{DD})^2 \right]$$

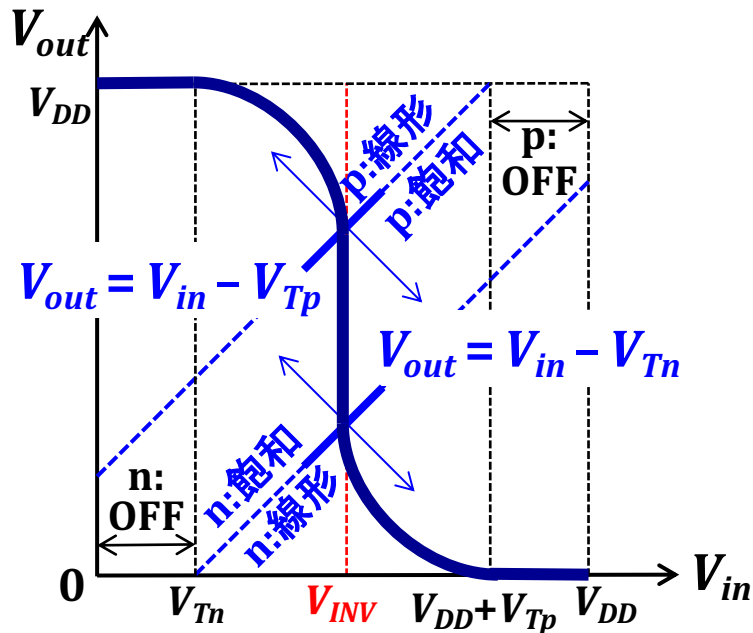
$$I_{DSp} = \frac{-\beta_p}{2} (V_{in} - V_{DD} - V_{Tp})^2$$

線形電流

飽和電流

# CMOSインバータの入出力特性

	カットオフ	線形	飽和
nMOS	$V_{in} \leq V_{Tn}$	$V_{in} > V_{Tn}$	$V_{in} > V_{Tn}$
		$V_{out} \leq V_{in} - V_{Tn}$	$V_{out} > V_{in} - V_{Tn}$
pMOS	$V_{in} \leq V_{DD} + V_{Tp}$	$V_{in} < V_{DD} + V_{Tp}$	$V_{in} < V_{DD} + V_{Tp}$
		$V_{out} \geq V_{in} - V_{Tp}$	$V_{out} < V_{in} - V_{Tp}$



$V_{in}$ の範囲	nMOS	pMOS
$0 \leq V_{in} \leq V_{Tn}$	OFF	線形
$V_{Tn} < V_{in} < V_{INV}$	飽和	線形
$V_{in} = V_{INV}$	飽和	飽和
$V_{INV} < V_{in} < V_{DD} + V_{Tp}$	線形	飽和
$V_{DD} + V_{Tp} \leq V_{in} \leq V_{DD}$	線形	OFF

**$V_{INV}$ : 論理閾値電圧**

# CMOSインバータの論理閾値電圧

❖  $0 \leq V_{in} \leq V_{Tn}$  : nMOS(カットオフ)、pMOS(線形)

✧  $I_{DSn} = -I_{DSp} = 0 \rightarrow$  (pMOS線形電流式より)  $V_{out} = V_{DD}$

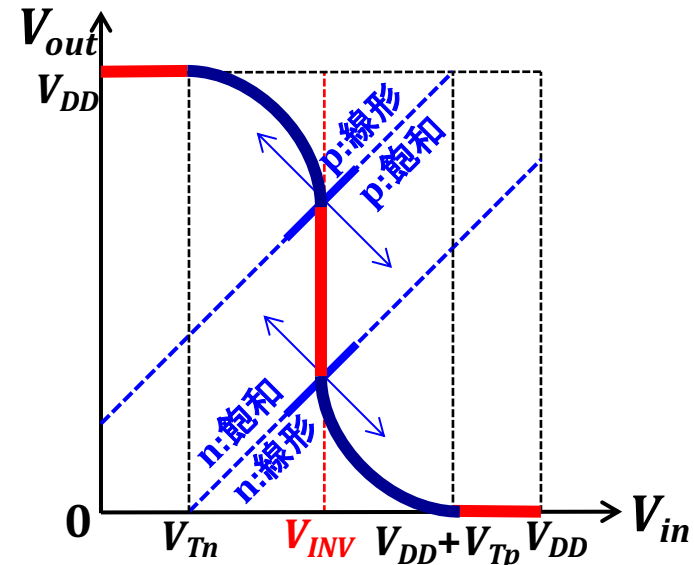
❖  $V_{DD} + V_{Tp} \leq V_{in} \leq V_{DD}$  : nMOS(線形)、pMOS(カットオフ)

✧  $I_{DSn} = -I_{DSp} = 0 \rightarrow$  (nMOS線形電流式より)  $V_{out} = 0$

❖  $V_{in} = V_{INV}$  : nMOS(飽和)、pMOS(飽和)

$$\frac{\beta_n}{2}(V_{in} - V_{Tn})^2 = \frac{\beta_p}{2}(V_{in} - V_{DD} - V_{Tp})^2$$

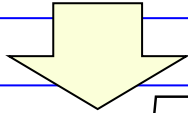
$$V_{in} = \frac{V_{DD} + V_{Tp} + \sqrt{\frac{\beta_n}{\beta_p}} V_{Tn}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} = V_{INV}$$



# CMOSインバータの論理閾値電圧

## ❖ nMOS(飽和)、pMOS(線形)

$$\frac{\beta_n}{2}(V_{in} - V_{Tn})^2 = \beta_p \left[ (V_{in} - V_{DD} - V_{Tp})(V_{out} - V_{DD}) - \frac{1}{2}(V_{out} - V_{DD})^2 \right]$$

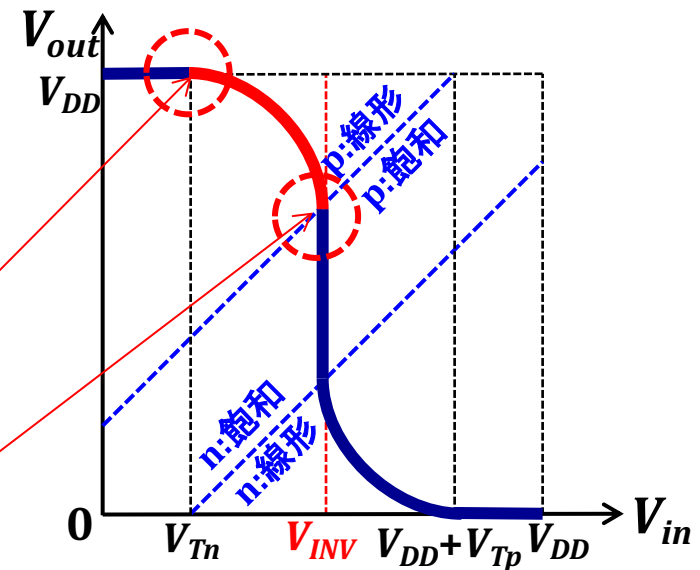


$$V_{out} = V_{in} - V_{Tp} + \sqrt{(V_{DD} + V_{Tp} - V_{in})^2 - \frac{\beta_n}{\beta_p}(V_{in} - V_{Tn})^2}$$

$$\frac{dV_{out}}{dV_{in}} = 1 + \frac{V_{in} - V_{DD} - V_{Tp} - \frac{\beta_n}{\beta_p}(V_{in} - V_{Tn})}{\sqrt{(V_{in} - V_{DD} - V_{Tp})^2 - \frac{\beta_n}{\beta_p}(V_{in} - V_{Tn})^2}}$$

$$V_{in} = V_{Tn} : dV_{out} / dV_{in} = 0$$

$$V_{in} = V_{INV} : dV_{out} / dV_{in} = \infty$$



$$\therefore \frac{\beta_n}{2}(V_{in} - V_{Tn})^2 = \frac{\beta_p}{2}(V_{in} - V_{DD} - V_{Tp})^2$$



# まとめ

## ■ MOS半導体の基本素子

- 寄生抵抗、寄生容量
- 抵抗、MOS容量、pn接合容量

## ■ MOSTランジスタの直流動作

- カットオフ領域、線形領域、飽和領域

## ■ CMOSインバータの直流特性

- 入出力特性
- 論理閾値

## 【課題3】

1. nMOSTランジスタの飽和領域の電流式が  $I_{DS} = 1/2 \cdot \beta_n (V_{GS} - V_{Tn})^2$  で与えられるとき、利得係数  $\beta_n$  はnMOSTランジスタのレイアウト寸法にどのように依存するか。
2. nMOSTランジスタとpMOSTランジスタについて、カットオフ領域、線形領域、飽和領域の動作範囲を  $V_{GS}$ ,  $V_{DS}$ ,  $V_{Tn}$ ,  $V_{Tp}$  を用いて示せ。

提出 ✕ 切 : 5/14(木)17時  
(ただし ✕ 切後も受け付けます)