

# 集積回路設計

## 2. MOSプロセスとトランジスタ

一色 剛

工学院情報通信系

[isshiki@ict.e.titech.ac.jp](mailto:isshiki@ict.e.titech.ac.jp)

## 2. MOSプロセスとトランジスタ

### ■ 半導体

- シリコン、n型半導体、p型半導体
- pn接合
- MOSTランジスタ構造
- MOSTランジスタ動作原理
- CMOS回路構造

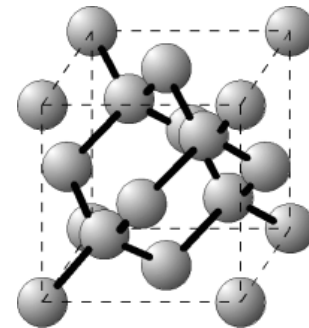
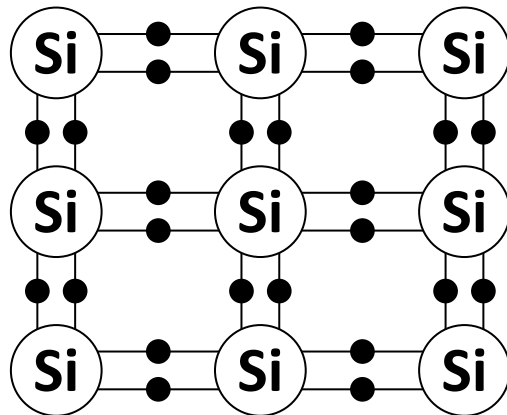
### ■ MOSプロセス(製造工程)

- レイアウト層、断面図
- MOSプロセスの流れ
- プロセス：薄膜堆積、リソグラフィ、平滑化、不純物導入、熱酸化

# 半導体 : Semiconductor

## ■ シリコン(ケイ素 : Si) : 原子番号14(4価元素)

- 4個の価電子(最外殻電子)が他の4個のSi原子と共有結合して、シリコン結晶を作る
- 結合力は弱く、室温程度の熱エネルギーで原子の束縛力を振り切って結晶内を移動する(自由電子) → 温度が上昇すると電気抵抗が低下する



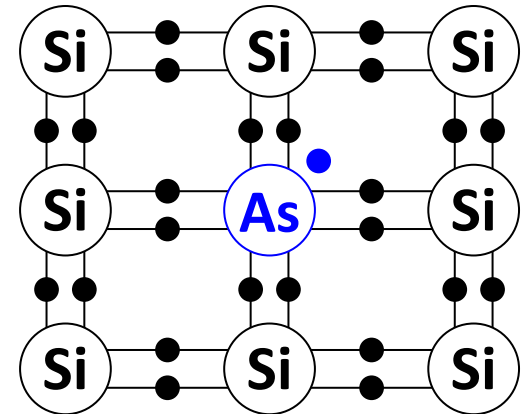
シリコン結晶の  
ダイヤモンド構造

<http://www.nagaoka-ct.ac.jp/me/oishi/research.html>

# 不純物半導体

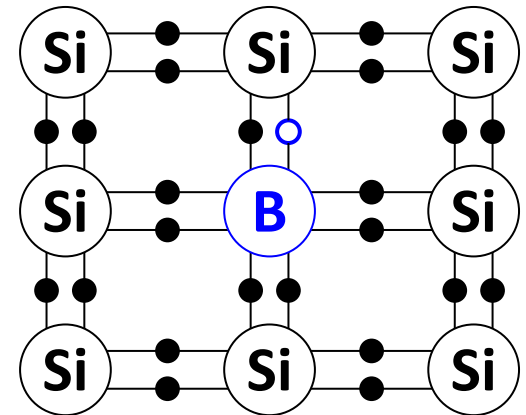
## ■ n型半導体 (n : negative)

5価元素(ヒ素 : As、リン : P、他)をSi結晶に混入させ、1個が自由電子となる  
→ ドナー不純物(電子を供給)



## ■ p型半導体 (p : positive)

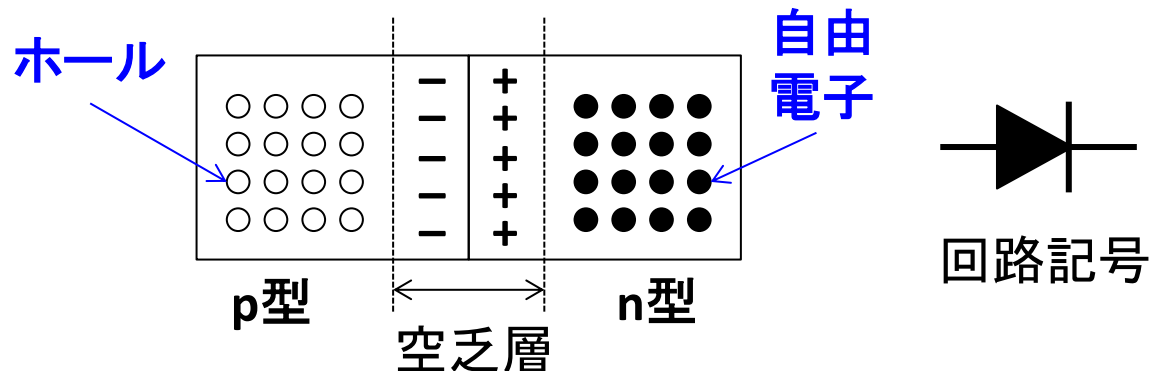
3価元素(ホウ素 : B、ガリウム : Ga、他)をSi結晶に混入させ、電子1個が不足し、電子を受け入れる「正孔」(ホール)ができる → アクセプタ不純物



# pn接合ダイオード

## ■ pn接合境界

- p型とn型の接合面における自由電子の濃度勾配により、n領域の自由電子がp領域に入り込む**(拡散電流)**
- 接合境界付近では、自由電子もホールもない「**空乏層**」が形成される
- p領域の空乏層は「-」(マイナス)に帯電し、n領域の空乏層は「+」(プラス)に帯電する

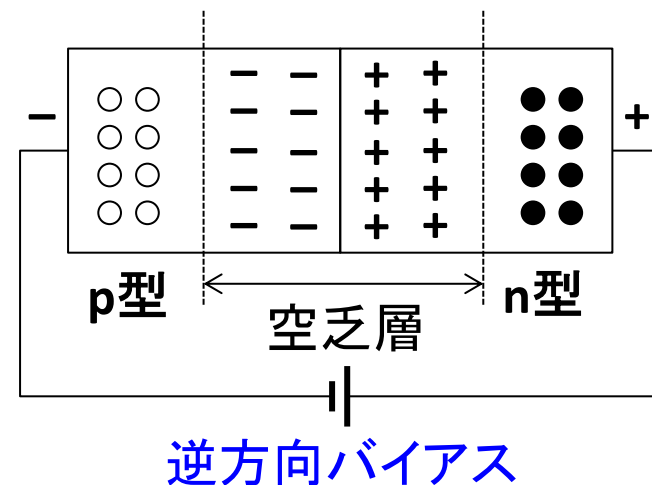


# pn接合ダイオードの整流性

## ■ 逆方向バイアス：

(p電極電圧 < n電極電圧)

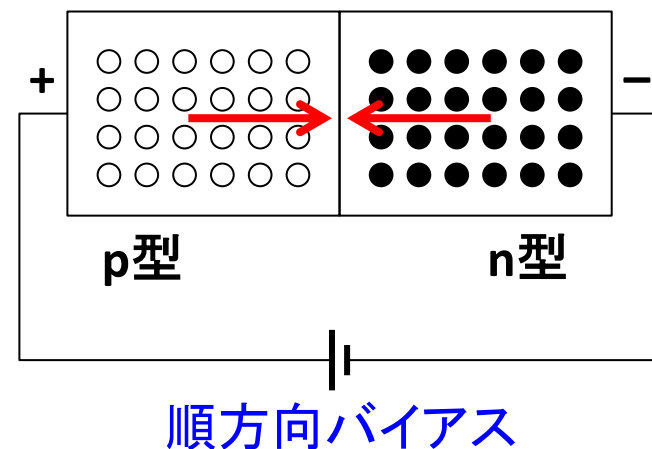
- 空乏層が広がり電流が**流れない**  
(外部電源の電位差を打ち消すように空乏層が広がる)



## ■ 順方向バイアス

(p電極電圧 > n電極電圧)

- 空乏層が消滅し電流が**流れる**(電界により自由電子がn領域からp領域に流入し、ホールを埋め続ける)



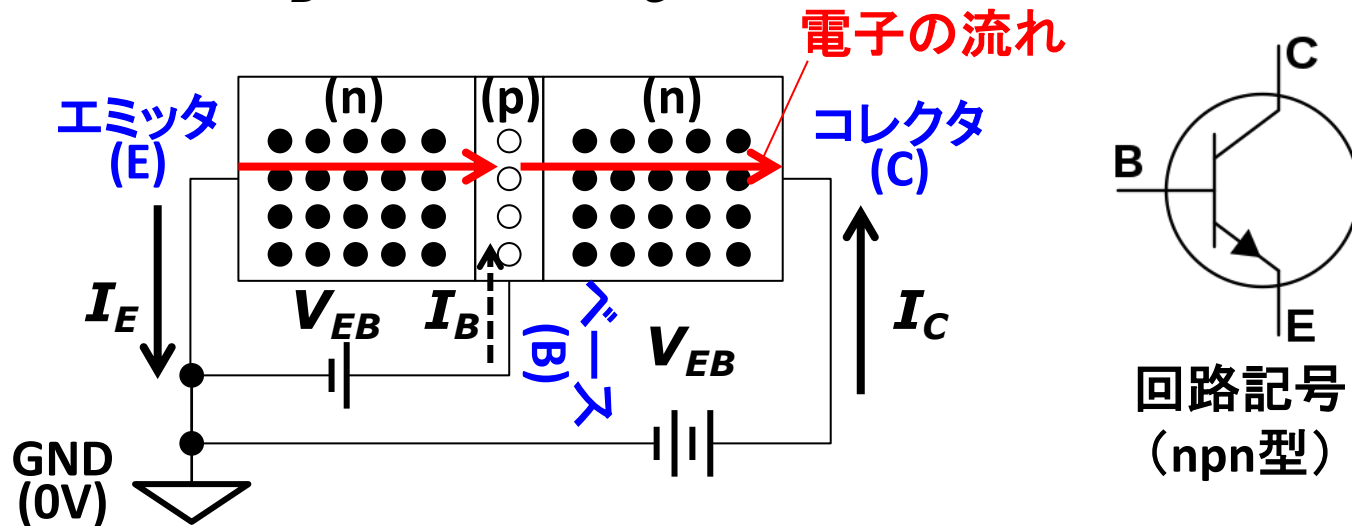
# バイポーラトランジスタ

## ■ 構造 : エミッタ(E)、ベース(B)、コレクタ(C)

- pn接合ダイオードを2つ接続(pnp型、npn型)
- E-B接合 : 順方向バイアス、C-B接合 : 逆方向バイアス

## ■ 電流増幅作用

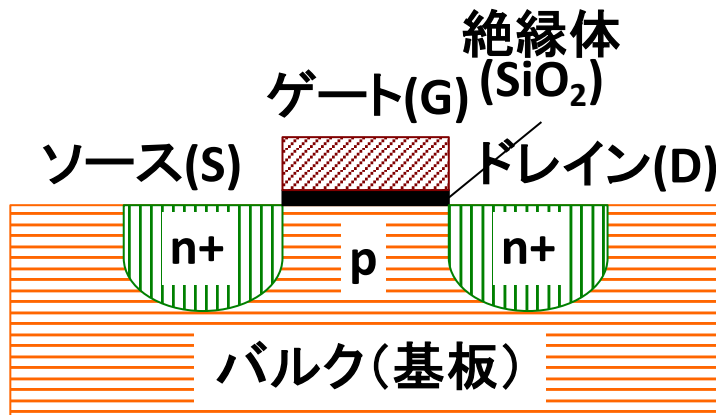
- エミッタ電流のほとんどは薄いベース領域を貫通しコレクタへ流れる(ベース電流 $I_B$ はコレクタ電流 $I_C$ に比べて微小)
- 微小電流 $I_B$ によって電流 $I_C$ を制御



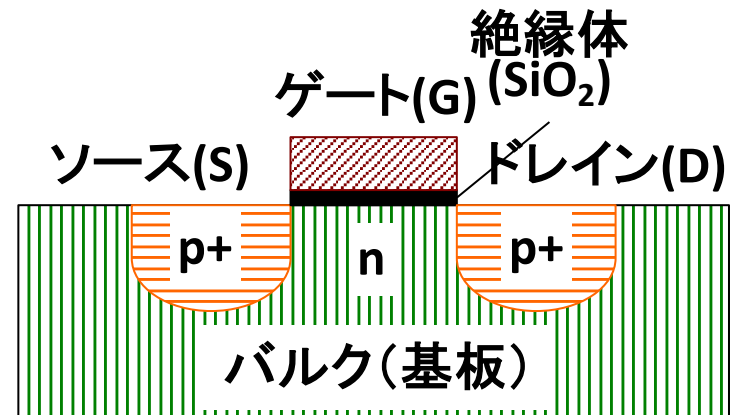
# MOSTランジスタ

## ■ MOS構造 (Metal / Oxide / Semiconductor)

- ・ シリコン基板(バルク) : 単結晶シリコン(低濃度不純物)
- ・ 絶縁体 : シリコン酸化膜 ( $\text{SiO}_2$ )
- ・ ゲート(G)電極 : メタル、ポリシリコン(多結晶シリコン)
- ・ ソース(S)・ドレイン(D)電極 : 高濃度不純物(基板と反対の不純物)
- ・ ソース・ドレイン端子の「絶縁状態」と「導通状態」を、ゲート電圧で制御する → ゲート端子には電流は流れない



nMOSTランジスタ



pMOSTランジスタ



# nMOSトランジスタの動作原理

## ■ 基板電位 : 0V(接地)

3端子の対基板電圧は **0V以上**

$$(V_{GB}, V_{SB}, V_{DB} \geq 0)$$

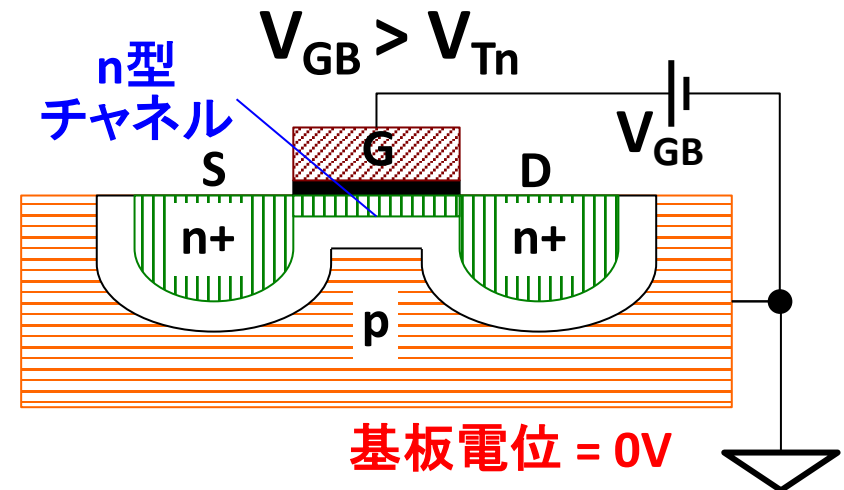
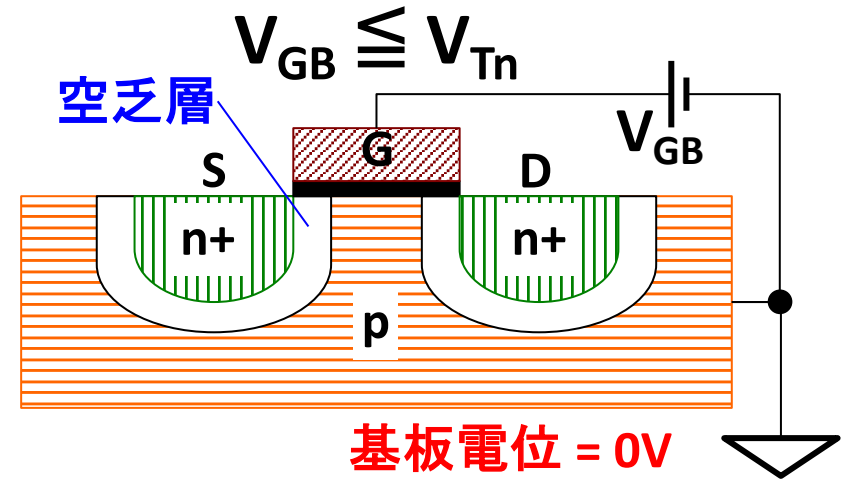
(以下の説明は  $V_{SB} = 0$  を想定)

## ■ 絶縁状態 ( $V_{GB} \leq V_{Tn}$ )

**n型ソース・ドレイン**端子間の**p型基板**により空乏層で隔離されているため、絶縁状態になる ( $V_{Tn}$ : nMOSスレッショルド電圧、 $V_{Tn} \cong 0.2V_{DD}$ )

## ■ 導通状態 ( $V_{GB} > V_{Tn}$ )

ゲート直下の**p型基板**に誘起された**電子**によって**n型チャネル**が形成され、ソース・ドレイン間は導通状態になる



# pMOSトランジスタの動作原理

## ■ 基板電位：電源電圧 ( $V_{DD}$ )

3端子の対基板電圧は **0V以下**

$$(V_{GB}, V_{SB}, V_{DB} \leq 0)$$

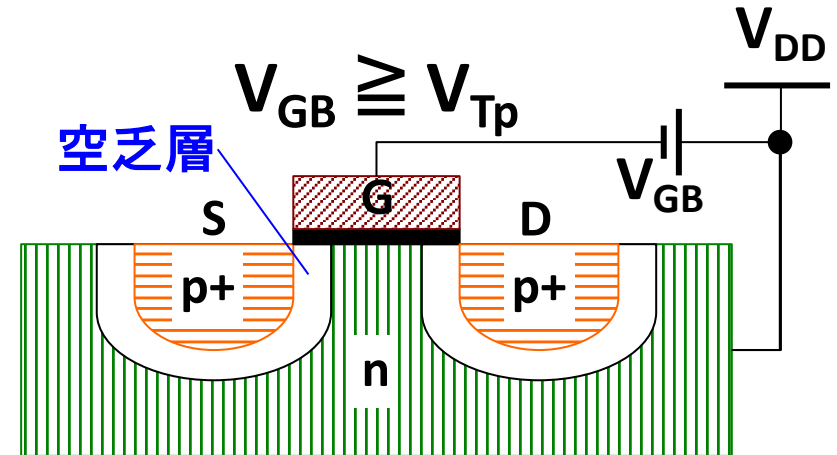
(以下の説明は  $V_{SB} = 0$  を想定)

## ■ 絶縁状態 ( $V_{GB} \geq V_{Tp}$ )

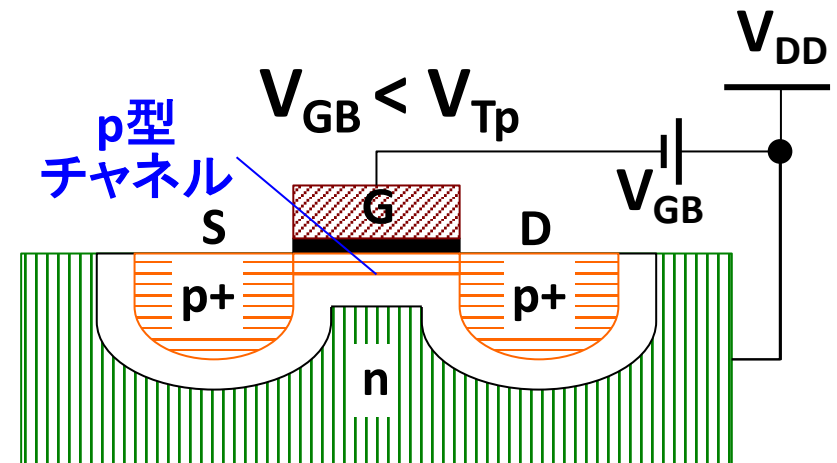
**p型ソース・ドレイン**端子間の**n型基板**により空乏層で隔離されているため、絶縁状態になる ( $V_{Tp}$ : pMOSスレッショルド電圧、 $V_{Tp} \cong -0.2V_{DD}$ )

## ■ 導通状態 ( $V_{GB} < V_{Tp}$ )

ゲート直下の**n型基板**に誘起された**ホール**によって**p型チャネル**が形成され、ソース・ドレイン間は導通状態になる



基板電位 =  $V_{DD}$  (電源電圧)

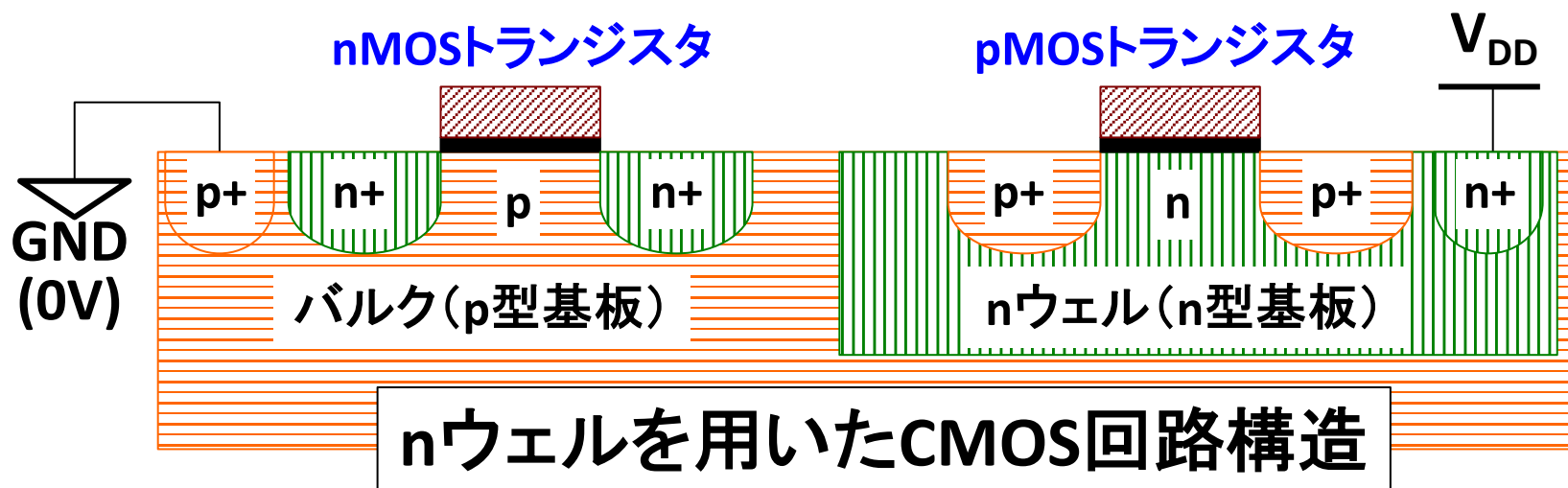
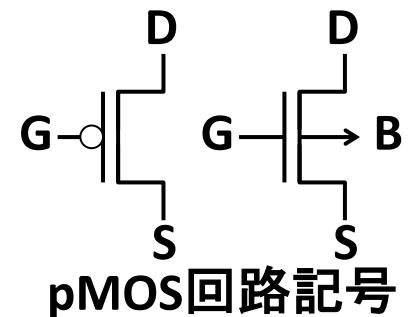
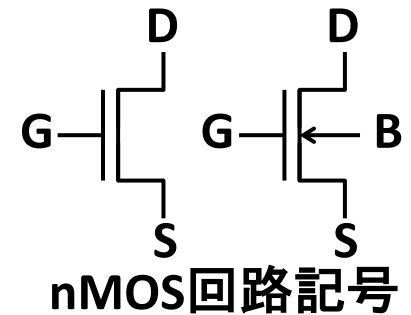


基板電位 =  $V_{DD}$  (電源電圧)

# CMOS回路構造

## ■ CMOS (Complementary MOS)

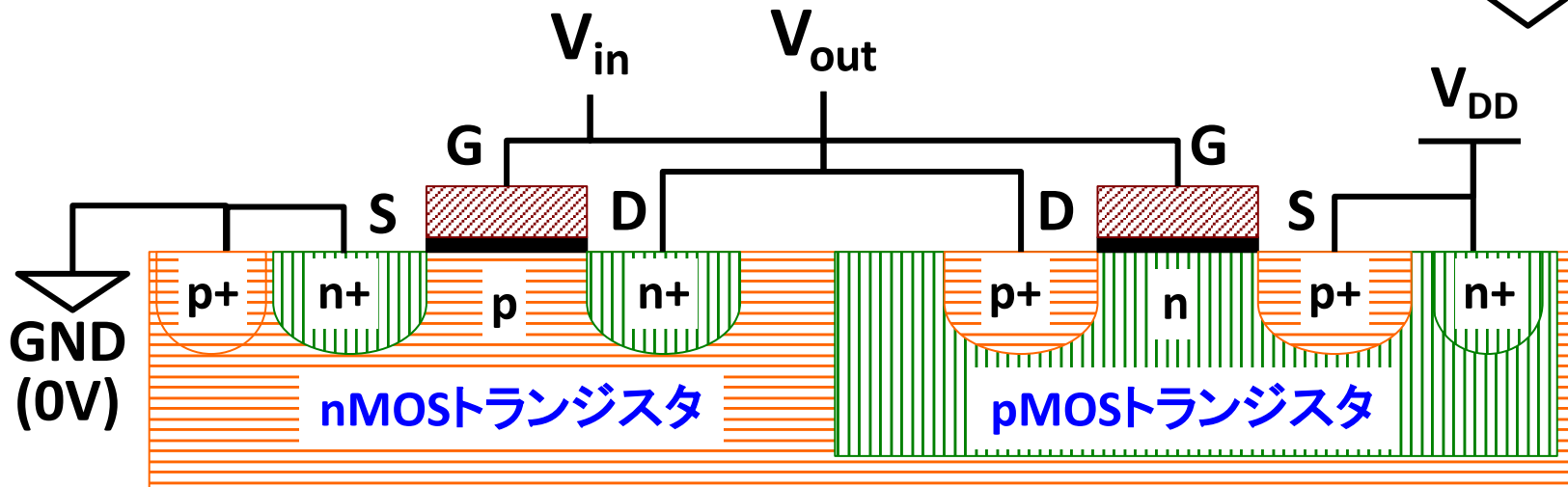
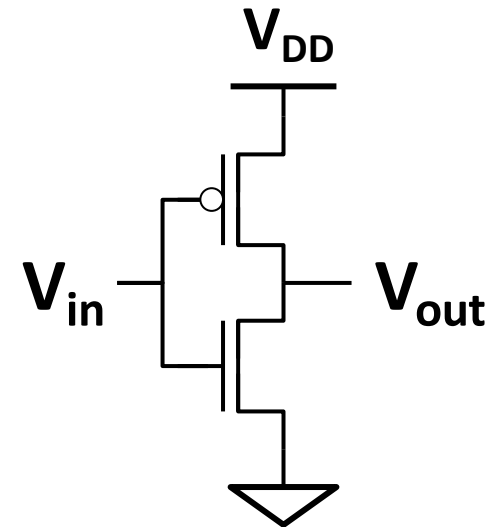
- nMOSとpMOSTランジスタを同一基板に搭載
- nMOSとpMOSの相補的な動作 → 一方が導通状態では、他方は絶縁状態になる
- スイッチング動作(絶縁・導通の切替)後は、電流が(ほとんど)流れない → 低消費電力



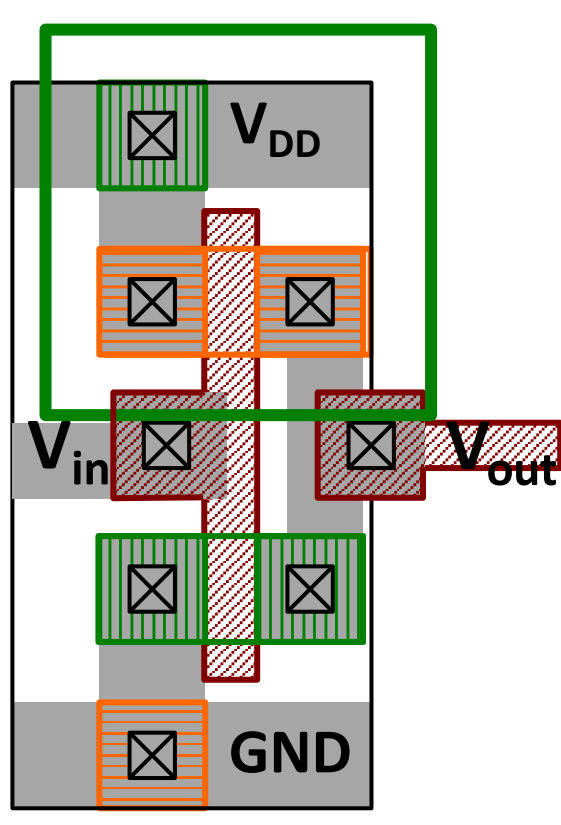
# CMOSインバータの論理動作

## ■ CMOSインバータ(論理否定)回路

$V_{in}$ (入力)	nMOS	pMOS	$V_{out}$ (出力)
GND (0)	OFF	ON	$V_{DD}$ (1)
$V_{DD}$ (1)	ON	OFF	GND (0)



# CMOSインバータのレイアウト



☒ コンタクト層

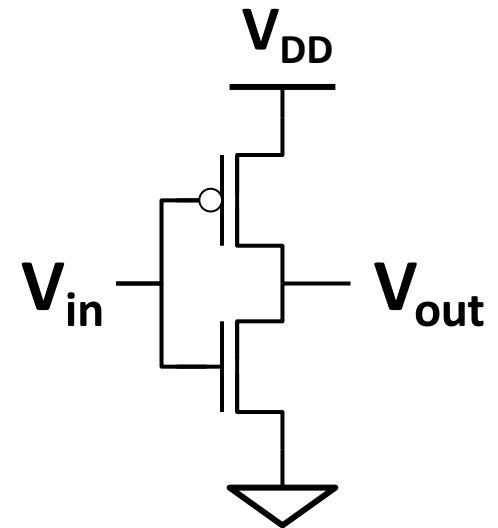
メタル層

ゲート層

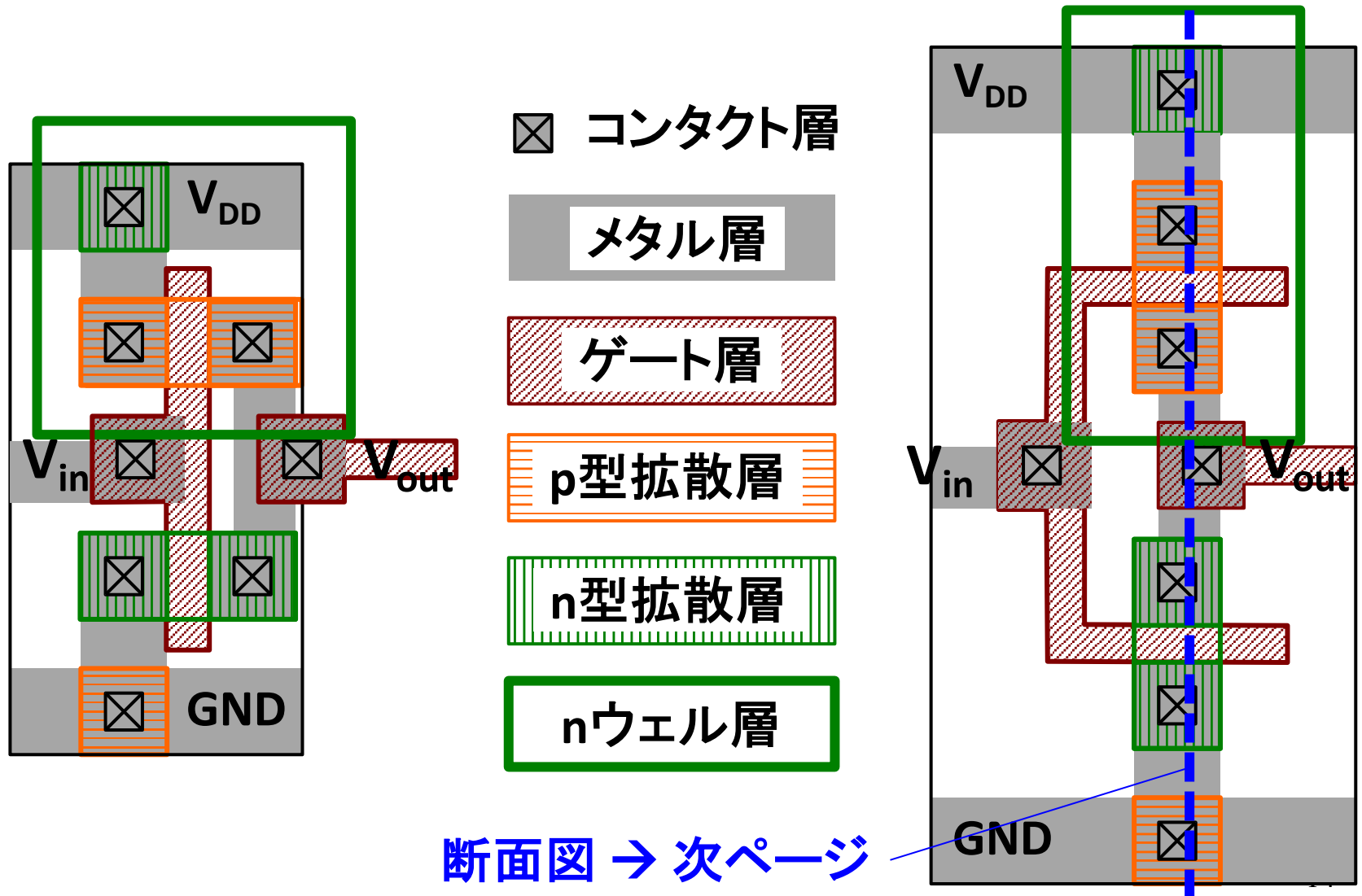
p型拡散層

n型拡散層

nウェル層

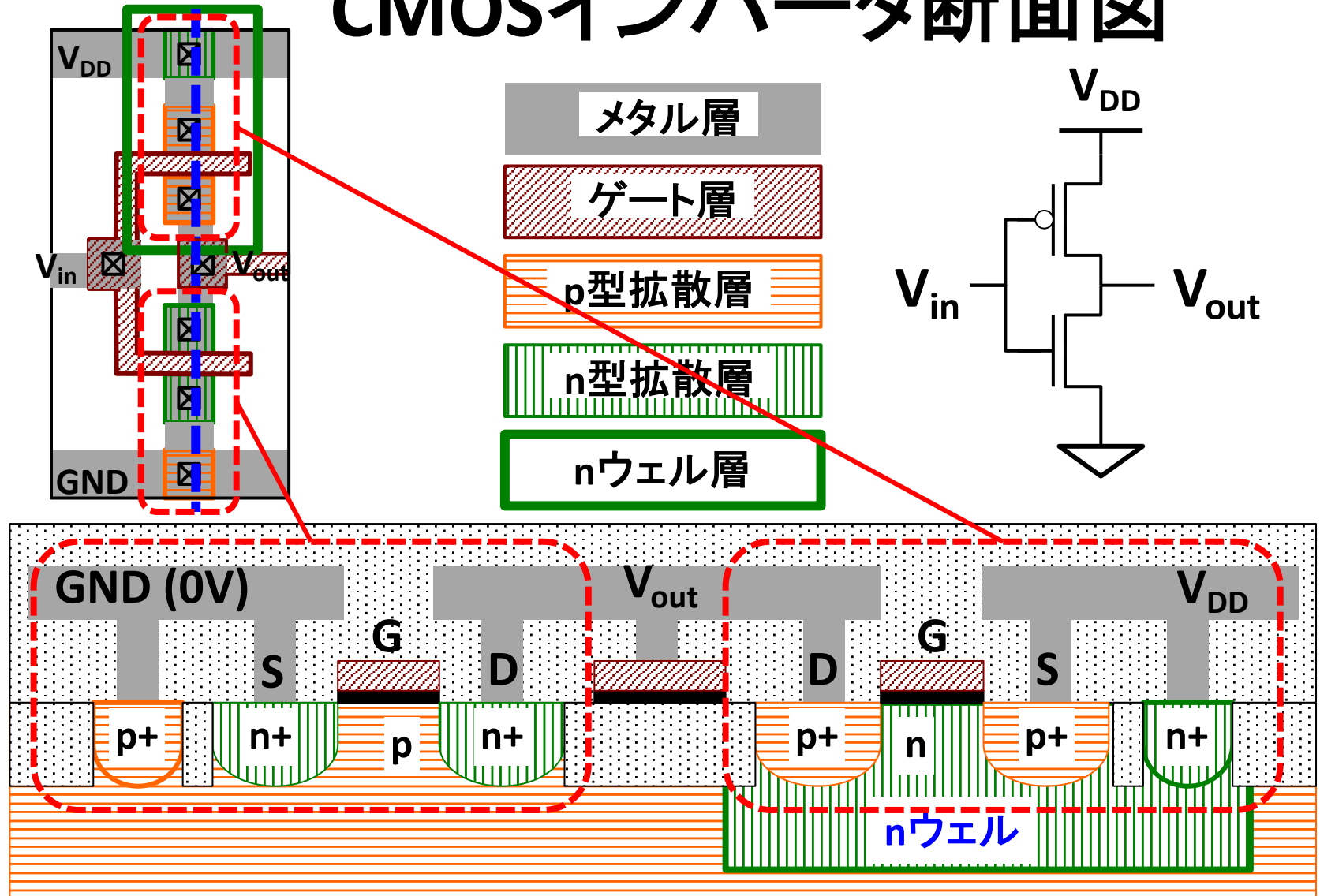


# CMOSインバータのレイアウト



断面図 → 次ページ

# CMOSインバータ断面図



# MOS製造工程(MOSプロセス)

## ■ リソグラフィ：回路パターン形成

- マスク生成、レジスト塗布、露光、現像、エッチング

## ■ 熱処理による絶縁酸化膜形成

- ゲート酸化膜：数十～数nm ( $\text{nm} : 10^{-9}\text{m} = 10^{-3}\mu\text{m}$ )

## ■ 堆積による薄膜形成

- 化学蒸着 (CVD)：ポリシリコン、配線層間絶縁酸化膜、フィールド酸化膜
- 物理蒸着 (PVD)：配線用メタル

## ■ 不純物導入

- 熱拡散、イオン注入：nウェル、ソース・ドレイン拡散層電極

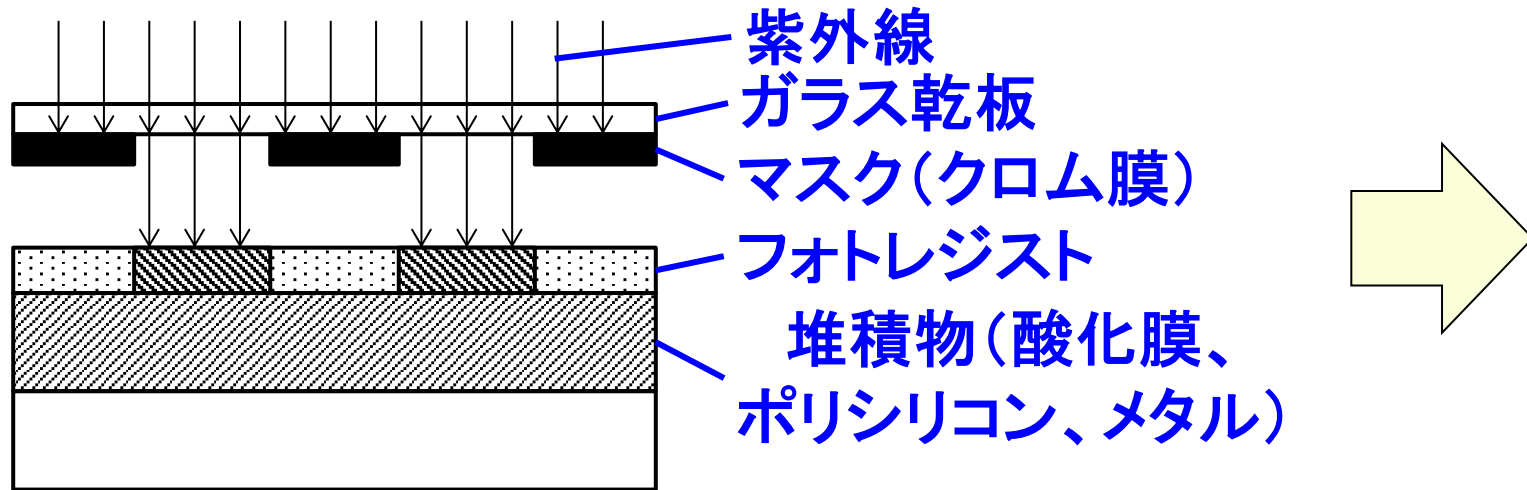
## ■ 平滑化：堆積物による凹凸を研磨によって取り除く

- Chemical mechanical polishing (CMP)



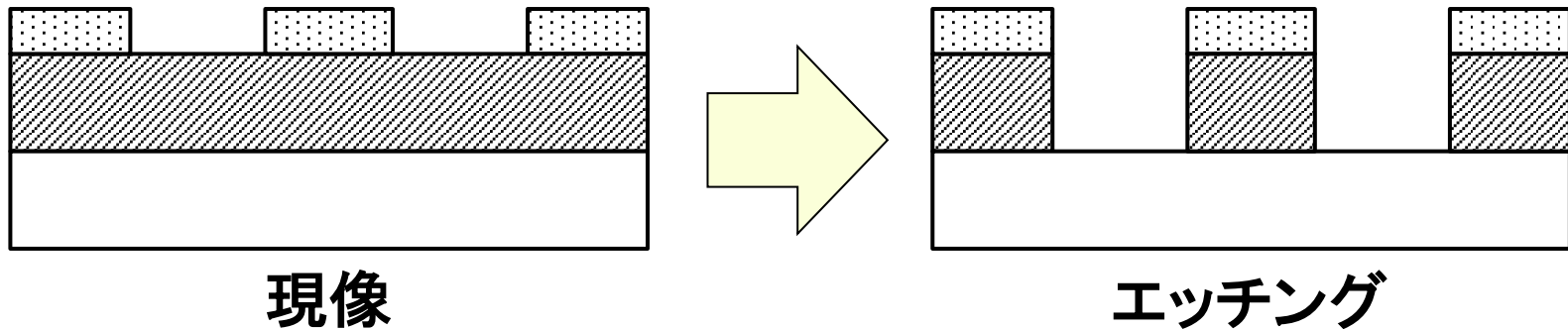
# リソグラフィ

## (1 : マスク生成・レジスト塗布・露光)



- **マスク生成** : 各マスク層ごとに、必要なパターンをガラス乾板に形成(レーザー微細加工)
- **レジスト塗布** : ウェーハ全体に塗り、高温で硬化させる
- **露光** : レンズとマスクを通して紫外線をウェーハに照射(ステッパを使ってウェーハを移動させながら繰り返す)

# リソグラフィ(2: 現像・エッチング)



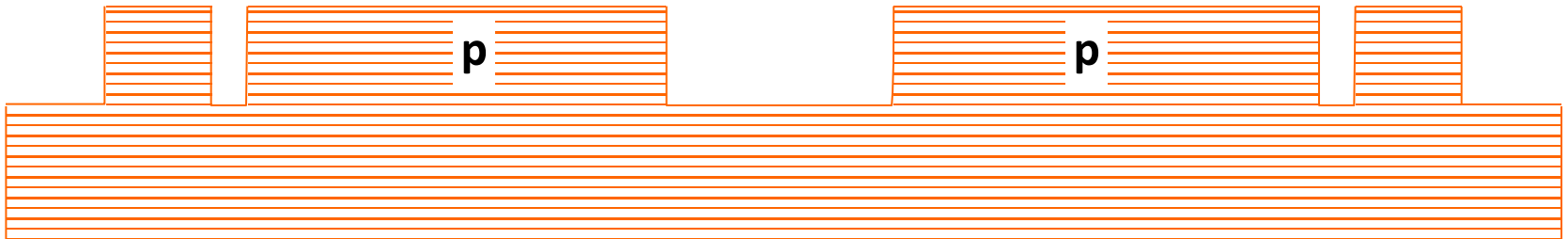
- **現像** : 紫外線に当たった露光領域のレジストを溶剤で除去(紫外線照射によりレジストの溶剤の溶解度が上がる)
- **エッチング** : レジストが除去された領域の堆積物を化学反応により除去
  - ・ **ドライエッチング** : イオン化した溶剤を表面に叩きつける → マスクパターンに忠実にエッチングできる

# MOSプロセス (1) : 素子分離領域形成

## 1. p型基板

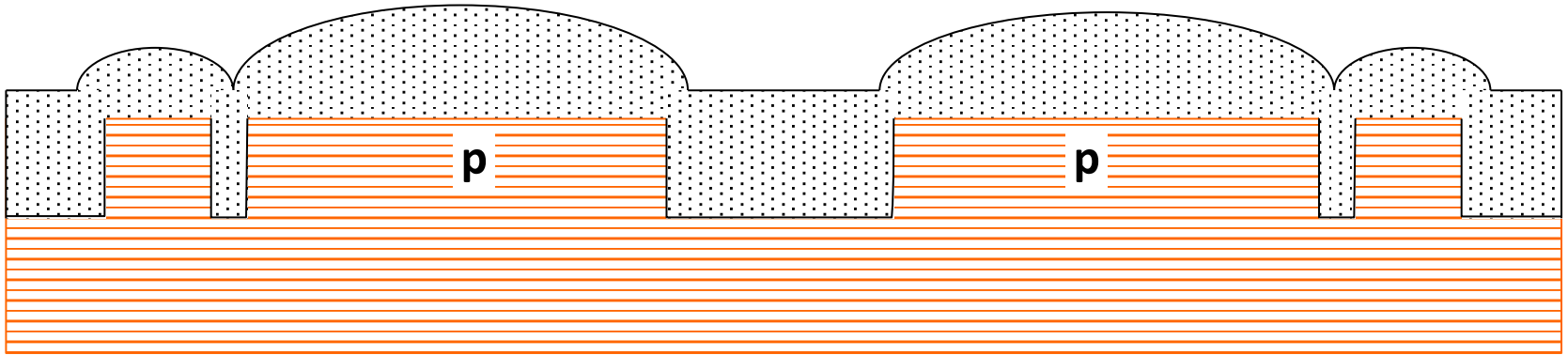


## 2. 素子分離領域エッチング (リソグラフィ)

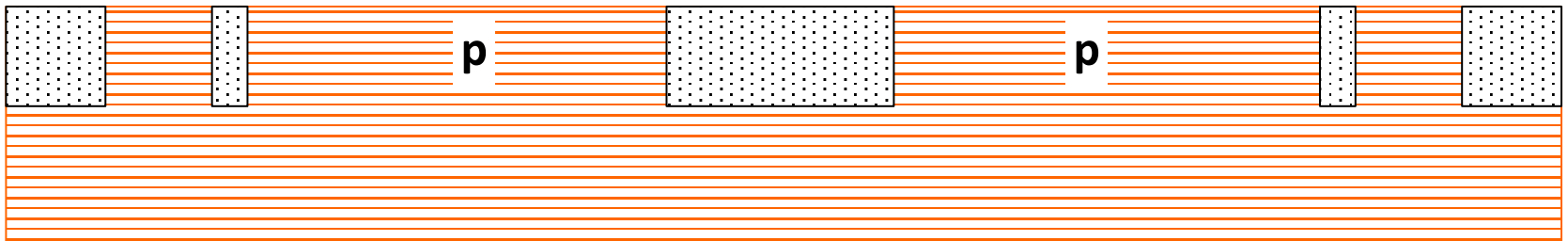


# MOSプロセス (2) : フィールド酸化膜形成

## 2. フィールド酸化膜堆積 (CVD : Chemical Vapor Deposition)

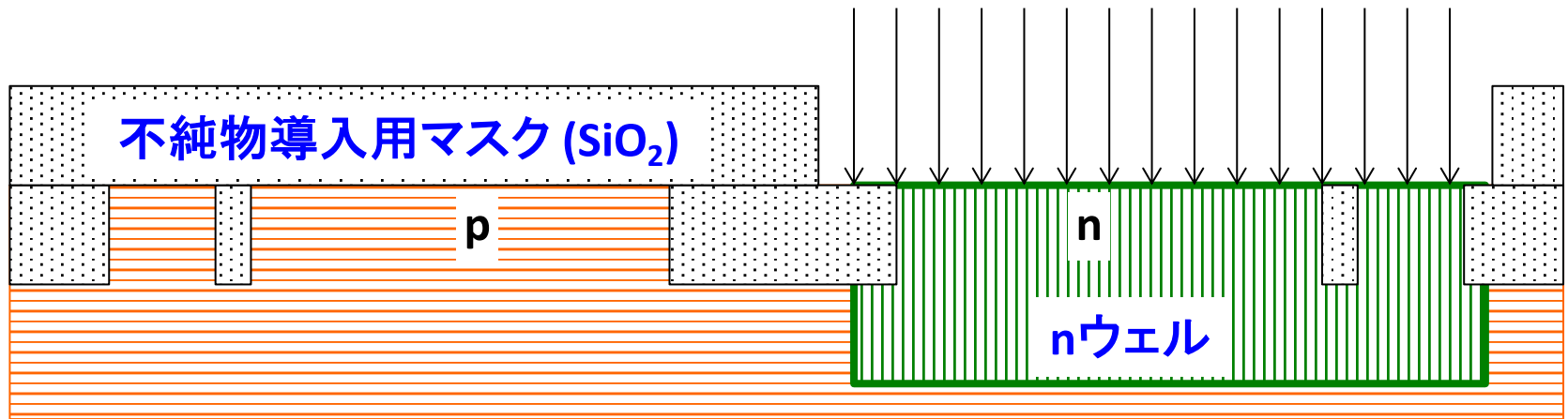


## 3. 平滑化 (CMP : Chemical Mechanical Polishing)

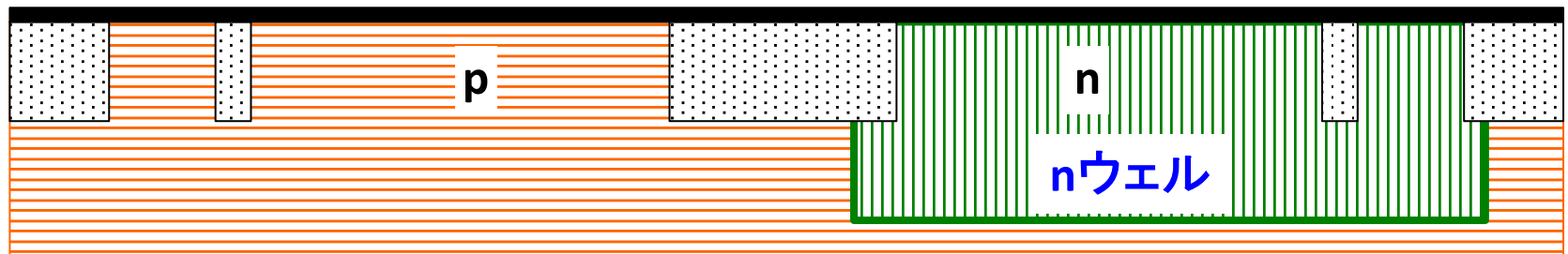


# MOSプロセス (3) : nウェル・ゲート酸化膜形成

## 4. nウェル形成 (n型不純物導入 : イオン注入)

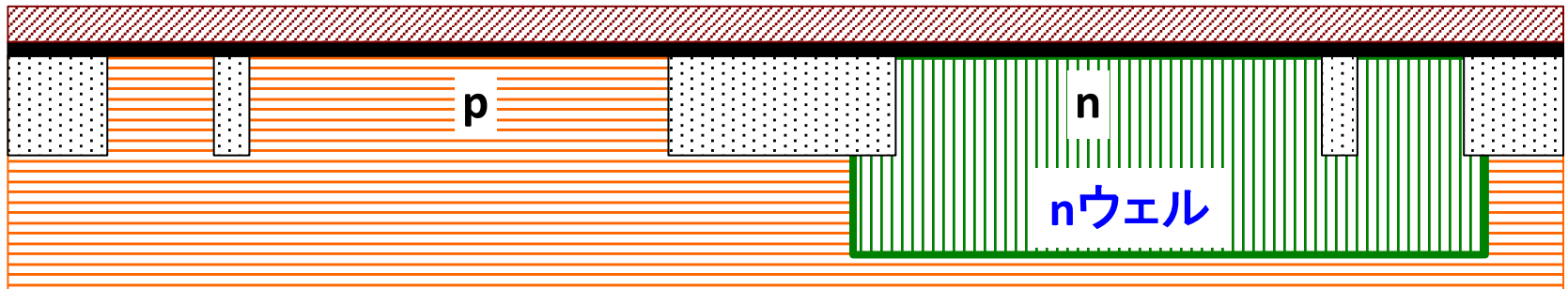


## 5. ゲート酸化膜形成 (熱酸化)

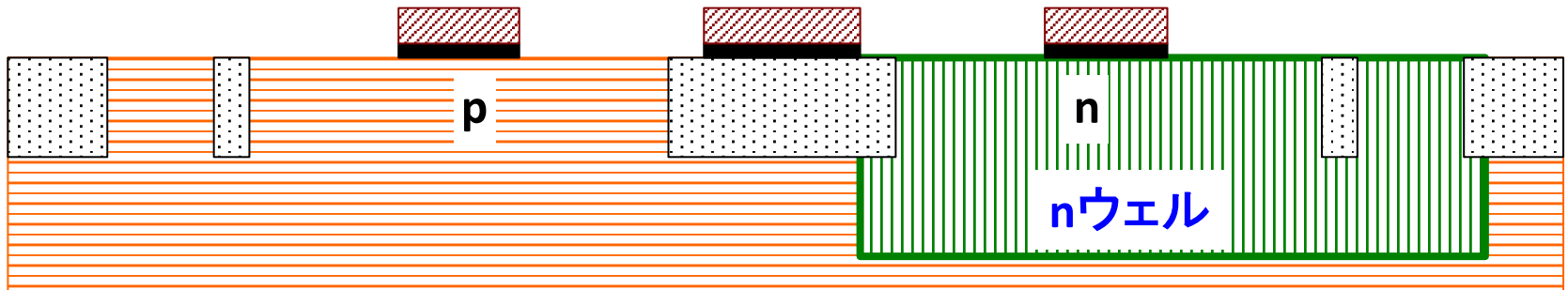


# MOSプロセス (4) : ゲート酸化膜形成

## 6. ポリシリコン層形成 (CVD)

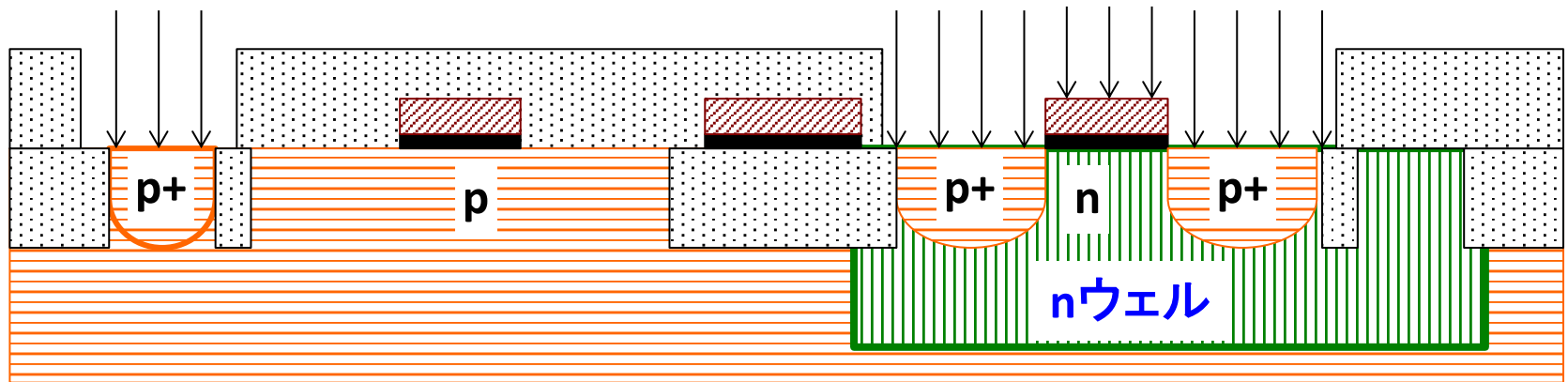


## 7. ゲートパターンエッチング (リソグラフィ)

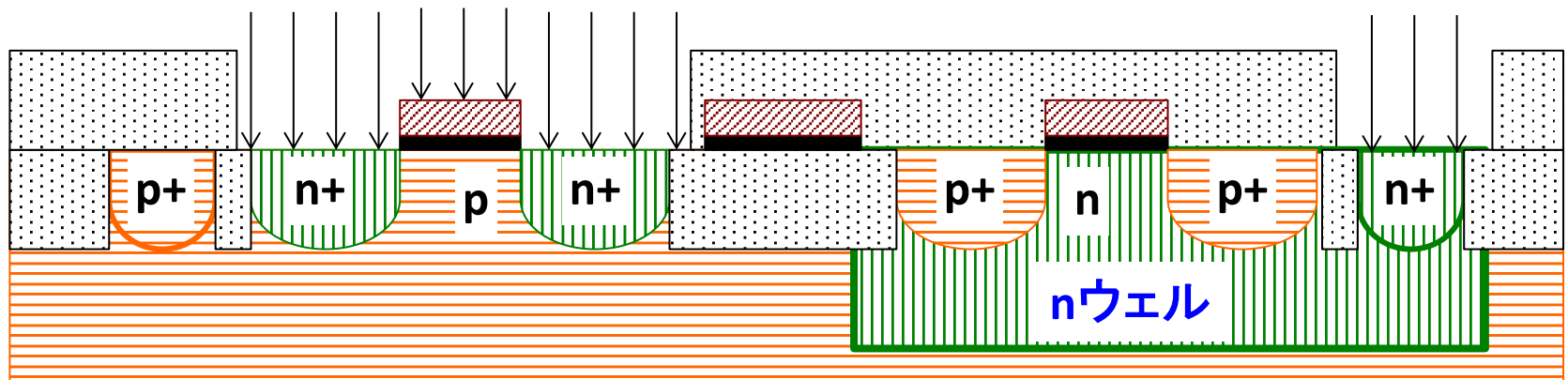


# MOSプロセス (5) : 拡散層形成

## 8. p型不純物導入 (イオン注入 + アニーリング(再結晶化))

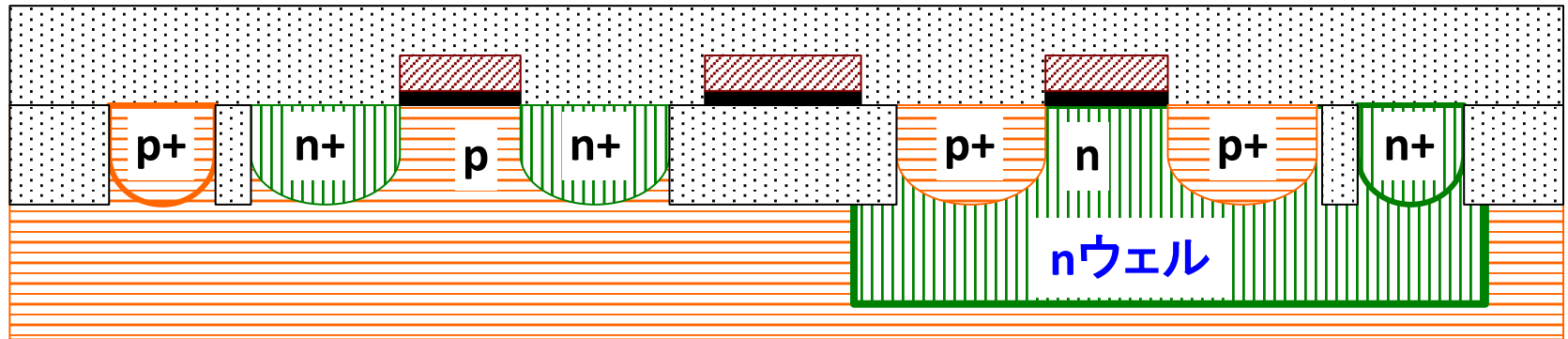


## 9. p型不純物導入 (イオン注入 + アニーリング(再結晶化))

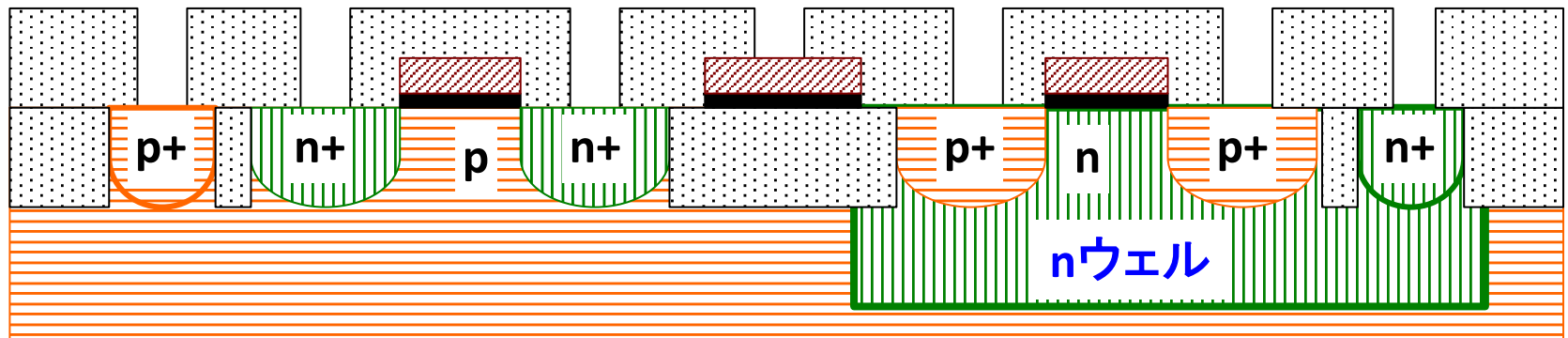


# MOSプロセス (6) : 絶縁膜・コンタクト形成

## 10. 絶縁膜形成 (CVD)



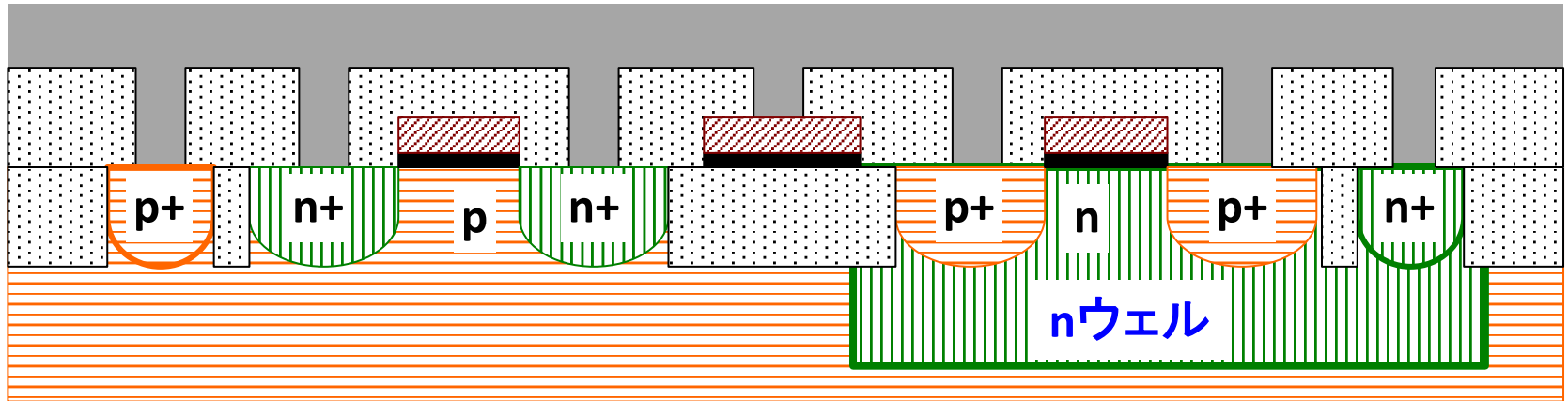
## 11. コンタクトホールエッチング (リソグラフィ)



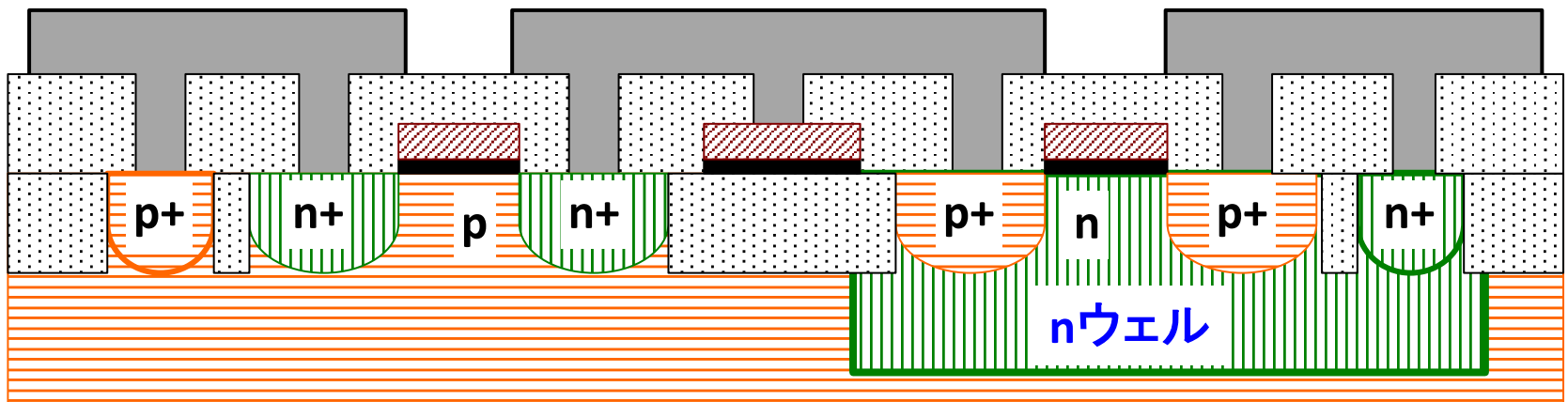


## MOSプロセス (7) : メタル配線層形成

## 10.メタル配線層堆積（PVD : Physical Vapor Deposition）

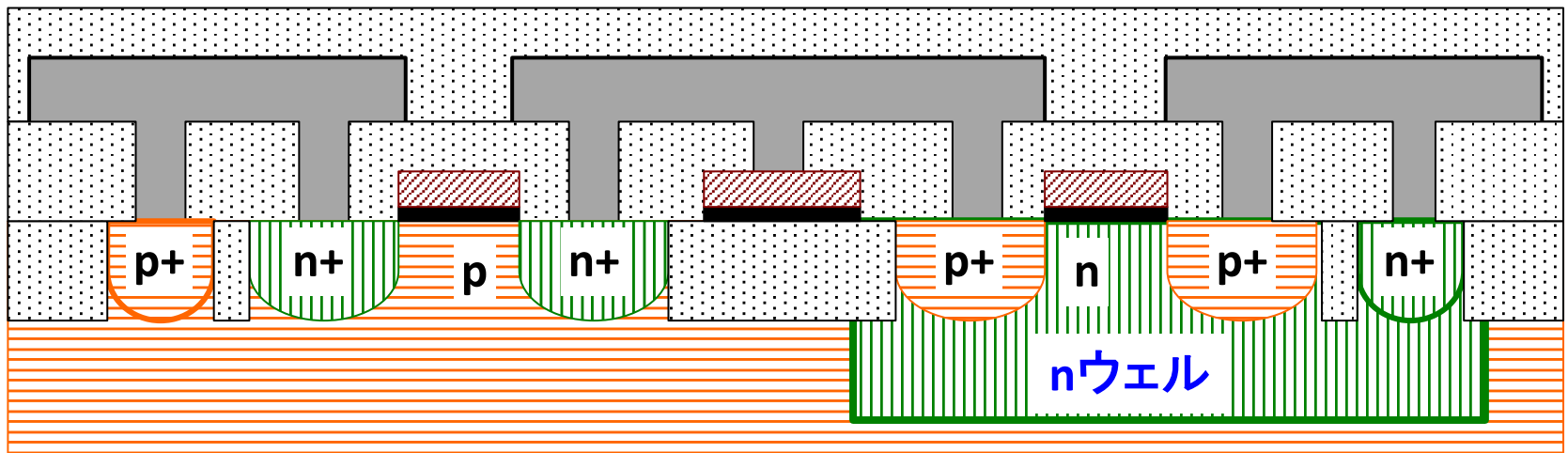


## 11. 配線パターンエッチング（リソグラフィ）



# MOSプロセス (7) : メタル配線層形成

## 14.絶縁膜形成 (CVD)



# まとめ

## ■ 半導体

- シリコン(4価)、n型半導体(5価)、p型半導体(3価)
- pn接合(空乏層、拡散電流、順方向・逆方向バイアス)
- MOSTランジスタ構造(ゲート、酸化膜、シリコン基板)
- MOSTランジスタ動作原理(絶縁状態、導通状態、スレッショルド電圧)
- CMOS回路構造(インバータ、nウェル構造)

## ■ MOSプロセス(製造工程)

- レイアウト層(メタル層、ゲート層、拡散層、ウェル層)
- MOSプロセスの流れ(リソグラフィ、不純物導入、薄膜堆積、熱酸化、平滑化)

## 【課題2】

1. MOS構造とこれらを形成する材料を説明せよ。
2. nMOSTランジスタの基板電位の値と、基板電位に対する3端子の電圧( $V_{GB}$ ,  $V_{SB}$ ,  $V_{DB}$ )の範囲を示せ。また、ソース・ドレイン間が導通する条件を示し、導通状態ではゲート電極直下のp型基板でどのような変化が起こるか説明せよ。

提出×切 : 5/11(月)17時  
(ただし×切後も受け付けます)