

集積回路設計

5. スタティック論理回路

一色 剛

工学院情報通信系

isshiki@ict.e.titech.ac.jp

5. スタティック論理回路

■ MOSTランジスタの論理の転送

- nMOSTランジスタの論理「0」「1」の転送特性

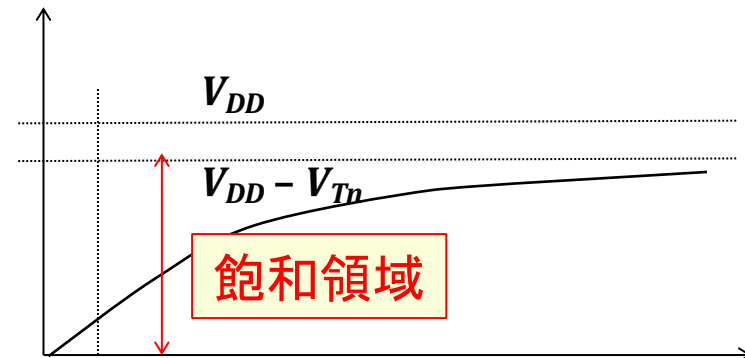
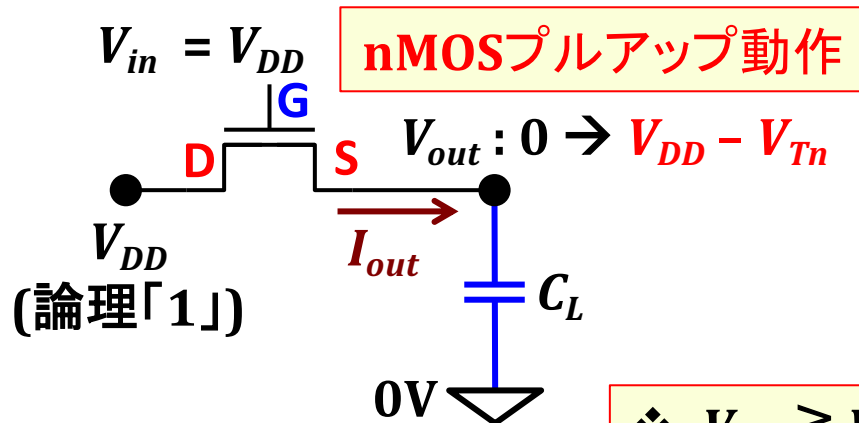
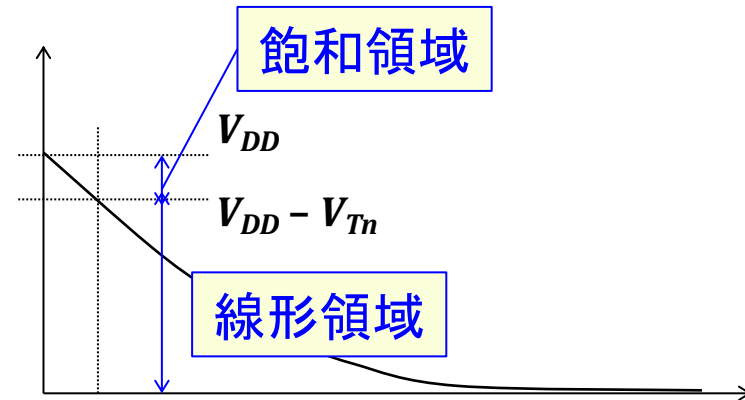
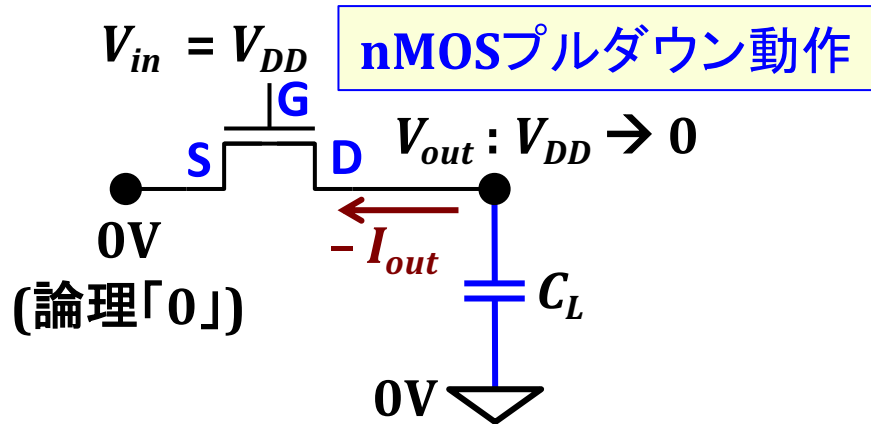
■ CMOSスタティック論理回路の構造

- 論理とスイッチ構造
- 論理式からCMOS回路構造の導出
- CMOS回路構造とランジスタ数

■ CMOSスタティック論理回路(CMOSゲート)の遅延

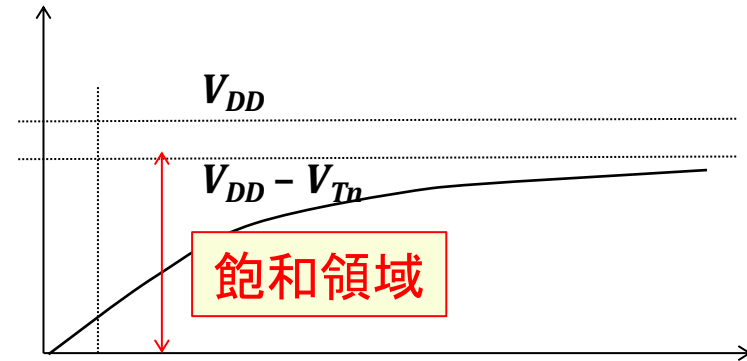
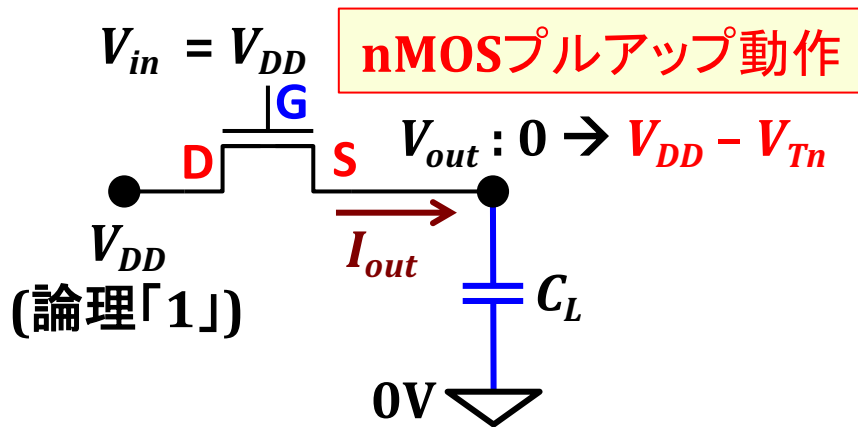
- RC等価回路による遅延見積り
- CMOSゲートの線形遅延モデル

nMOSトランジスタの論理の転送



- ❖ $V_{out} \geq V_{DD}$ なので、 V_{out} 側がソース
- ❖ V_{out} は、 $V_{DD} - V_{Tn}$ までしか上昇しない

nMOSトランジスタの論理「1」の転送 (nMOSプルアップ動作)

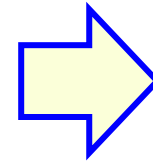


- ❖ ドレイン・ソースの関係 : $V_{out} \leq V_{DD}$ なので、 V_{out} 側がソース
- ❖ 動作領域 : $V_{DS} = V_{GS} = V_{DD} - V_{out} \rightarrow V_{GS} - V_{Tn} < V_{DS}$ なので、常に**飽和領域**で動作する

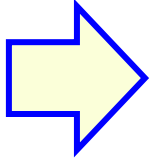
$$V_{out} = (V_{DD} - V_{Tn}) \left(1 - \frac{2C_L}{2C_L - \beta_n (V_{DD} - V_{Tn}) t} \right)$$

nMOSTランジスタの論理「1」の転送 (nMOSプルアップ動作)

$$I_{out} = C_L \frac{dV_{out}}{dt} = \beta_n \frac{(V_{DD} - V_{Tn} - V_{out})^2}{2}$$



$$\frac{dV_{out}}{dt} = \beta_n \frac{(V_{DD} - V_{Tn} - V_{out})^2}{2C_L}$$



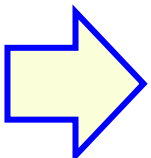
$$\frac{dt}{dV_{out}} = \frac{2C_L}{\beta_n (V_{DD} - V_{Tn} - V_{out})^2}$$

A : 積分定数

$$t = \int \frac{dt}{dV_{out}} \cdot dV_{out} = \int \frac{2C_L}{\beta_n (V_{DD} - V_{Tn} - V_{out})^2} \cdot dV_{out} = \frac{-2C_L}{\beta_n (V_{DD} - V_{Tn} - V_{out})} + A$$

$$A = \frac{2C_L}{\beta_n (V_{DD} - V_{Tn})}$$

$t = 0$ のとき $V_{out} = 0$ なので

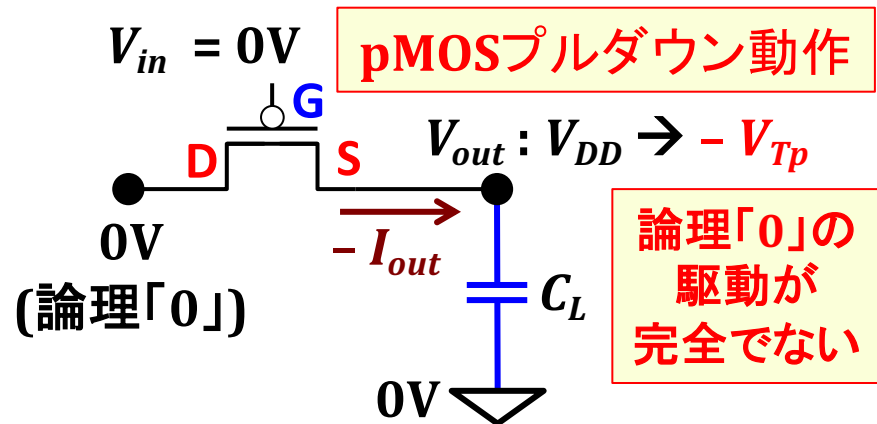
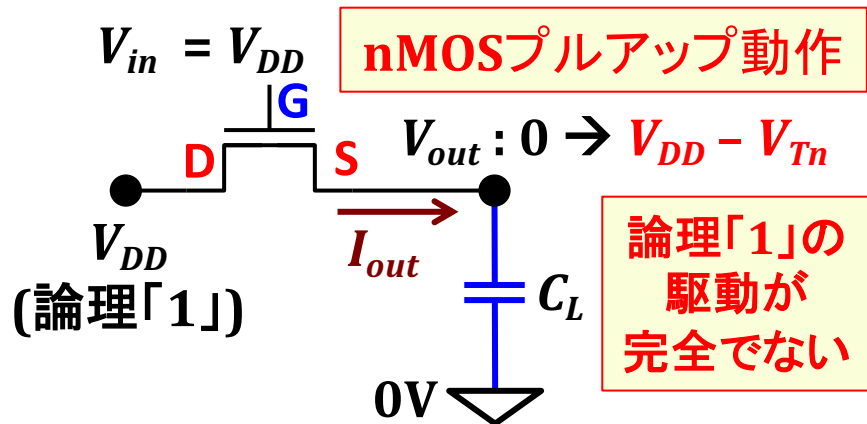
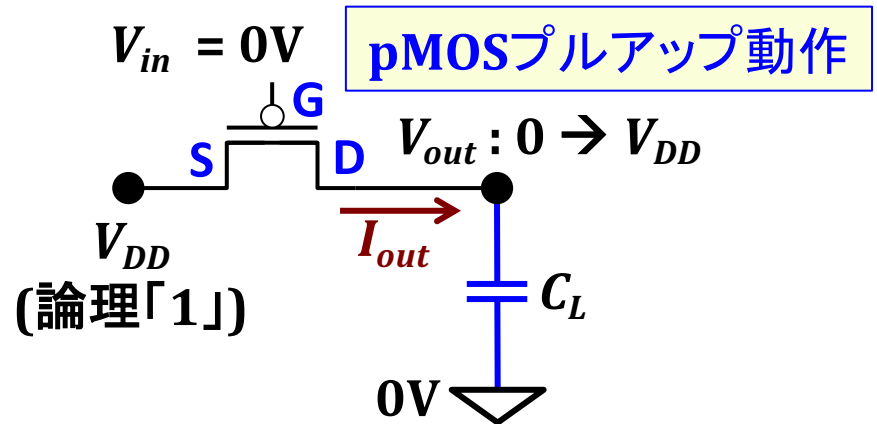
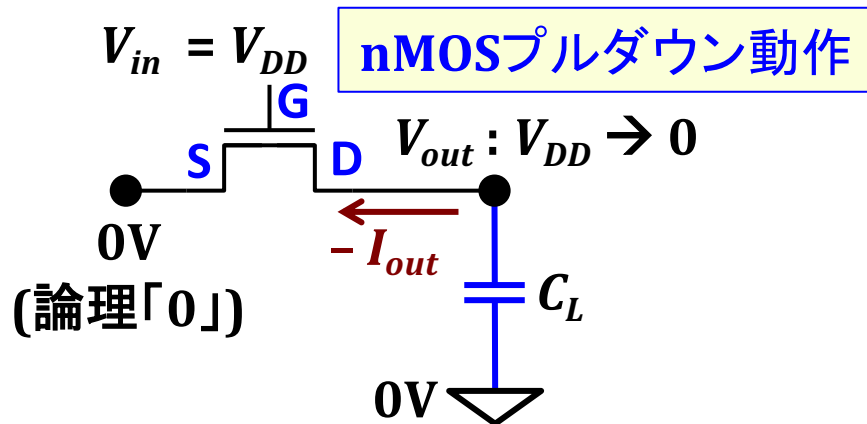


$$V_{out} = (V_{DD} - V_{Tn}) \left(1 - \frac{2C_L}{2C_L - \beta_n (V_{DD} - V_{Tn}) t} \right)$$

$t = \infty$ のとき

$V_{out} = V_{DD} - V_{Tn}$

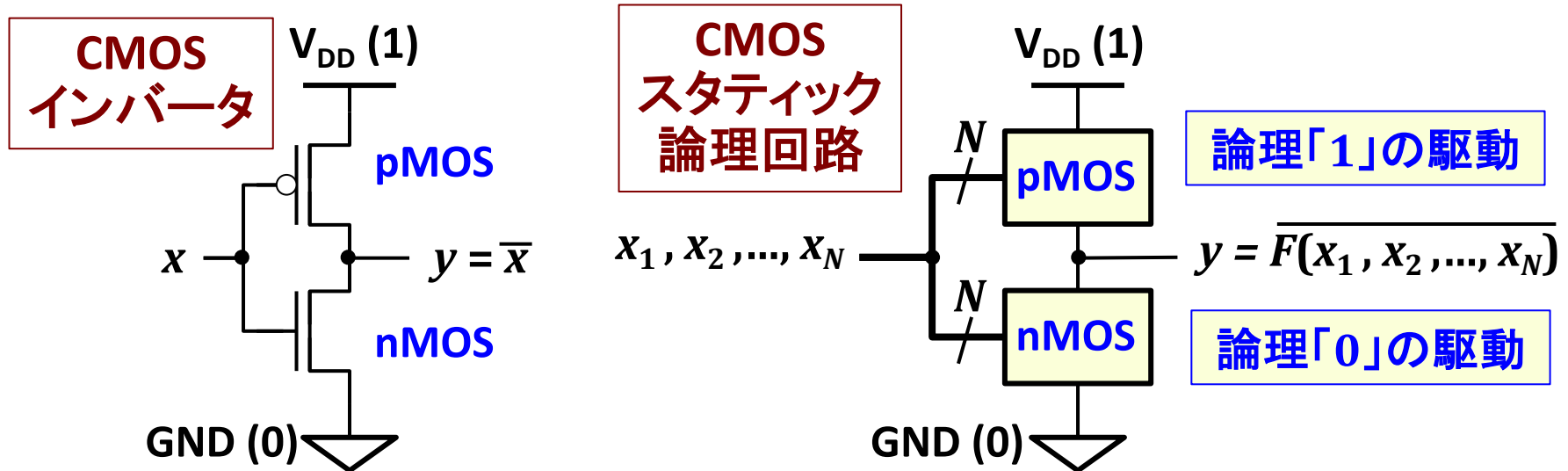
MOSTランジスタの論理の転送



CMOS : nMOSは論理「0」を駆動し、pMOSは論理「1」を駆動する論理構造

駆動条件(スイッチング条件)と駆動論理が反転 → 負論理(negative unate)

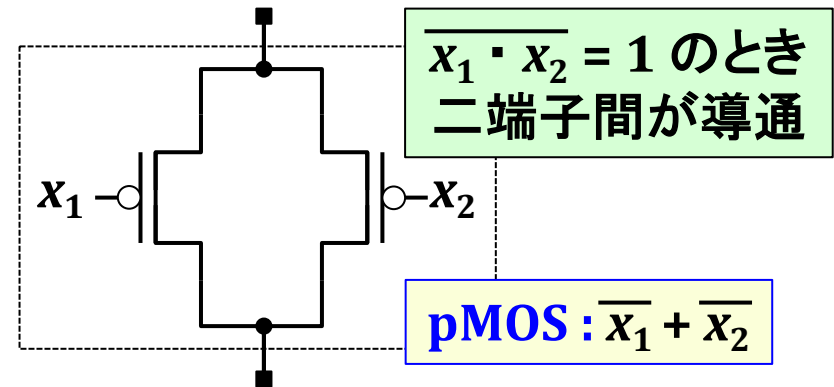
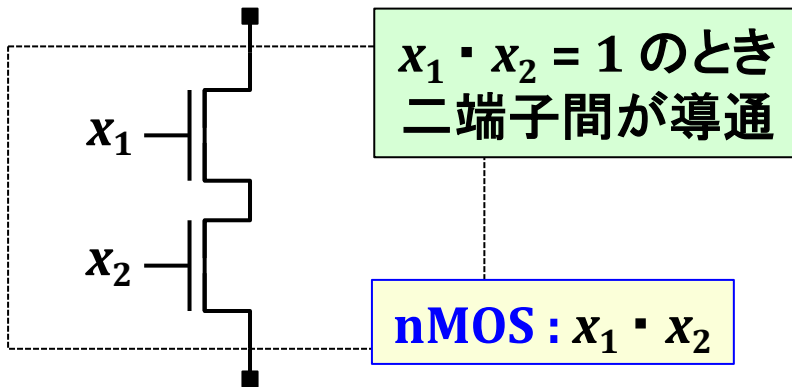
CMOSスタティック論理回路の構造



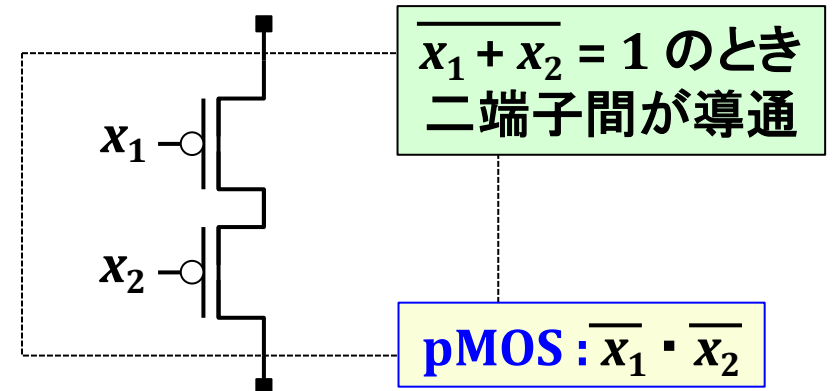
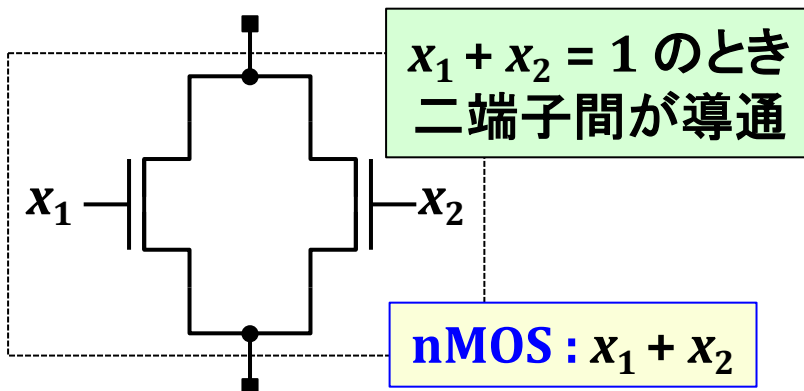
- **nMOSブロック** : $F(x_1, x_2, \dots, x_N) = 1$ の時、出力とGNDを導通
- **pMOSブロック** : $\overline{F(x_1, x_2, \dots, x_N)} = 1$ の時、出力と V_{DD} を導通
($F(x_1, x_2, \dots, x_N) = 0$ の時、出力と V_{DD} を導通)
- **CMOSスタティック論理回路** : nMOSブロック・pMOSブロックがそれぞれ相補的なスイッチとして論理関数を実現

論理とスイッチ構造

■ 論理積 (AND) : $F(x_1, x_2) = x_1 \cdot x_2$, $\overline{F(x_1, x_2)} = \overline{x_1 \cdot x_2} = \overline{x_1} + \overline{x_2}$

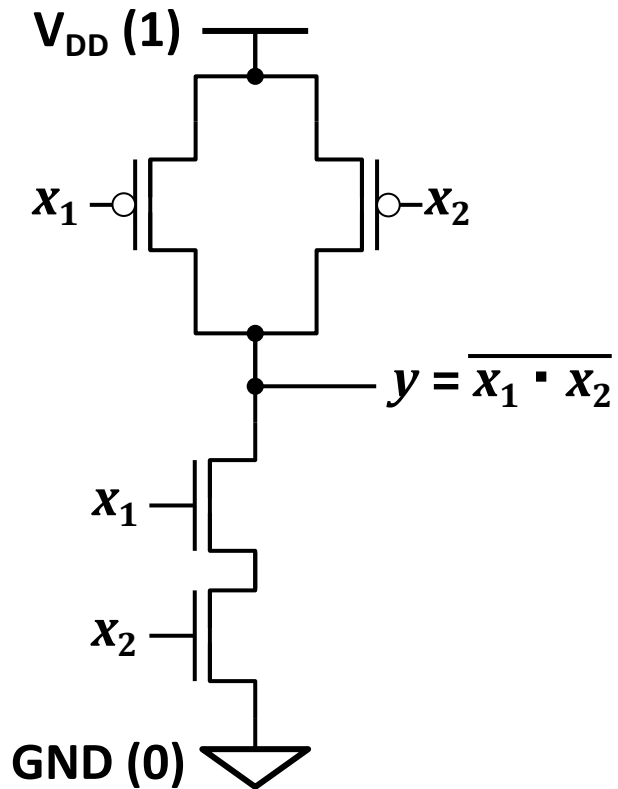


■ 論理和 (OR) : $F(x_1, x_2) = x_1 + x_2$, $\overline{F(x_1, x_2)} = \overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}$

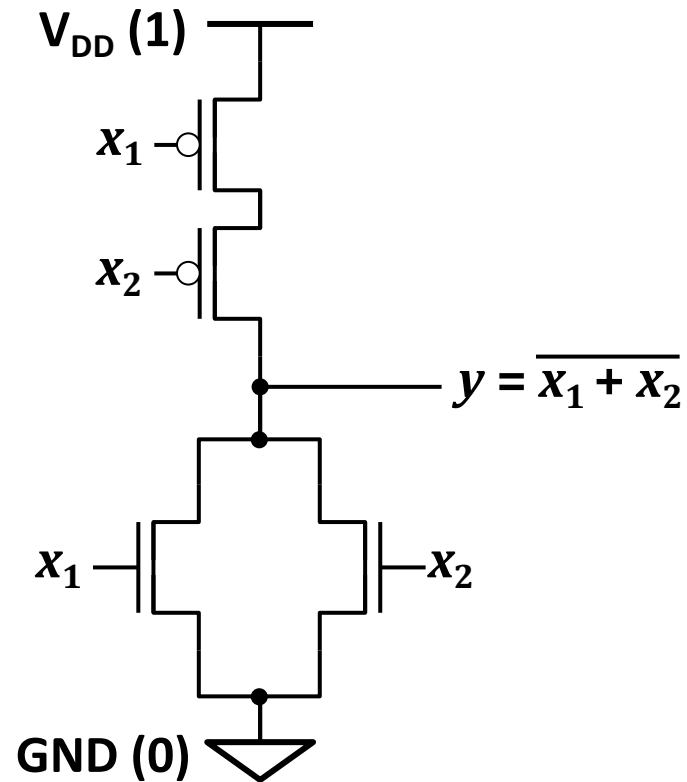


NAND回路・NOR回路

■ NAND :



■ NOR :



論理式からCMOS回路構造の導出 (1)

(例1) $F(x_1, x_2, x_3, x_4) = x_1 \cdot x_2 + x_3 + x_4$

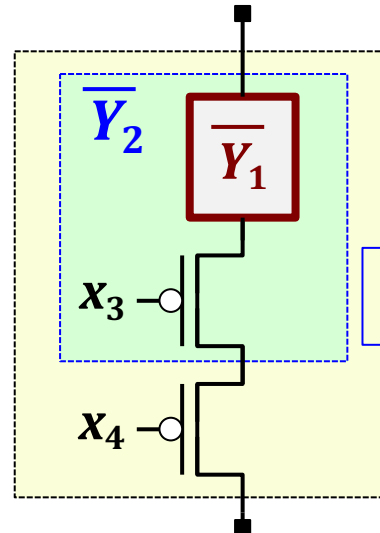
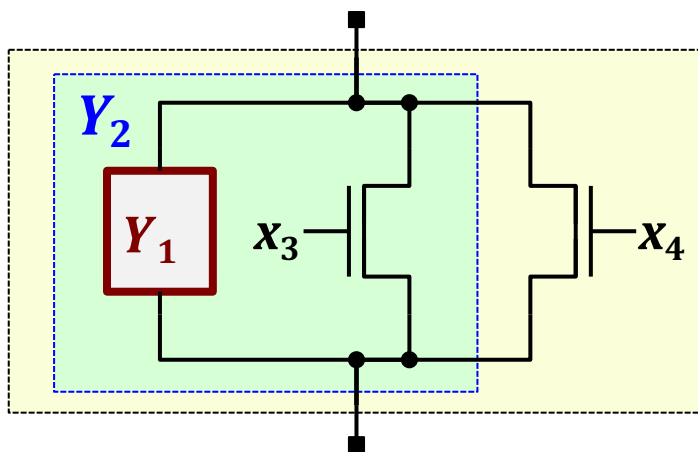
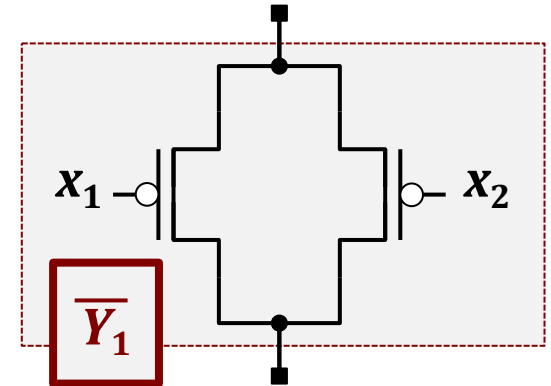
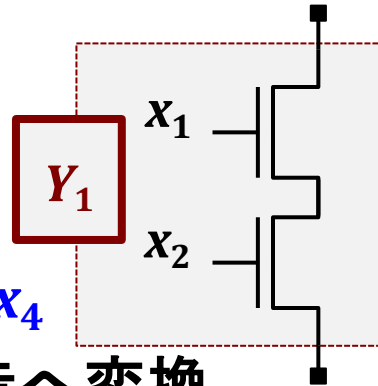
1) 論理式の分解

$$\diamond Y_1 = x_1 \cdot x_2$$

$$\diamond Y_2 = Y_1 + x_3$$

$$\diamond Y_3 = Y_2 + x_4 = Y_1 + x_3 + x_4$$

2) 各論理式をスイッチ構造へ変換



$$\text{pMOS : } \overline{Y_3} = \overline{Y_1} \cdot \overline{x_3} \cdot \overline{x_4}$$

$$\text{nMOS : } Y_3 = Y_1 + x_3 + x_4$$

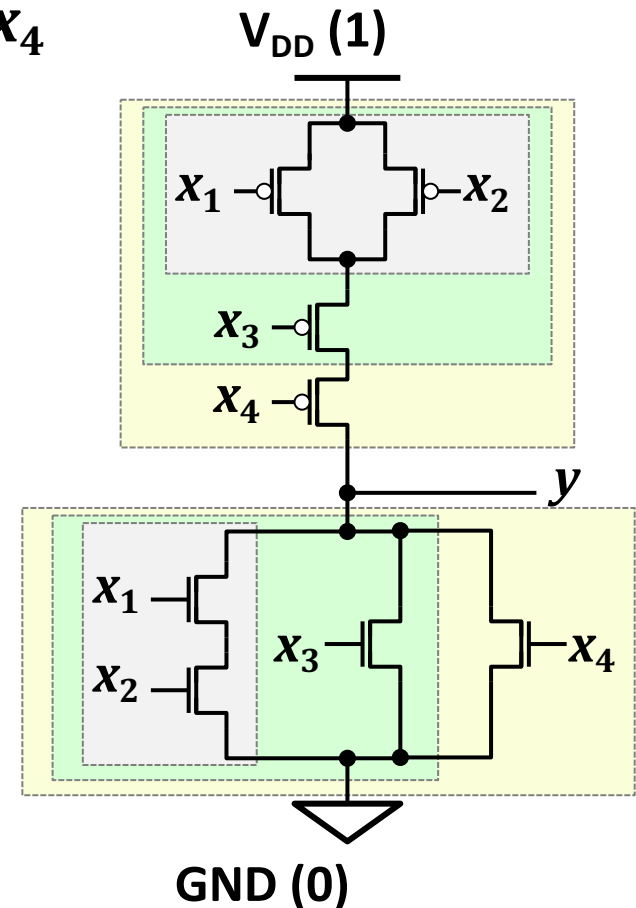
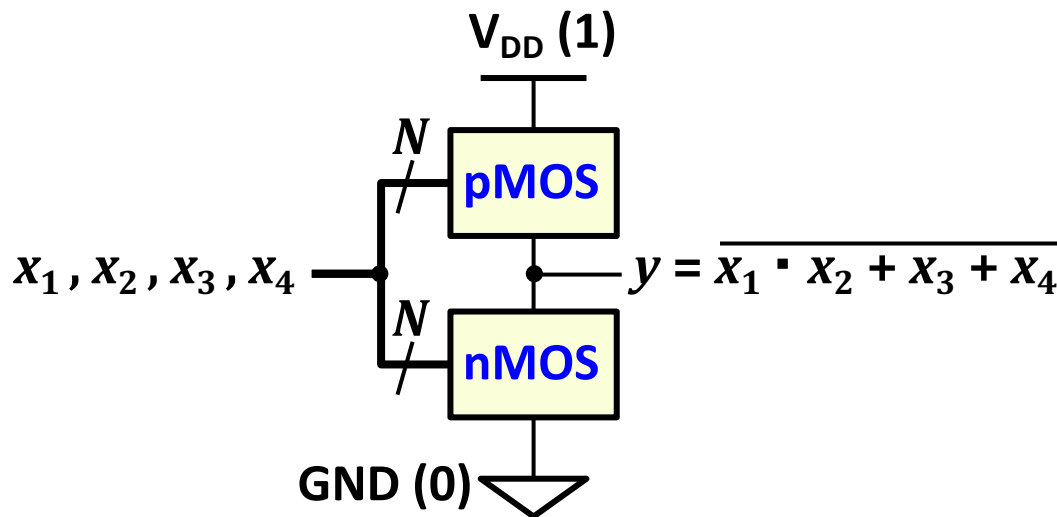
論理式からCMOS回路構造の導出 (2)

(例1) $F(x_1, x_2, x_3, x_4) = x_1 \cdot x_2 + x_3 + x_4$

❖ $Y_1 = x_1 \cdot x_2$

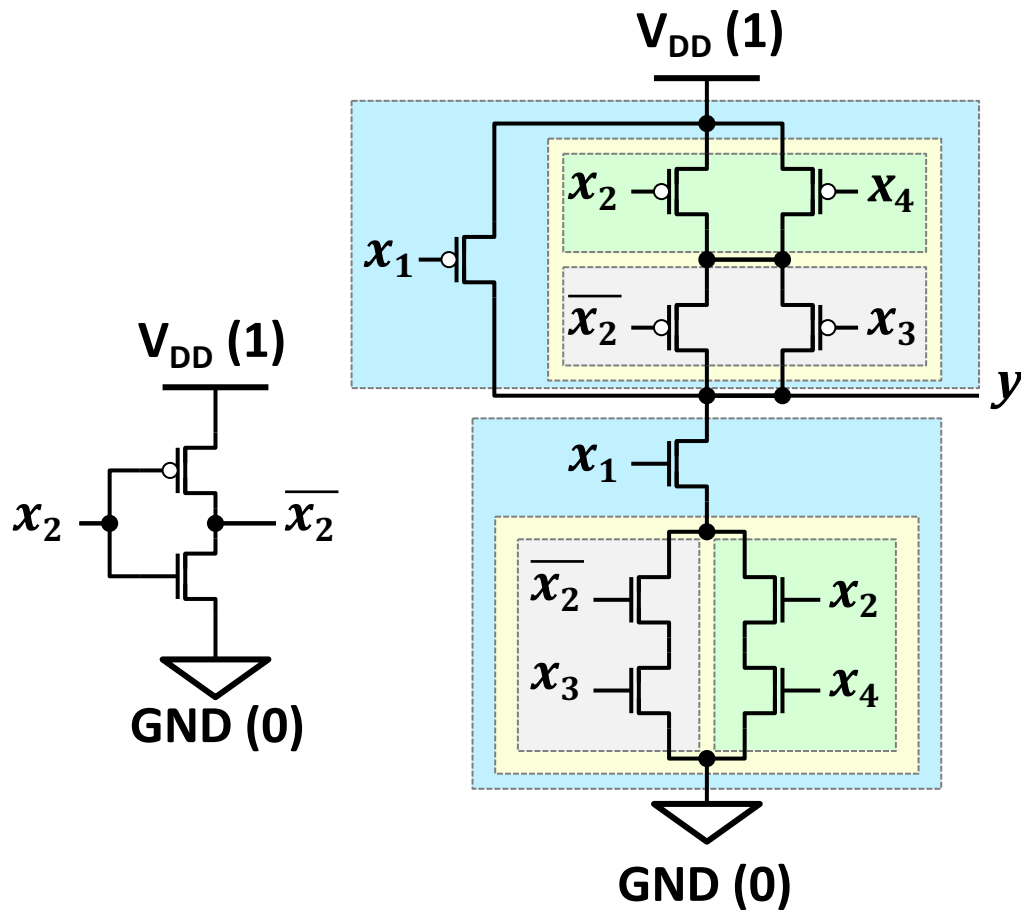
❖ $Y_2 = Y_1 + x_3$

❖ $Y_3 = Y_2 + x_4 = Y_1 + x_3 + x_4$



論理式からCMOS回路構造の導出 (3)

(例2) $y = \overline{x_1 \cdot (\overline{x_2} \cdot x_3 + x_2 \cdot x_4)}$



$$\overline{Y_1} = \overline{\overline{x_2} + x_3}$$

$$\overline{Y_2} = \overline{x_2 + x_4}$$

$$\overline{Y_3} = \overline{Y_1 \cdot Y_2}$$

$$\overline{Y_4} = \overline{\overline{x_1} + \overline{Y_3}}$$

$$Y_1 = \overline{x_2} \cdot x_3$$

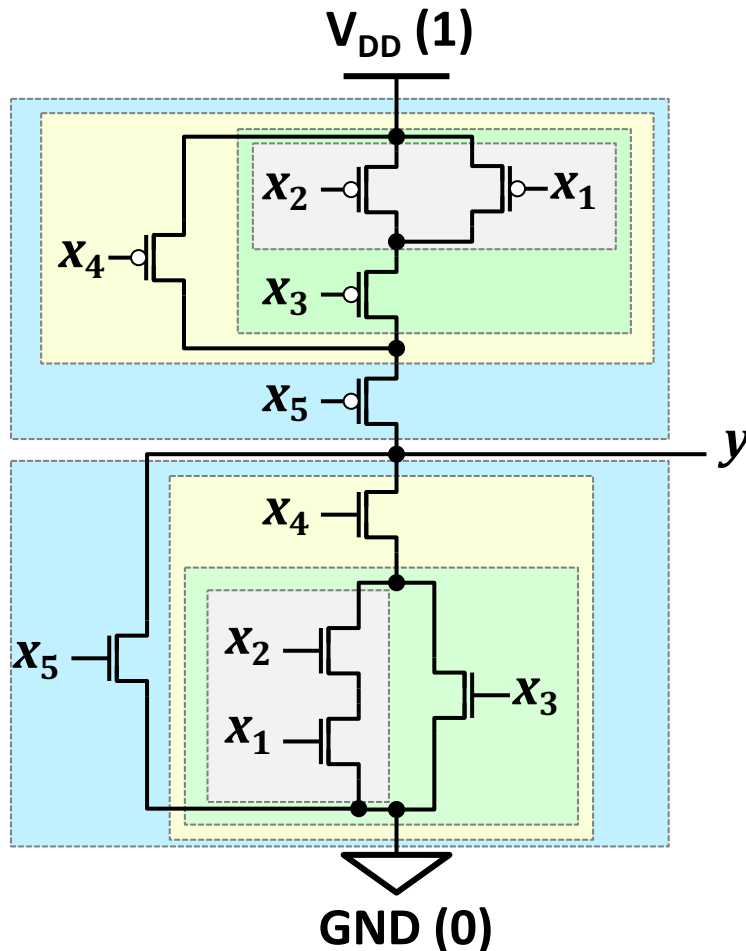
$$Y_2 = x_2 \cdot x_4$$

$$Y_3 = Y_1 + Y_2$$

$$Y_4 = x_1 \cdot Y_3$$

論理式からCMOS回路構造の導出 (4)

(例3) $y = \overline{x_5 + x_4 \cdot (x_3 + x_2 \cdot x_1)}$



$$\overline{Y_1} = \overline{x_2} + \overline{x_1}$$

$$\overline{Y_2} = \overline{x_3} \cdot \overline{Y_1}$$

$$\overline{Y_3} = \overline{x_4} + \overline{Y_2}$$

$$\overline{Y_4} = \overline{x_5} \cdot \overline{Y_3}$$

$$Y_1 = x_2 \cdot x_1$$

$$Y_2 = x_3 + Y_1$$

$$Y_3 = x_4 \cdot Y_2$$

$$Y_4 = x_5 + Y_3$$

CMOS回路構造とトランジスタ数

■ リテラル数：論理式に現れる変数の個数（NOTは無視）

❖ $x_1 \cdot x_2 + x_3 + x_4 \rightarrow$ リテラル数 = 4

■ 1つのCMOSゲートで実現した場合：

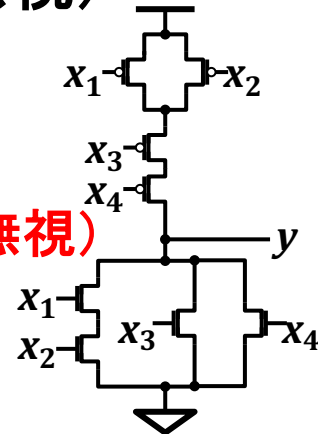
❖ トランジスタ数 = リテラル数 * 2 (CMOSインバータの数は無視)

❖ 例： $\overline{x_1 \cdot x_2 + x_3 + x_4} \rightarrow 4 * 2 = 8$ トランジスタ

■ 2入力CMOSゲートに分解して実現した場合：

❖ トランジスタ数 = (リテラル数 - 1) * 4 (CMOSインバータの数は無視)

❖ 例： $\overline{x_1 \cdot x_2 + x_3 + x_4} \rightarrow (4 - 1) * 4 = 12$ トランジスタ



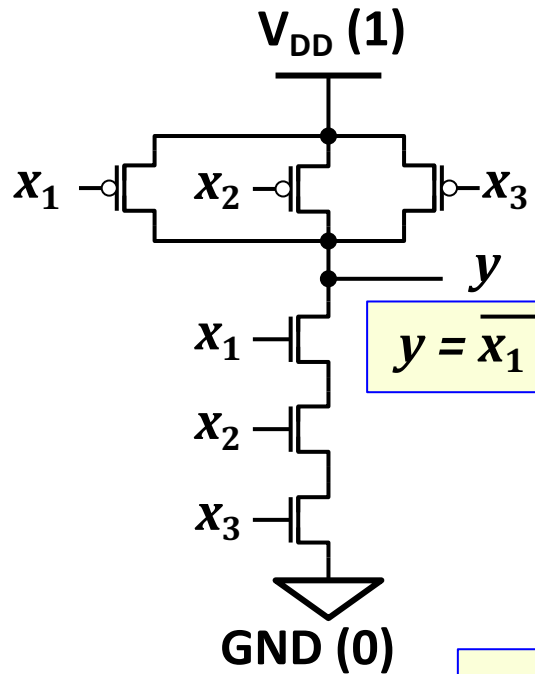
$$y = \overline{x_1 \cdot x_2 + (x_3 + x_4)} = \overline{x_1 \cdot x_2} \cdot \overline{(x_3 + x_4)}$$

$$z_1 = \overline{x_1 \cdot x_2} \quad z_2 = \overline{x_3 + x_4} \quad z_3 = \overline{z_1 \cdot z_2} \quad z_4 = \overline{z_3}$$

NANDやNORは
4トランジスタ

- ❖ 論理式をまとめて一つのCMOSゲートに纏めた方が少ないトランジスタで実現できる
- ❖ 複雑な論理式を一つのCMOSゲートに纏めた時の問題は？

CMOSスタティック論理回路の遅延 (1)

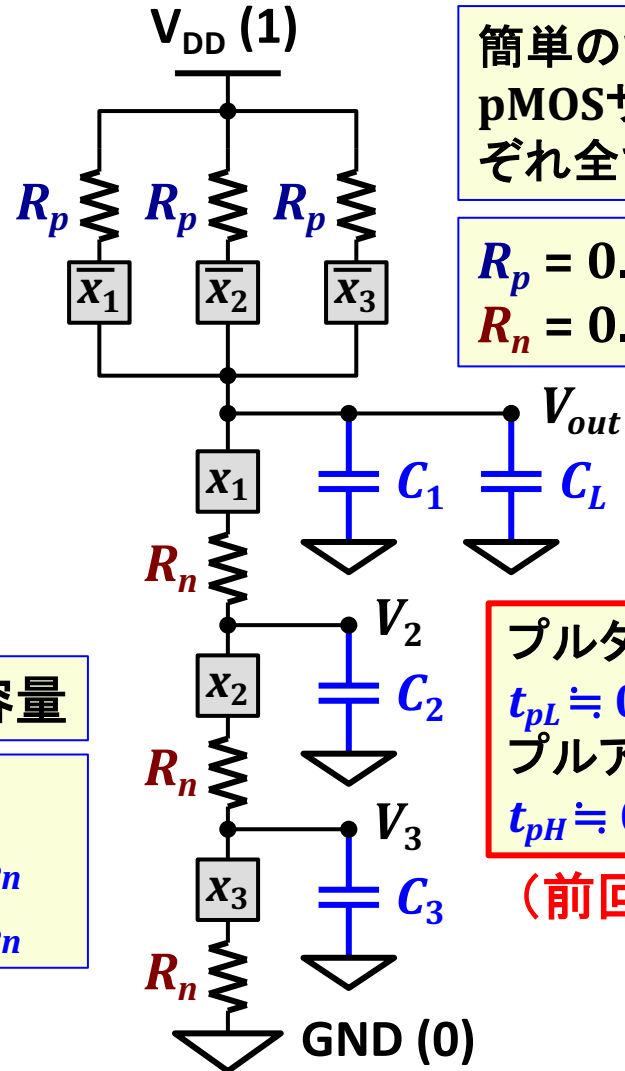


3入力NAND
(NAND3)の
RC等価回路

$$y = \overline{x_1 \cdot x_2 \cdot x_3}$$

C_1, C_2, C_3 : 寄生容量

$$\begin{aligned} C_1 &\doteq 3C_{DBp} + C_{DBn} \\ C_2 &\doteq C_{SBn} + C_{DBn} \doteq 2C_{DBn} \\ C_3 &\doteq C_{SBn} + C_{DBn} \doteq 2C_{DBn} \end{aligned}$$



簡単のため、nMOS・
pMOSサイズはそれ
ぞれ全て同一とする

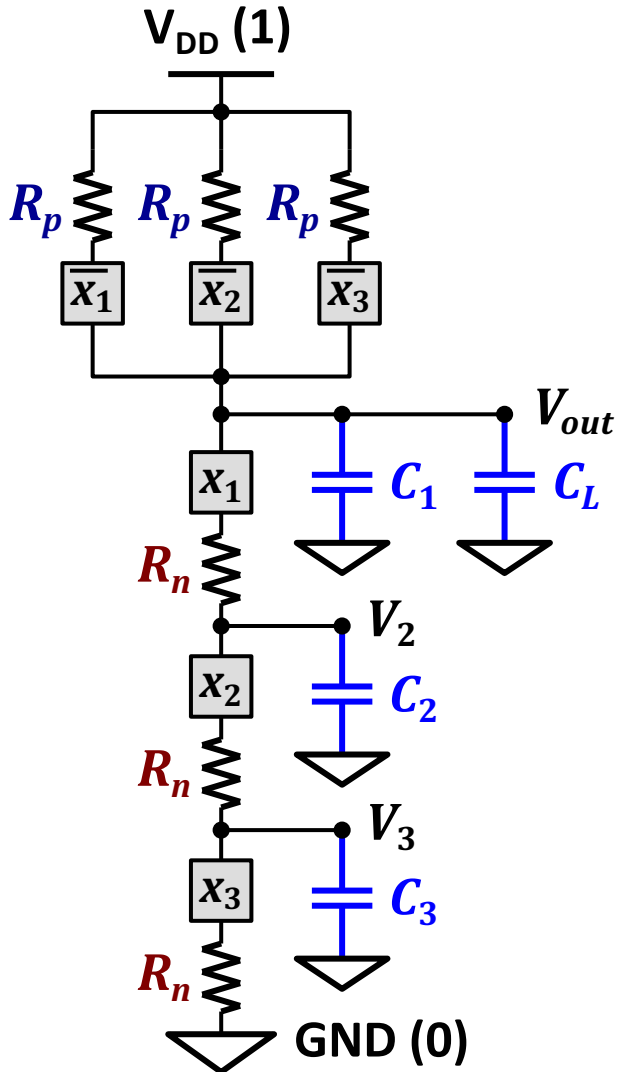
$$\begin{aligned} R_p &= 0.75 R_{SATp} \\ R_n &= 0.75 R_{SATn} \end{aligned}$$

C_L : 出力
負荷容量

プルダウン遅延 :
 $t_{pL} \doteq 0.75 R_{SATn} C_L$
プルアップ遅延 :
 $t_{pH} \doteq 0.75 R_{SATp} C_L$

(前回参照)

CMOSスタティック論理回路の遅延 (2)



■ 複数入力ゲートにおける論理遅延：

- ❖ 1つの入力の変化で出力が変化する遷移だけを考慮する
- ❖ **プルアップ動作** : 3入力全て「1」の状態からある入力が $1 \rightarrow 0$ に遷移
- ❖ **プルダウン動作** : 2入力が「1」に固定のまま、3つ目の入力が $0 \rightarrow 1$ に遷移

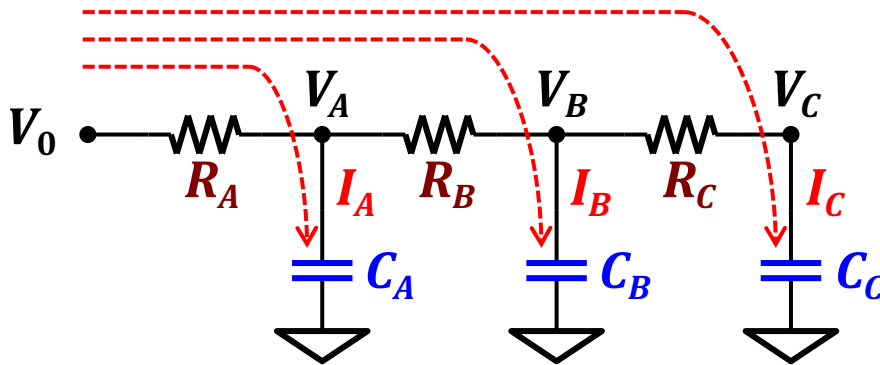
■ C_1, C_2, C_3 を無視した場合 :

- ❖ プルアップ遅延 : $t_{pH} = R_p C_L$
- ❖ プルダウン遅延 : $t_{pL} = 3R_n C_L$

■ C_1, C_2, C_3 を考慮した場合 :

- ❖ C_1, C_2, C_3 の充放電のため遅延は増加
- ❖ 変化する入力によって遅延が異なる

RC回路網のElmore近似



$$(V_0 - V_A) = (I_A + I_B + I_C) R_A$$

$$I_A = C_A \frac{dV_A}{dt}$$

$$(V_A - V_B) = (I_B + I_C) R_B$$

$$I_B = C_B \frac{dV_B}{dt}$$

$$(V_B - V_C) = I_C R_C$$

$$I_C = C_C \frac{dV_C}{dt}$$

厳密な方程式の解析は複雑になる

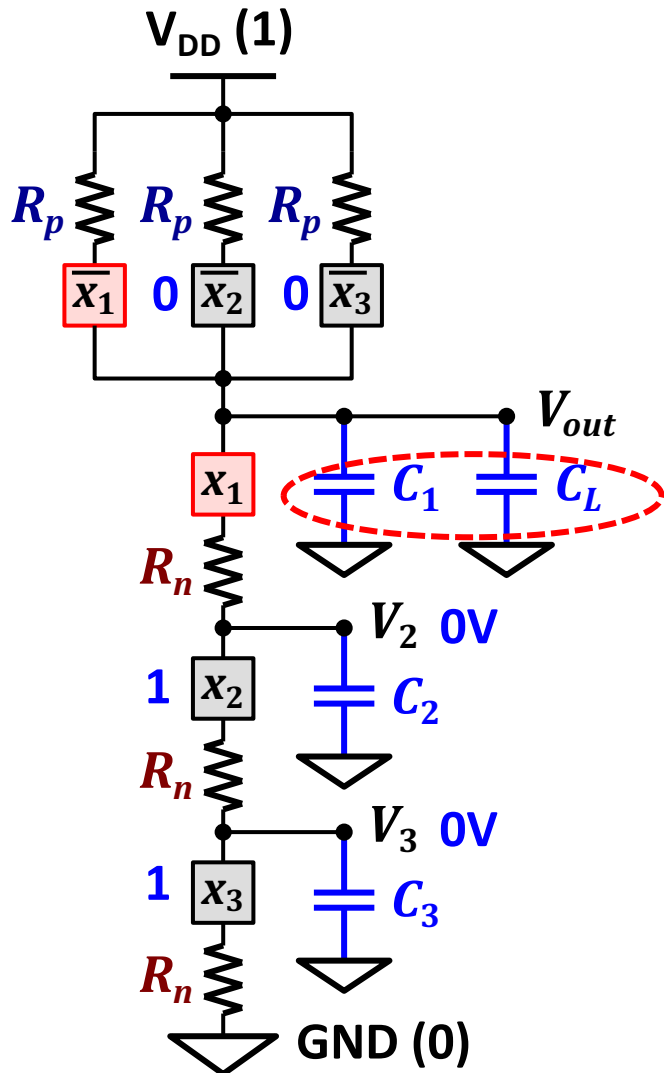
- ❖ 電流 I_A の経路の時定数: $R_A C_A$
 - ❖ 電流 I_B の経路の時定数: $(R_A + R_B) C_B$
 - ❖ 電流 I_C の経路の時定数: $(R_A + R_B + R_C) C_C$
- RC回路網の近似時定数(Elmore近似):

各容量を個別に充電する時定数の総和として近似

$$R_A C_A + (R_A + R_B) C_B + (R_A + R_B + R_C) C_C$$

$$K \text{ 段の } RC \text{ 回路網の時定数: } RC \cdot K(K + 1) / 2$$

Elmore近似によるNAND3の遅延解析 (1)



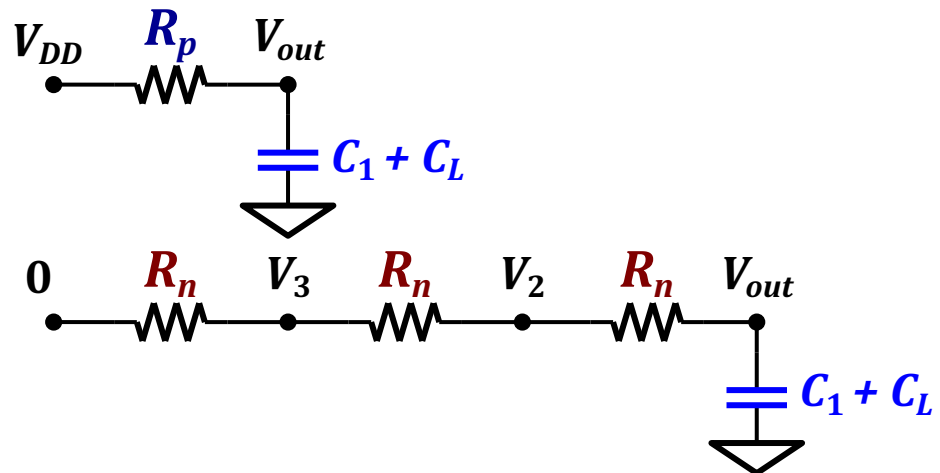
■ x_1 の遷移による V_{out} の遷移遅延 :

- ❖ 他の入力 : $x_2 = x_3 = 1$
- ❖ $V_2 = V_3 = 0$: C_2, C_3 は無視できる
- ❖ **プルアップ遅延 :**

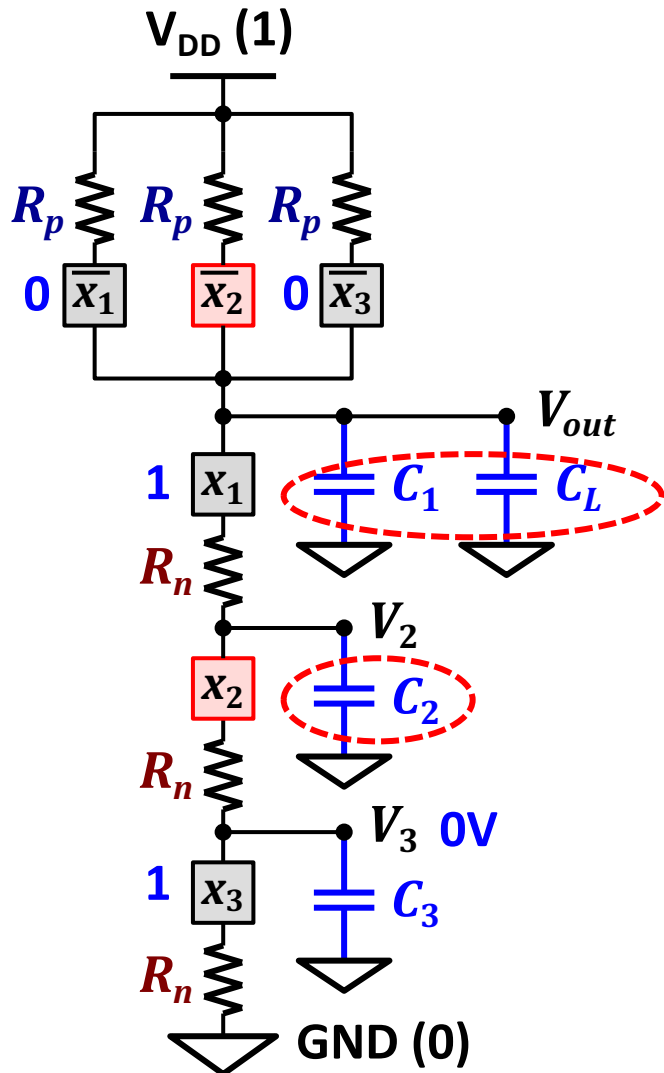
$$t_{pH} = R_p(C_1 + C_L)$$

- ❖ **プルダウン遅延 :**

$$t_{pL} = 3R_n(C_1 + C_L)$$



Elmore近似によるNAND3の遅延解析 (2)



■ x_2 の遷移による V_{out} の遷移遅延 :

❖ 他の入力 : $x_1 = x_3 = 1$

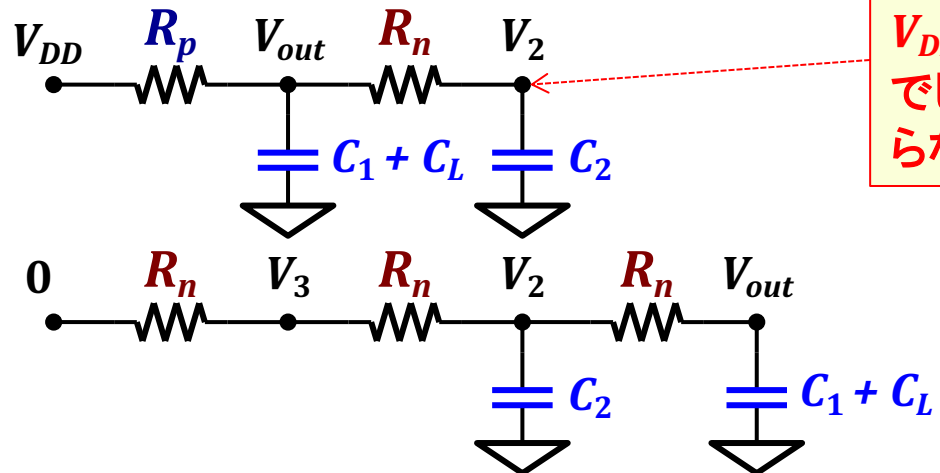
❖ $V_3 = 0$: C_3 は無視できる

❖ **プルアップ遅延 :**

$$t_{pH} = R_p(C_1 + C_L) + (R_p + R_n) C_2$$

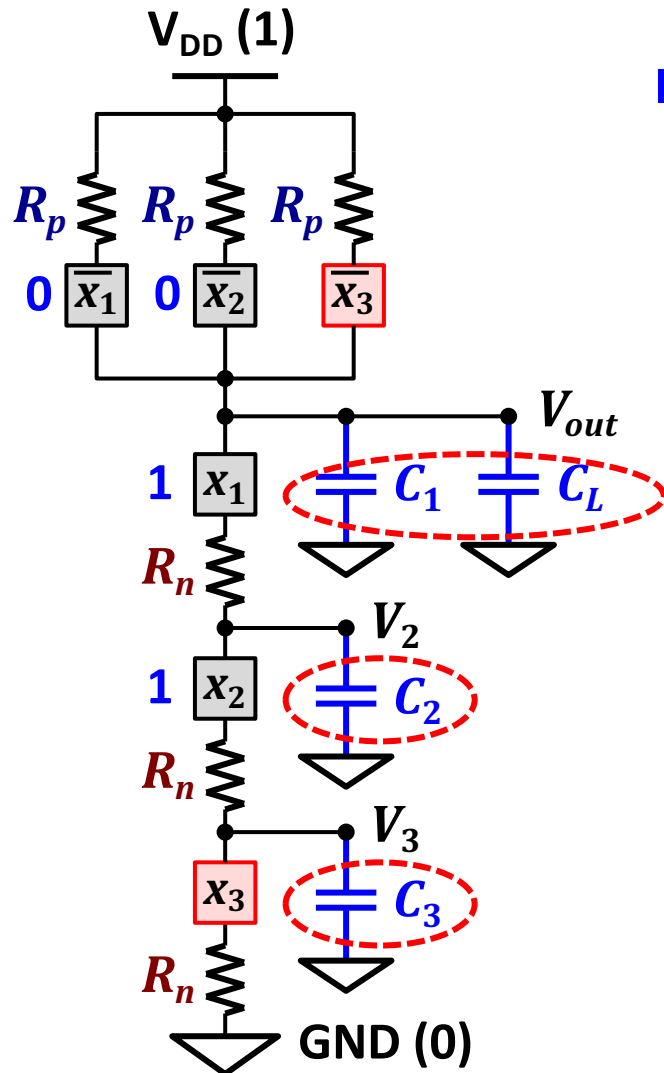
❖ **プルダウン遅延 :**

$$t_{pL} = 3R_n(C_1 + C_L) + 2R_n C_2$$



実際には
 $V_{DD} - V_{Tn}$ ま
でしか上が
らない

Elmore近似によるNAND3の遅延解析 (3)



■ x_3 の遷移による V_{out} の遷移遅延 :

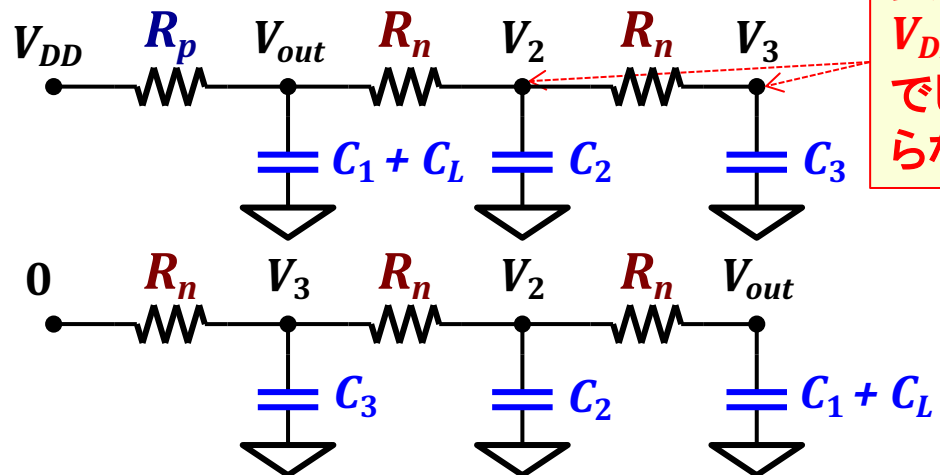
❖ 他の入力 : $x_1 = x_2 = 1$

❖ プルアップ遅延 :

$$t_{pH} = R_p(C_1 + C_L) + (R_p + R_n)C_2 + (R_p + 2R_n)C_3$$

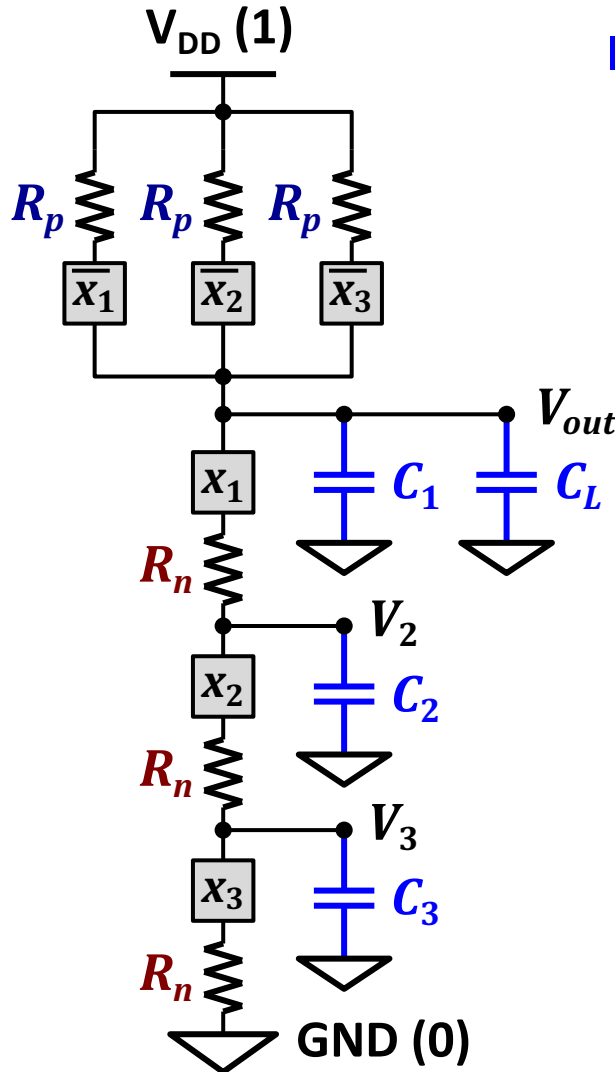
❖ プルダウン遅延 :

$$t_{pL} = 3R_n(C_1 + C_L) + 2R_nC_2 + R_nC_3$$



実際には
 $V_{DD} - V_{Tn}$ ま
でしか上が
らない

CMOSゲートの線形遅延モデル (1)

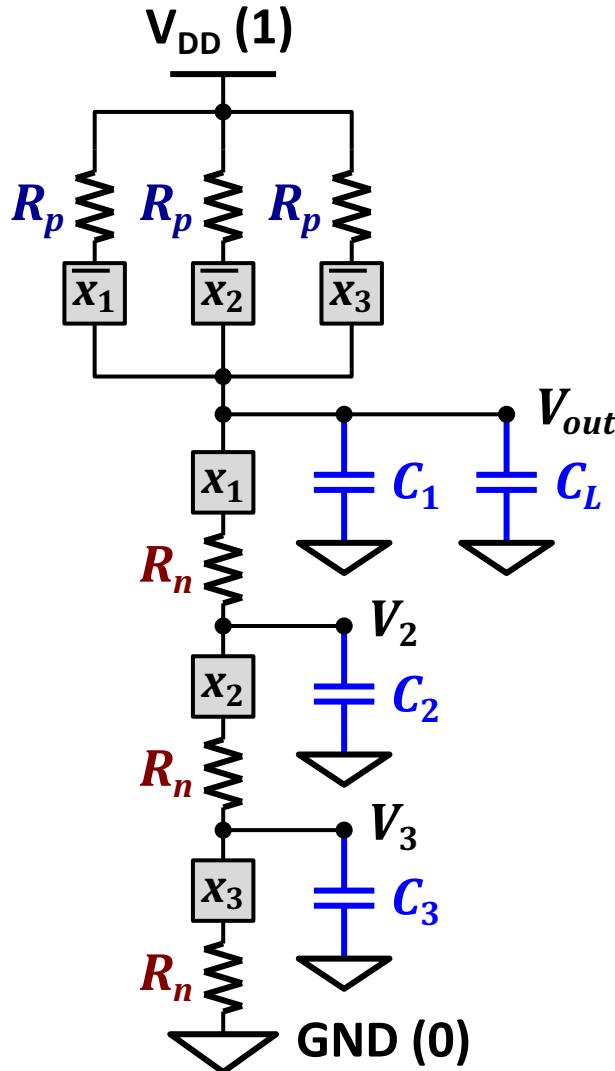


■ 線形遅延モデル : $t_p = t_{p0} + t_R \cdot C_L$

- ❖ 出力負荷 : C_L
- ❖ 内部遅延 (t_{p0}) : $C_L = 0$ とした時の遅延
- ❖ 出力遅延係数 (t_R) : 単位容量当りの遅延

入力遷移	出力遷移	内部遅延 (t_{p0})	出力遅延係数 (t_R)
$x_1: 1 \rightarrow 0$	$0 \rightarrow 1$	$R_p C_1$	R_p
$x_1: 0 \rightarrow 1$	$1 \rightarrow 0$	$3R_n C_1$	$3R_n$
$x_2: 1 \rightarrow 0$	$0 \rightarrow 1$	$R_p(C_1 + C_2) + R_n C_2$	R_p
$x_2: 0 \rightarrow 1$	$1 \rightarrow 0$	$3R_n C_1 + 2R_n C_2$	$3R_n$
$x_3: 1 \rightarrow 0$	$0 \rightarrow 1$	$R_p C_1 + (R_p + R_n) C_2 + (R_p + 2R_n) C_3$	R_p
$x_3: 0 \rightarrow 1$	$1 \rightarrow 0$	$3R_n C_1 + 2R_n C_2 + R_n C_3$	$3R_n$

CMOSゲートの線形遅延モデル (2)



簡単のため、以下を仮定：

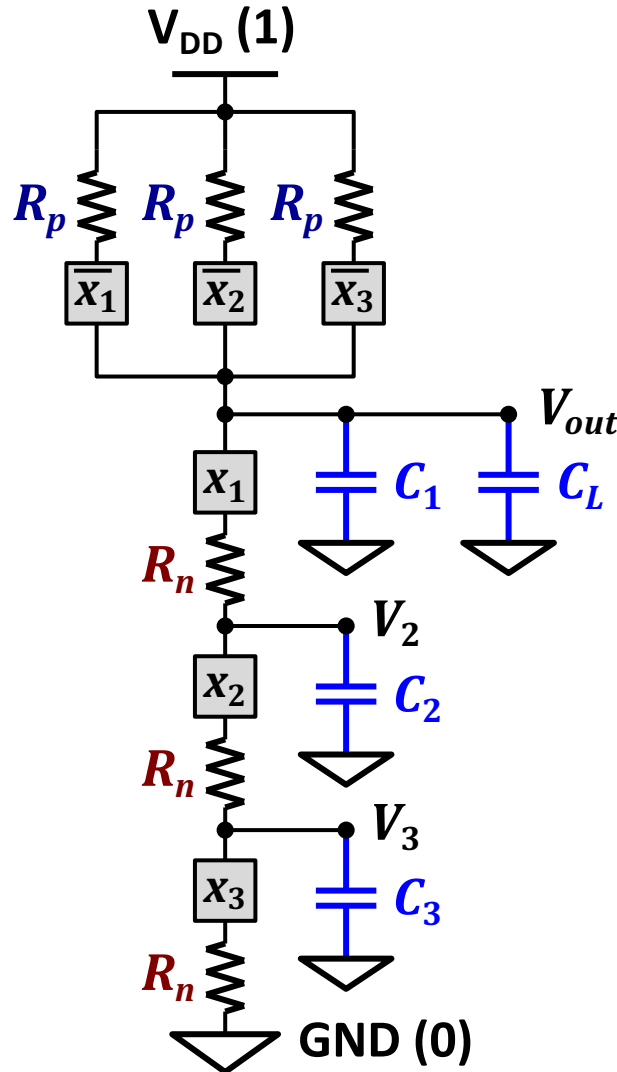
- ❖ 全てのnMOS・pMOSゲート容量(C_G)とソース・ドレイン容量(C_D , C_S)はそれぞれ同一
- ❖ $C_{DBp} \doteq C_{SBp} \doteq C_{DBn} \doteq C_{SBn} \doteq C_0$
- ❖ $C_{Gp} \doteq C_{Gn} \doteq 2C_0$
- ❖ nMOS・pMOSサイズはそれぞれ同一： R_p , R_n

- ❖ $C_1 \doteq 3C_{DBp} + C_{DBn} \doteq 4C_0$
- ❖ $C_2 \doteq C_{SBn} + C_{DBn} \doteq 2C_0$
- ❖ $C_3 \doteq C_{SBn} + C_{DBn} \doteq 2C_0$

出力がN個のCMOSインバータ
(INVゲート)入力に接続する場合：

- ❖ $C_L \doteq 4NC_0$

CMOSゲートの線形遅延モデル (3)



- ❖ $C_1 \equiv 4C_0$
- ❖ $C_2 \equiv 2C_0$
- ❖ $C_3 \equiv 2C_0$

N 個のINVゲート容量 :

- ❖ $C_L \equiv 4NC_0$

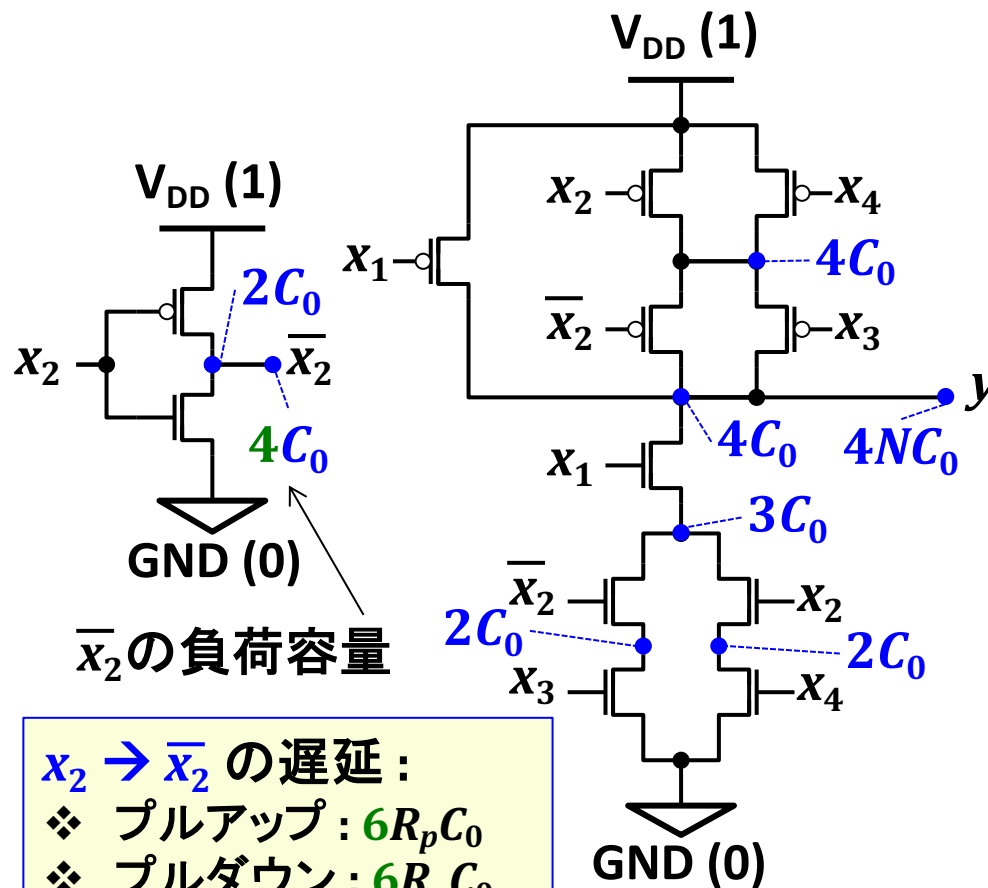
入力遷移		出力遷移	内部遅延 (t_{p0})	出力遅延 ($N \cdot INV$)
x_1	$1 \rightarrow 0$	$0 \rightarrow 1$	$4R_p C_0$	$4N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$12R_n C_0$	$12N \cdot R_n C_0$
x_2	$1 \rightarrow 0$	$0 \rightarrow 1$	$(6R_p + 2R_n) C_0$	$4N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$16R_n C_0$	$12N \cdot R_n C_0$
x_3	$1 \rightarrow 0$	$0 \rightarrow 1$	$(8R_p + 6R_n) C_0$	$4N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$18R_n C_0$	$12N \cdot R_n C_0$

- ❖ 内部遅延 : 各入力によって異なる
→ 出力から遠いほど大きくなる

→ K 段のRC回路網の時定数 : $RC \cdot K(K+1) / 2$

複雑なCMOSゲートの遅延解析 (1)

(例2) $y = \overline{x_1 \cdot (\overline{x_2} \cdot x_3 + x_2 \cdot x_4)}$



遷移入力によって出力が変化する条件

遷移入力	他の入力条件
x_1	$\overline{x_2} \cdot x_3 + x_2 \cdot x_4 = 1$
x_2	$x_1 \cdot (x_3 \oplus x_4) = 1$
x_3	$x_1 \cdot \overline{x_2} = 1$
x_4	$x_1 \cdot x_2 = 1$

$x_3 = 1, x_4 = 0$: x_2 に関して「正」→
入力と出力の遷移方向が同一

$x_3 = 0, x_4 = 1$: x_2 に関して「負」→
入力と出力の遷移方向が反転

C_0 : ソース・ドレイン容量

$2C_0$: ゲート容量 (Tr 1個当り)

$C_L \doteq 4NC_0$ (N : INV個数)

まとめ

■ MOSTランジスタの論理の転送

- nMOSは論理「0」を駆動し、pMOSは論理「1」を駆動する

■ CMOSスタティック論理回路の構造

- 論理とスイッチ構造：論理式の分解、各論理式のスイッチ構造変換
- CMOS回路構造とランジスタ数：
 - 1つのCMOSゲートで論理関数を直接実現：(リテラル数) * 2
 - 2入力ゲートに分解：(リテラル数 - 1) * 4

■ CMOSスタティック論理回路(CMOSゲート)の遅延

- RC回路網のElmore近似： **N 段のRC時定数： $RC \cdot N(N + 1) / 2$**
 - **直列接続のランジスタ段数の2乗に比例して内部遅延が増加**
 - 1つのCMOSゲートで実現する論理関数が複雑すぎるとCMOSゲートの内部遅延が悪化
- CMOSゲートの線形遅延モデル：出力から遠い入力ほど内部遅延が増える

【課題5】

1. 以下の論理関数を実現するスタティック論理回路を示せ。

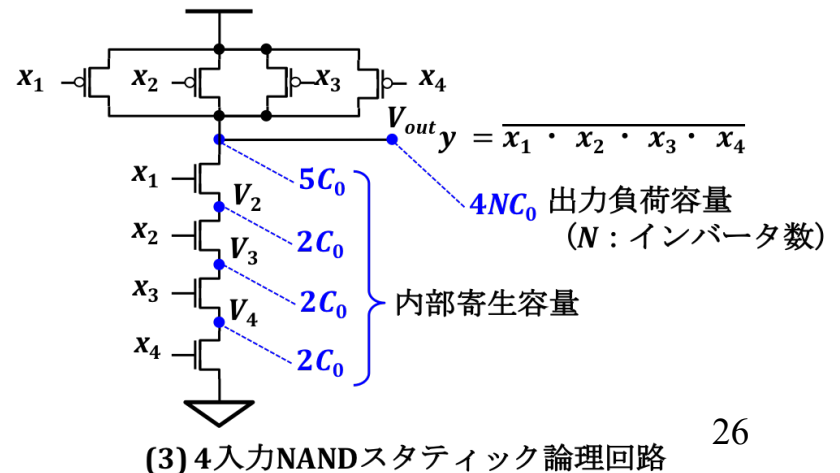
a. $y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}$

b. $y = \overline{x_1 + x_2 + x_3 \cdot x_4}$

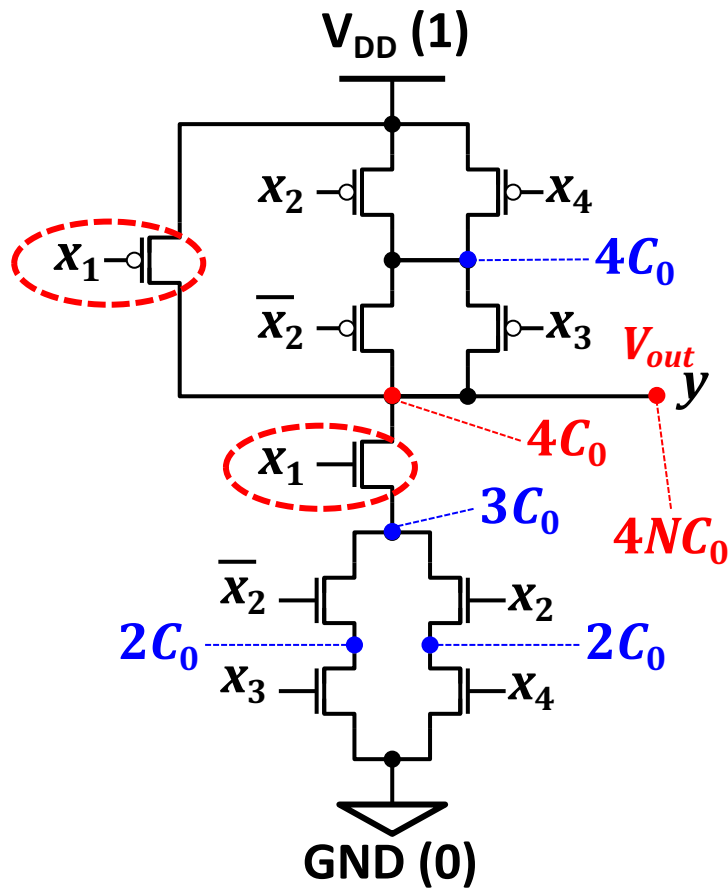
c. $y = \overline{x_1 + x_2 \cdot x_3 \cdot x_4}$

2. 下図は4入力NANDスタティック論理回路を示す。ここで出力 y には $4NC_0$ の出力負荷容量が接続し、スタティック論理回路の内部寄生容量(nMOS・pMOSTランジスタのドレイン容量やソース容量)は、図に示す通りであるとする。また、nMOS・pMOSTランジスタの等価抵抗をそれぞれ R_n と R_p とする。このとき、各入力(x_1, x_2, x_3, x_4)からの出力に対するプルアップ遅延 t_{pH} とプルダウン遅延 t_{pL} をそれぞれ求めよ。

提出×切 : 5/21(木)17時
(ただし×切後も受け付けます)



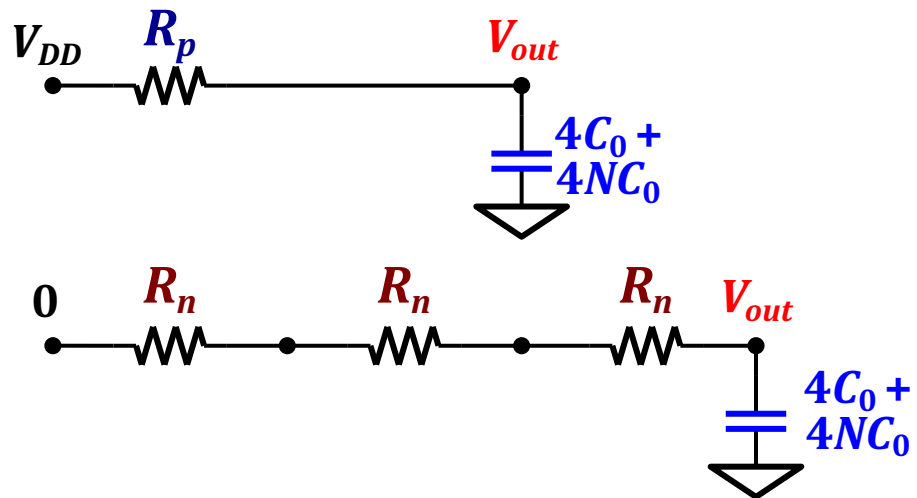
複雑なCMOSゲートの遅延解析 (3)



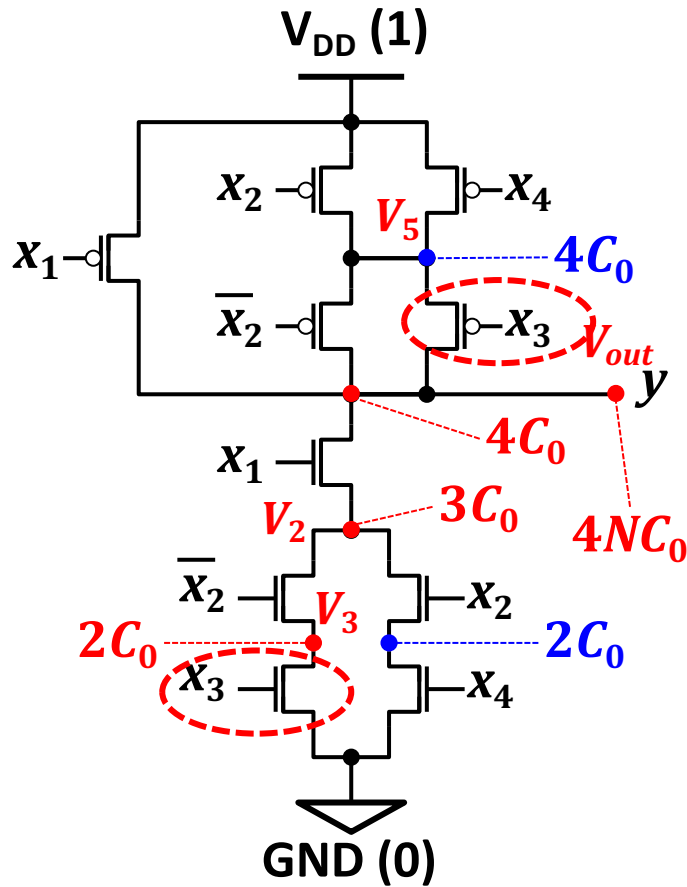
遷移入力	他の入力条件
x_1	$\overline{x_2} \cdot x_3 + x_2 \cdot x_4 = 1$

$x_2 = 0$ $x_3 = 1$	または	$x_2 = 1$ $x_4 = 1$
------------------------	-----	------------------------

プルアップ遅延 : $4R_p C_0 + 4N \cdot R_p C_0$
プルダウン遅延 : $12R_n C_0 + 12N \cdot R_n C_0$



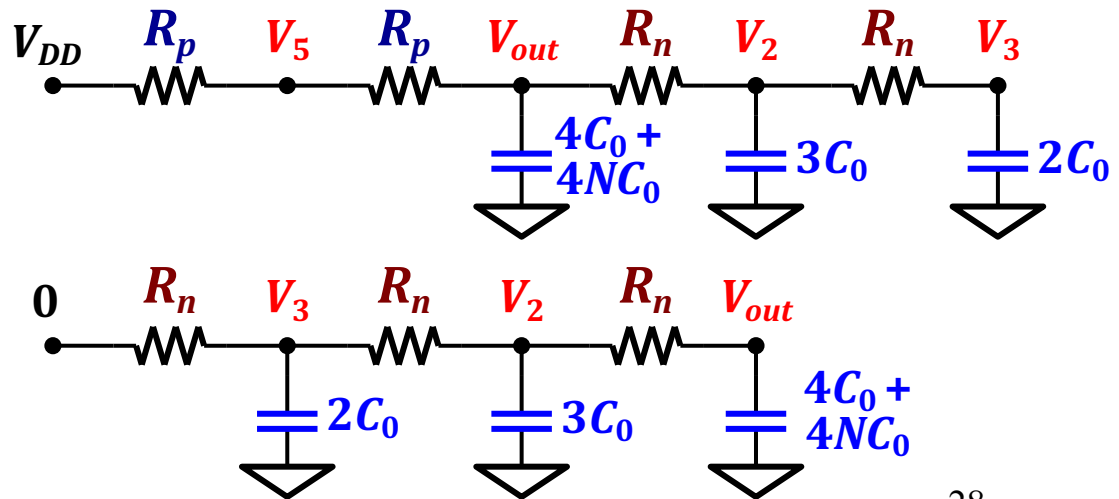
複雑なCMOSゲートの遅延解析 (4)



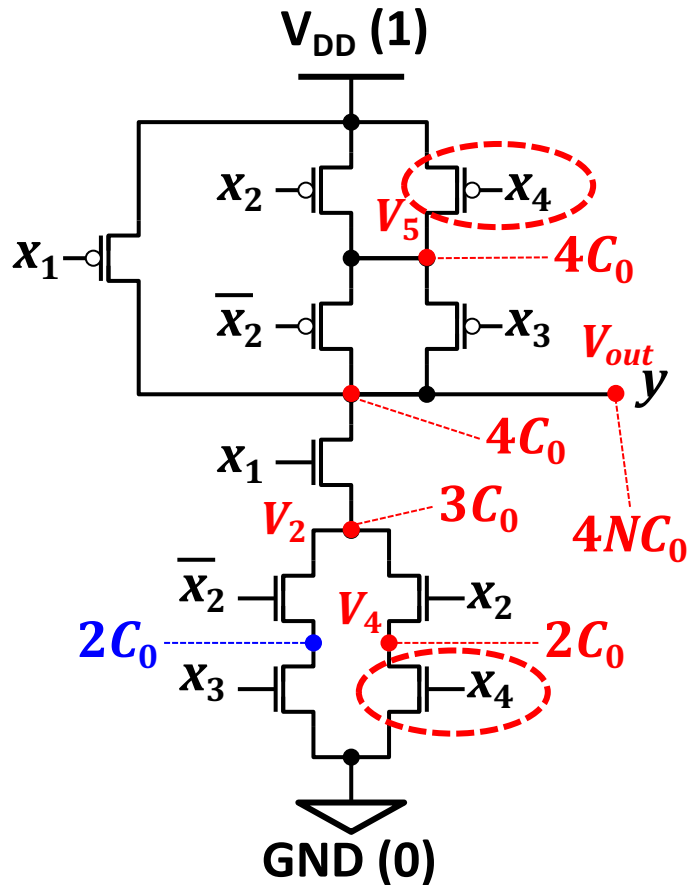
遷移入力	他の入力条件
x_3	$x_1 \cdot \bar{x}_2 = 1$

$x_1 = 1$ $x_2 = 0$	プルアップ遅延が最大 になる条件: $x_4 = 1$
------------------------	--------------------------------

プルアップ遅延: $(18R_p + 7R_n)C_0 + 8N \cdot R_p C_0$
プルダウン遅延: $20R_n C_0 + 12N \cdot R_n C_0$



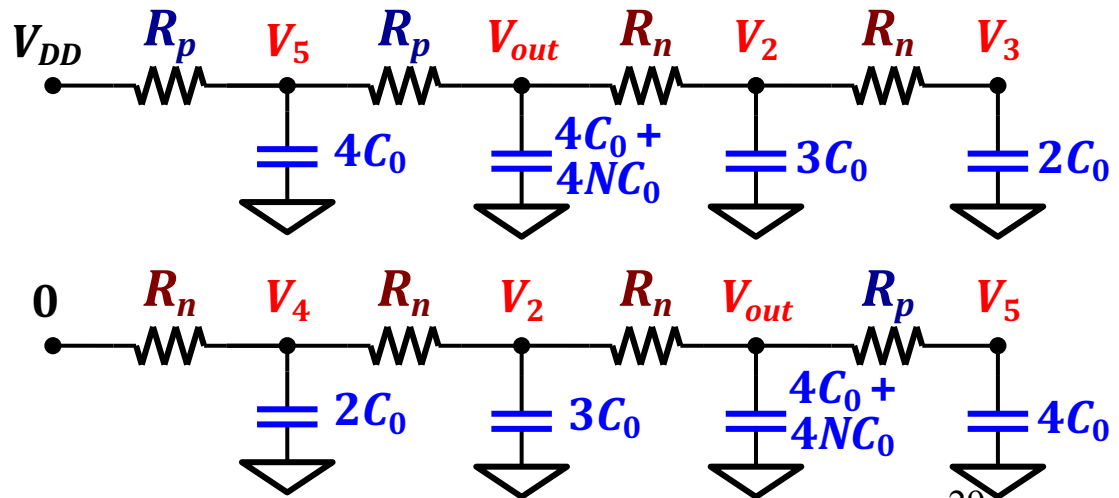
複雑なCMOSゲートの遅延解析 (5)



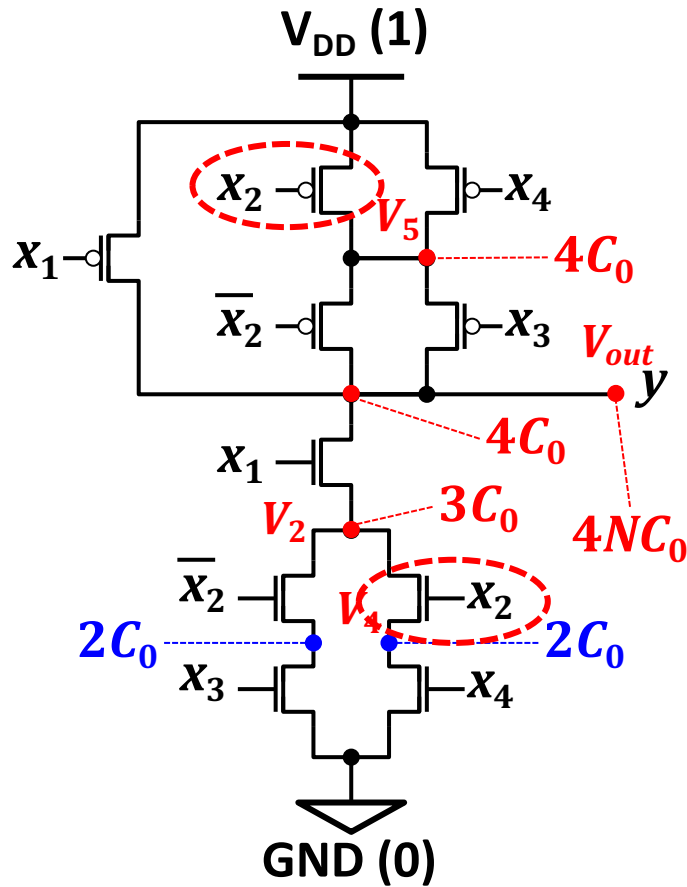
遷移入力	他の入力条件
x_4	$x_1 \cdot x_2 = 1$

$x_1 = 1$ $x_2 = 1$	プリアップ遅延が最大になる条件: $x_3 = 1$
------------------------	--

プリアップ遅延: $(22R_p + 7R_n)C_0 + 8N \cdot R_p C_0$
プルダウン遅延: $(4R_p + 32R_n)C_0 + 12N \cdot R_n C_0$



複雑なCMOSゲートの遅延解析 (6)

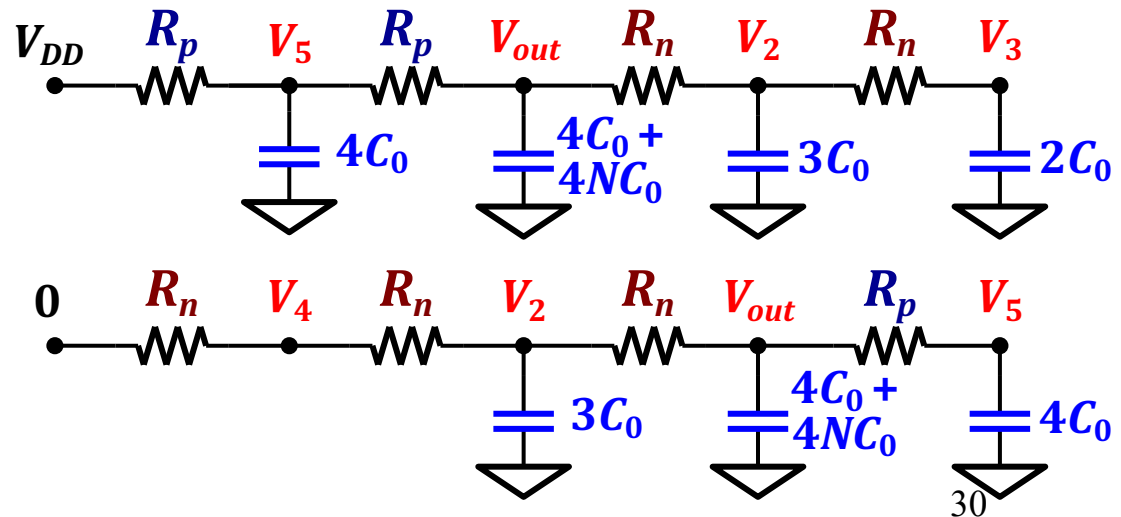


遷移入力	他の入力条件
x_2	$x_1 \cdot (x_3 \oplus x_4) = 1$

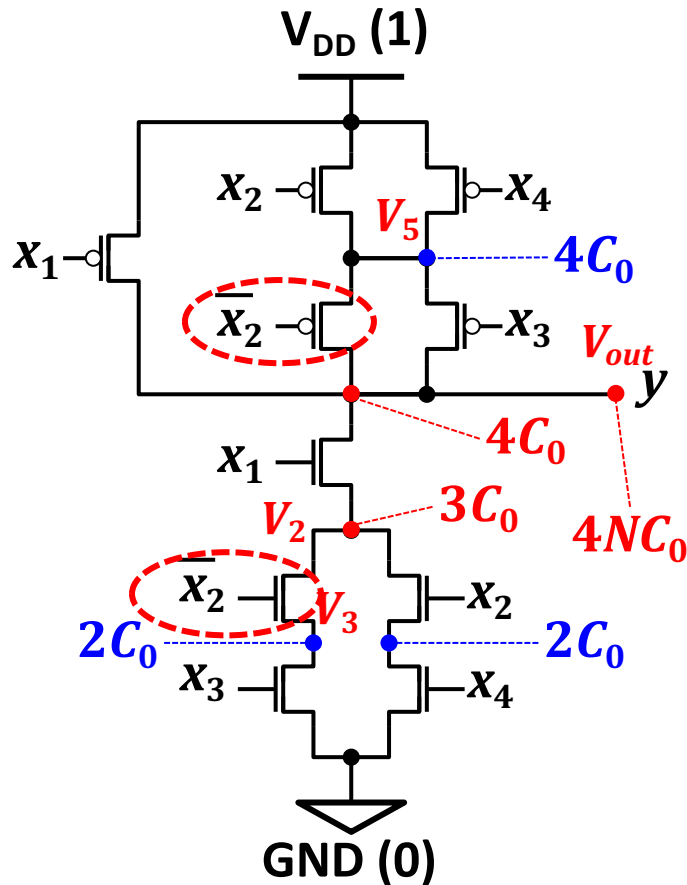
$x_3 = 0, x_4 = 1$: x_2 に関して「負」→
入力と出力の遷移方向が反転

プルアップ遅延 : $(22R_p + 7R_n)C_0 + 8N \cdot R_p C_0$

プルダウン遅延 : $(4R_p + 30R_n)C_0 + 12N \cdot R_n C_0$



複雑なCMOSゲートの遅延解析 (7)

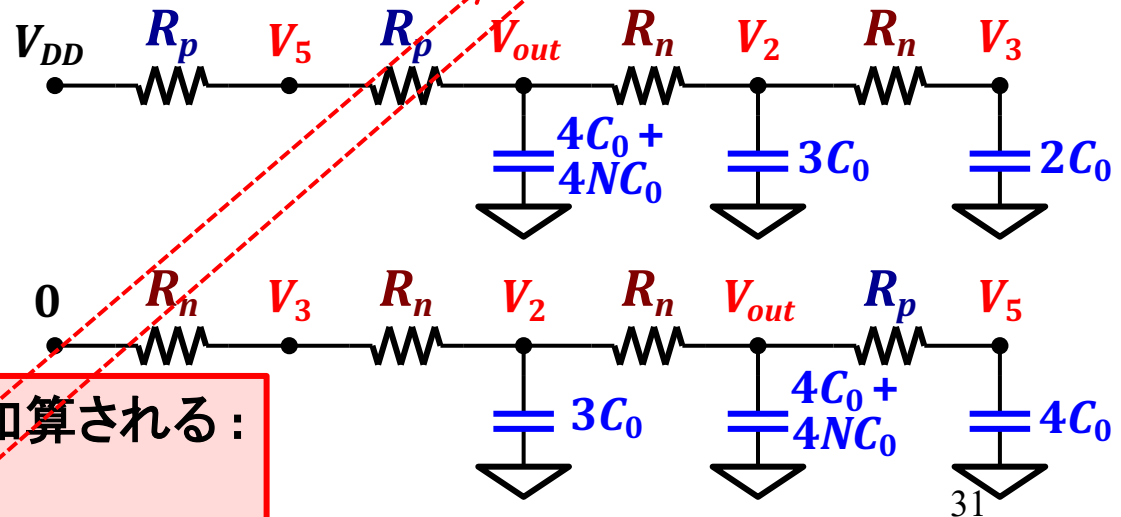


遷移入力	他の入力条件
x_2	$x_1 \cdot (x_3 \oplus x_4) = 1$

$x_3 = 1, x_4 = 0$: x_2 に関して「正」→
入力と出力の遷移方向が同一

プルアップ遅延 : $(18R_p + 7R_n)C_0 + 8N \cdot R_p C_0$

プルダウン遅延 : $(4R_p + 30R_n)C_0 + 12N \cdot R_n C_0$

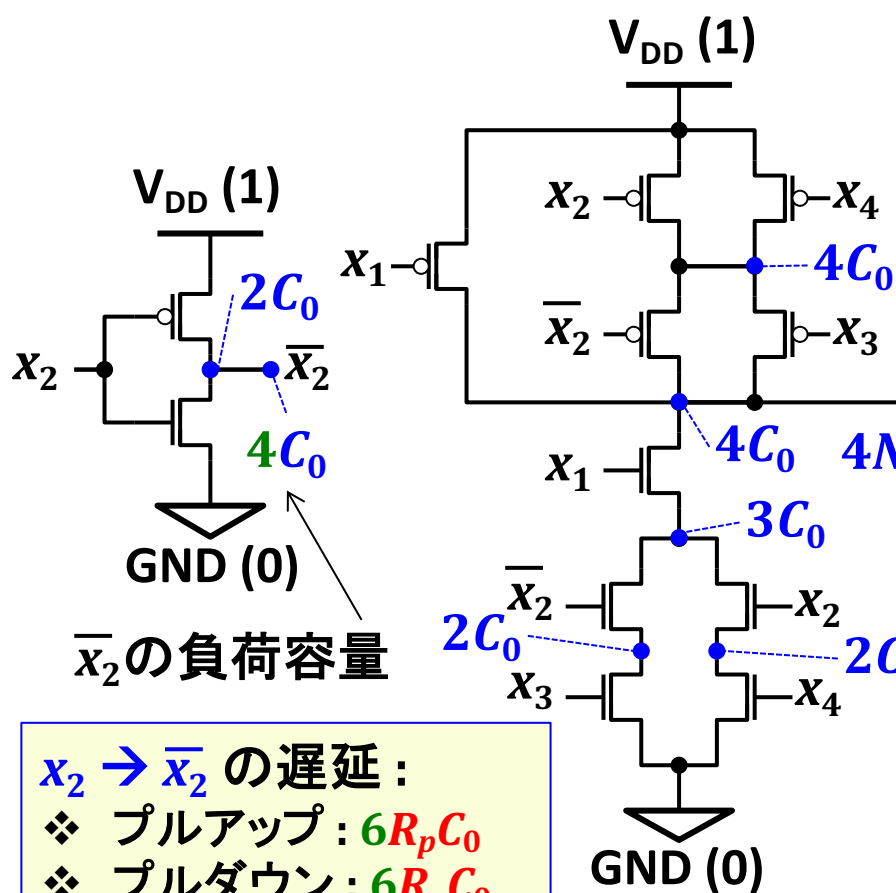


$x_2 \rightarrow \overline{x_2}$ の遅延がここに加算される :

- ❖ プルアップ : $6R_p C_0$
- ❖ プルダウン : $6R_n C_0$

複雑なCMOSゲートの遅延解析 (2)

(例2) $y = x_1 \cdot (\overline{x_2} \cdot x_3 + x_2 \cdot x_4)$



入力遷移		出力遷移	内部遅延 (t_{p0})	出力遅延 ($N \cdot INV$)
x_1	$1 \rightarrow 0$	$0 \rightarrow 1$	$4R_p C_0$	$4N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$12R_n C_0$	$12N \cdot R_n C_0$
x_2	$1 \rightarrow 0$	$0 \rightarrow 1$	$(22R_p + 7R_n) C_0$	$8N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$(4R_p + 30R_n) C_0$	$12N \cdot R_n C_0$
	$1 \rightarrow 0$	$1 \rightarrow 0$	$(18R_p + 13R_n) C_0$	$8N \cdot R_p C_0$
	$0 \rightarrow 1$	$0 \rightarrow 1$	$(10R_p + 30R_n) C_0$	$12N \cdot R_n C_0$
x_3	$1 \rightarrow 0$	$0 \rightarrow 1$	$(18R_p + 7R_n) C_0$	$8N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$20R_n C_0$	$12N \cdot R_n C_0$
x_4	$1 \rightarrow 0$	$0 \rightarrow 1$	$(22R_p + 7R_n) C_0$	$8N \cdot R_p C_0$
	$0 \rightarrow 1$	$1 \rightarrow 0$	$(4R_p + 32R_n) C_0$	$12N \cdot R_n C_0$

$x_2 \rightarrow \overline{x_2}$ の遅延:

❖ プルアップ: $6R_p C_0$

❖ プルダウン: $6R_n C_0$