

# 集積回路設計

## 5. スタティック論理回路

一色 剛

工学院情報通信系

[isshiki@ict.e.titech.ac.jp](mailto:isshiki@ict.e.titech.ac.jp)

# 【課題5】

1. 以下の論理関数を実現するスタティック論理回路を示せ。

a.  $y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}$

b.  $y = \overline{x_1 + x_2 + x_3 \cdot x_4}$

c.  $y = \overline{x_1 + x_2 \cdot x_3 \cdot x_4}$

2. 下図は4入力NANDスタティック論理回路を示す。ここで出力 $y$ には $4NC_0$ の出力負荷容量が接続し、スタティック論理回路の内部寄生容量(nMOS・pMOSTランジスタのドレイン容量やソース容量)は、図に示す通りであるとする。また、nMOS・pMOSTランジスタの等価抵抗をそれぞれ $R_n$ と $R_p$ とする。このとき、各入力( $x_1, x_2, x_3, x_4$ )からの出力に対するプルアップ遅延  $t_{pH}$  とプルダウン遅延  $t_{pL}$  をそれぞれ求めよ。

提出〆切 : 5/21(木)17時  
(ただし〆切後も受け付けます)

