

Конвейеризация. Новые возможности микропроцессоров IA-32

Ответить на вопросы:

1. Какие блоки составляют конвейер МП 80286?

BU (Bus Unit) - шинный блок (считывание из памяти и портов ввода/вывода)

IU (Instruction Unit) - командный блок (дешифрация команд)

EU (Executive Unit) - исполнительный блок (выполнение команд)

AU (Address Unit) - адресный блок (вычисляет все адреса, формирует физический адрес).

2. Какой блок и почему был добавлен в конвейер МП Intel-486?

В конвейер МП Intel-486 был добавлен блок WB (Write-Back), который отвечает за запись результатов выполнения команд в память или регистры. Это было сделано для того, чтобы ускорить работу процессора и уменьшить задержки, связанные с записью результатов

3. Что понимают под суперскалярной архитектурой?

Под суперскалярной архитектурой понимают наличие более одного конвейера для обработки команд. В МП Pentium команды распределяются по двум независимым исполнительным конвейерам (U и V). Конвейер U может выполнять любые команды семейства IA-32, включая целочисленные команды и команды с плавающей точкой. Конвейер V предназначен для выполнения простых целочисленных команд и некоторых команд с плавающей точкой.

4. Какие способы обработки данных объединяет термин "динамическое исполнение программы"?

- Глубокое предсказание ветвлений (с вероятностью >90% можно предсказать 1015 ближайших переходов).

- Анализ потока данных (на 20 - 30 шагов вперед просмотреть программу и определить зависимость команд по данным или ресурсам).

- Опережающее исполнение команд (МП P6 может выполнять команды в порядке, отличном от их следования в программе)

5. В чем состоит внутренняя RISC-архитектура ЦП Pentium Pro?

внутри процессора команды сначала декодируются на более простые микрооперации, которые затем выполняются параллельно на нескольких исполнительных блоках. Это позволяет ускорить выполнение программ и повысить производительность процессора. Кроме того, Pentium Pro имеет двойную независимую шину данных, что также способствует увеличению скорости обработки данных.

6. В работе какого процессора наблюдается отклонение от принципов фон Неймана? В чем это проявляется?

наблюдается в работе процессора Pentium Pro. Это проявляется в том, что Pentium Pro использует внутреннюю RISC-архитектуру, при которой команды декодируются на более простые микрооперации, которые затем выполняются параллельно на нескольких исполнительных блоках. Таким образом, Pentium Pro отличается от классической архитектуры фон Неймана, где команды выполняются последовательно на одном исполнительном блоке.

7. В чем состоит преимущество использования двойной независимой шины?

Преимущество использования двойной независимой шины заключается в том, что это позволяет увеличить скорость обработки данных. В процессоре Pentium Pro двойная независимая шина используется для передачи данных между кэш-памятью и регистрами общего назначения, а также для передачи данных между кэш-

памятью и исполнительными блоками. Благодаря этому процессор может одновременно выполнять несколько операций с данными, что повышает его производительность.

8. Что нового появилось в архитектуре процессора Pentium III по сравнению с Pentium MMX?

- Новый набор инструкций, включающий SIMD-инструкции (Single Instruction Multiple Data), которые позволяют выполнять одну операцию над несколькими данными одновременно.
- Улучшенная поддержка многопроцессорных систем.
- Увеличенный объем кэш-памяти второго уровня (512 Кб против 256 Кб у Pentium MMX).
- Улучшенная арифметика с плавающей точкой и поддержка новых форматов данных.
- Улучшенная технология ветвления, позволяющая более точно предсказывать переходы в программе.

9. Какие особенности имеет Net Burst-архитектура?

- Высокая тактовая частота (до 3,8 ГГц), что обеспечивает высокую производительность.
- Увеличенный объем кэш-памяти второго уровня (от 256 Кб до 2 Мб).
- Улучшенная технология гиперпоточности, которая позволяет процессору выполнять несколько потоков инструкций одновременно.
- Улучшенная технология предсказания переходов, которая позволяет более точно предсказывать переходы в программе и уменьшить количество простоев процессора.
- Новый набор инструкций SSE2 (Streaming SIMD Extensions 2), который позволяет выполнять одну операцию над несколькими данными одновременно и ускоряет работу с мультимедийными данными.

2. Используя учебный материал составить терминологический словарь, состоящий по объему из 15 терминов и определений.

1. Конвейерная обработка - метод организации работы микропроцессора, при котором команды выполняются параллельно, путем разбиения на отдельные стадии обработки.

2. Суперскалярная архитектура - архитектура микропроцессора, позволяющая выполнять несколько команд одновременно за один такт, используя несколько исполнительных блоков.

3. Динамическое исполнение команд - технология, позволяющая микропроцессору начинать выполнение следующей команды до завершения выполнения предыдущей, с целью ускорения работы.

4. Блок предсказания ветвлений - часть процессора, которая определяет, какие инструкции должны выполняться после условных переходов.

5. Блок удаления - часть процессора, которая удаляет микрооперации, которые больше не зависят от других микроопераций, и подтверждает выполнение инструкций в порядке их следования в программе.

6. Внутренние регистры общего назначения - регистры, используемые в процессоре для решения проблемы взаимной зависимости команд от значений регистров архитектуры.

7. Исполнительные устройства - параллельные устройства процессора, которые выполняют микрооперации в соответствии с их типом.

8. Ветвление - операция, при которой процессор выбирает путь выполнения программы в зависимости от значения регистра или условия, заданного в команде.

9. Спаривание - метод обработки команд, при котором пара команд отправляется на конвейеры U и V одновременно.

10. Команды с плавающей точкой - команды, которые работают с числами с плавающей точкой, обычно используются для выполнения операций с дробными числами.

11. Целочисленные команды - команды, которые работают только с целочисленными значениями и не требуют операций с плавающей точкой.

12. Конвейер - часть аппаратной архитектуры процессора, которая выполняет определенный набор операций над командами процессора.
13. Архитектура RISC - архитектура процессора, которая характеризуется простым набором инструкций и быстрым выполнением операций.
14. Блок выборки команд - часть процессора, которая считывает поток инструкций из кэша и декодирует их в микрооперации.
15. Буфер переупорядочивания - часть процессора, в которой хранятся микрооперации, которые еще не выполнены или уже выполнены, но еще не повлияли на состояние процессора.