בס"ד

פרויקט סיכום במעבדה ל-VLSI אנאלוגי

מגיש: נפתלי ריפנר

תוכן

[שאלה 1 3](#_Toc64302708)

[ADC(7 comp) 3](#_Toc64302709)

[Schematic 3](#_Toc64302710)

[Layout 4](#_Toc64302711)

[סימולציה 5](#_Toc64302712)

[הסברים על הרכיב ועל הסימולציה 5](#_Toc64302713)

[Priority encoder 6](#_Toc64302714)

[Schematic 6](#_Toc64302715)

[Layout 6](#_Toc64302716)

[סימולציה 7](#_Toc64302717)

[הסברים על הרכיב ועל הסימולציה 7](#_Toc64302718)

[clock & Frequency Divider 8](#_Toc64302719)

[Schematic 8](#_Toc64302720)

[Layout 8](#_Toc64302721)

[סימולציה 9](#_Toc64302722)

[הסברים על הרכיב ועל הסימולציה 9](#_Toc64302723)

[D-ff 9](#_Toc64302724)

[Schematic 9](#_Toc64302725)

[Layout 10](#_Toc64302726)

[סימולציה 10](#_Toc64302727)

[הסברים על הרכיב ועל הסימולציה 10](#_Toc64302728)

[ADC הנקרא באופן טורי 11](#_Toc64302729)

[Schematic 11](#_Toc64302730)

[Layout 12](#_Toc64302731)

[סימולציה 13](#_Toc64302732)

[הסברים על הרכיב ועל הסימולציה 14](#_Toc64302733)

[שאלה 2 15](#_Toc64302734)

[שאלה 3 17](#_Toc64302735)

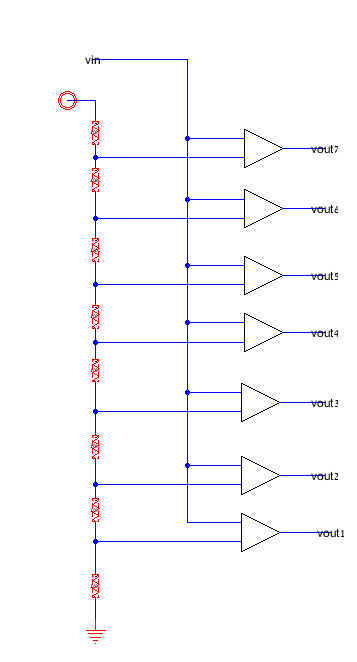
[בניית השער וחישוב זמן ההשהיה 17](#_Toc64302736)

[ציור מעגל שקול הכולל את החוט וקבוע הזמן 19](#_Toc64302737)

# שאלה 1

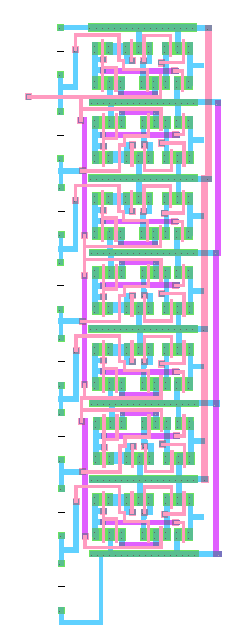
## ADC(7 comp)

### Schematic



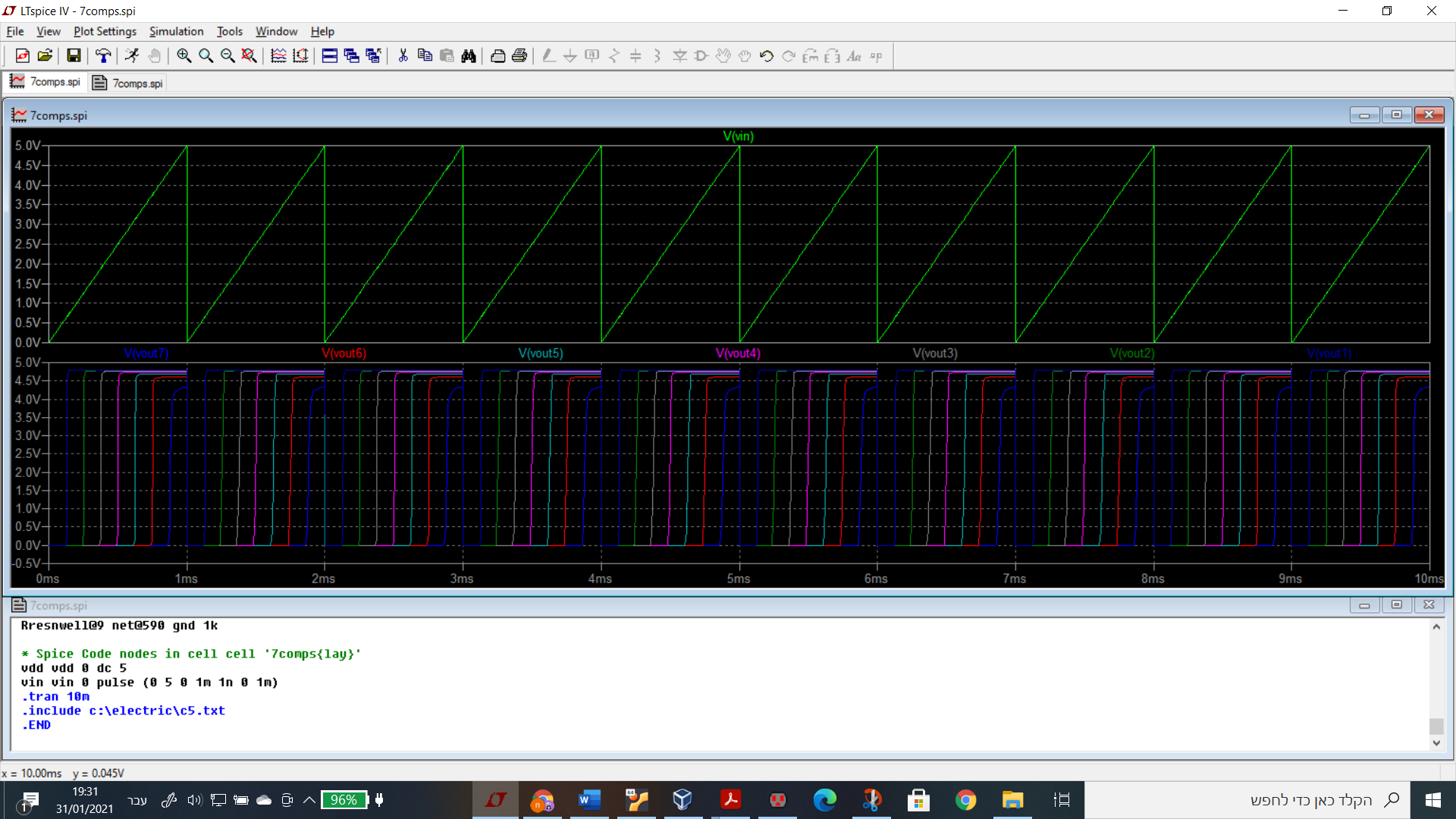
איור 1 סכמה של הרכיב ADC(7 comp)

### Layout



איור 2 Layout של הרכיב ADC(7 comp)

### סימולציה



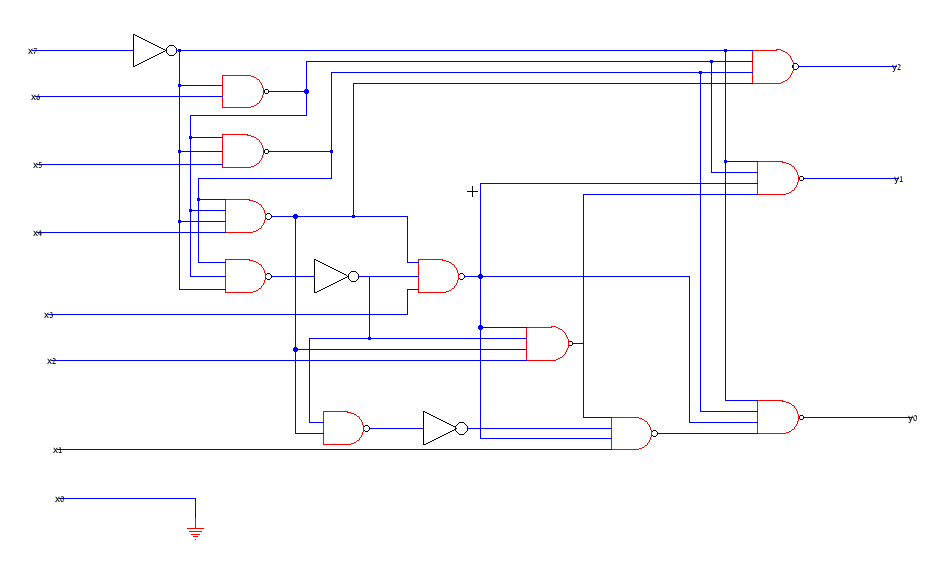
איור 3 סימולציה של הרכיב ADC(7 comp)

### הסברים על הרכיב ועל הסימולציה

* תפקידו של הרכיב ADC(7 comp) הוא להמיר (לסווג) את המתח האנלוגי שנכנס לרכיב ל-7 רמות מתח מוצא שונות הנקבעות על פי גודל מתח הכניסה, כלומר הרכיב מבצע פעולות השוואה באמצעות מגברים משווים בין מתח הכניסה לבין מתח ייחוס הנקבע על ידי חלוקת מתח קבוע על הנגדים, כאשר מתח הכניסה גדול ממתח הייחוס מוצא המגבר הוא VDD וכאשר מתח הכניסה קטן ממתח הייחוס המוצא הוא GND.
* בסימולציה ניתן לראות שמתח הכניסה הוא גל שן מסור בעל אמפליטודה של V5, זמן עלייה של 1ms, זמן ירידה של 1ns וזמן מחזור של 1ms.
* מתחי המוצא של המגברים עולים בזמנים שונים בהתאם לרמת מתח המוצא העולה עם הזמן. מתח המוצא Vout1 של המגבר שמשווה את מתח הייחוס הנמוך ביותר ל-Vin עולה ראשון לVDD- ונשאר למשך הזמן הארוך ביותר, אחריו עולה מתח המוצא Vout2 לVDD- וכך זה ממשיך עד שמתח המוצא Vout7 עולה אחרון ונשאר הכי פחות זמן.

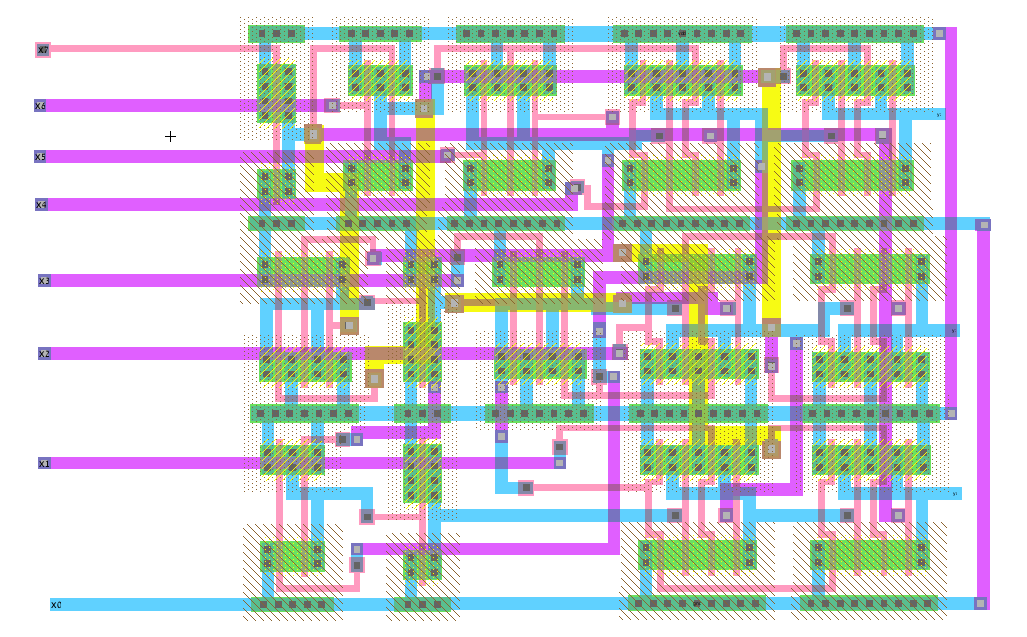
## Priority encoder

### Schematic



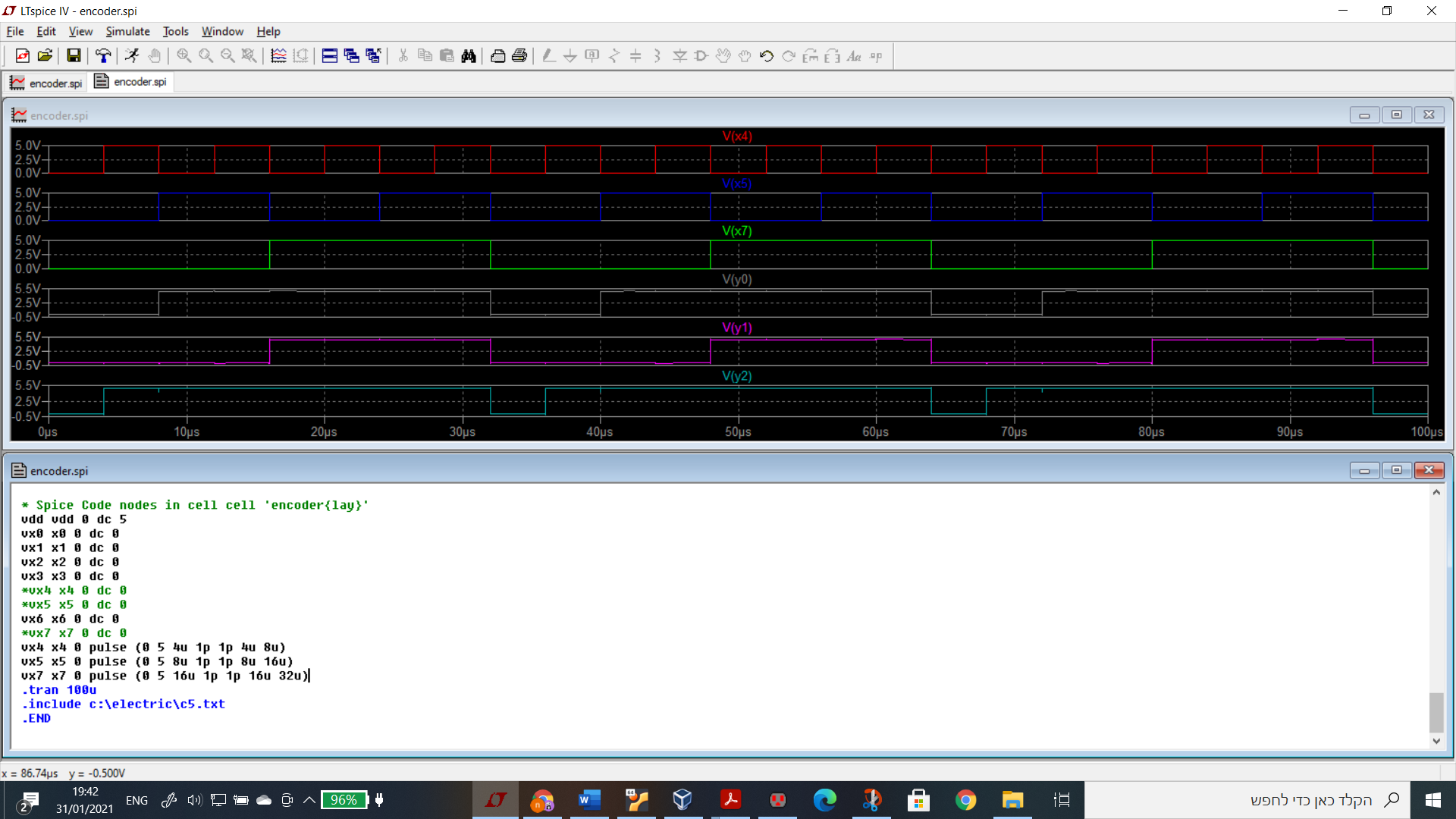
איור 4 סכמה של הרכיב encoder Priority

### Layout



איור 5 Layout של הרכיב Priority encoder

### סימולציה



איור 6 סימולציה של הרכיב Priority encoder

### הסברים על הרכיב ועל הסימולציה

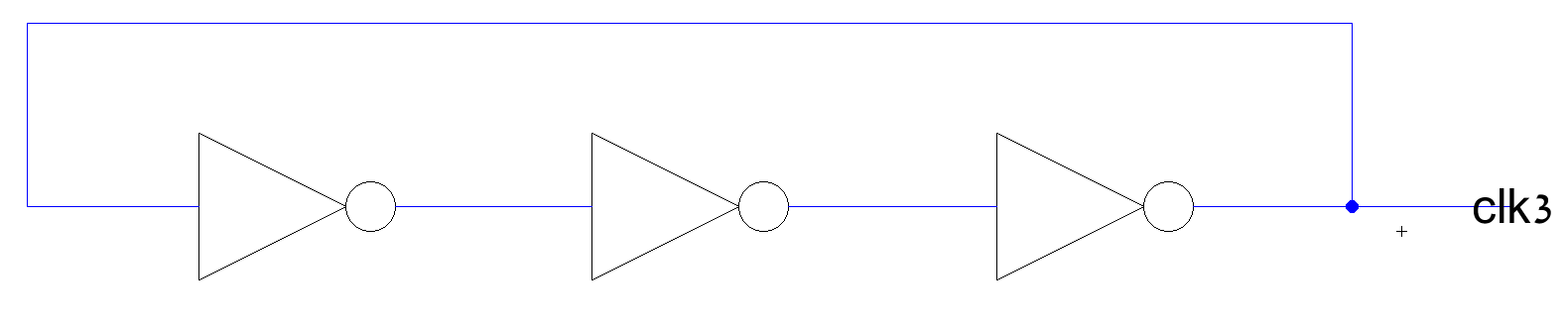
* הרכיב Priority encoder, המורכב משערים לוגים, מבצע פעולת פיענוח על פי רמת המתח הגבוהה, כלומר רגלי הכניסה של הרכיב נקראים בתור מספר בינארי כלומר הרגל כניסה X0 היא ה-LSB ו-7X היא ה-MSB, כאשר נכנס מספר הרכיב מוציא את המספר על פי הכניסה שמקבלת '1' לוגי והכי קרובה ל-MSB ללא התחשבות בספרות שקדמו לה (הקרובות לצד של ה- LSB). לדוגמא: אם הרכיב מקבל בכניסה 0000011 אז המוצא יהיה 010.
* ניתן לראות בסימולציה שכל אותות הכניסה ב-'0' לוגי חוץ מהאותות 7VX,5VX ו-4 VXשהם משתנים בזמן בתצורה הבאה: אות ה-VX4 בכניסה הוא גל ריבועי בעל אמפליטודה V5, זמני עלייה וירידה של 1ps, זמן התחלתי ב-0, זמן ב-'1' לוגי 4μs וזמן המחזור 8μs.

אות ה-VX5 בכניסה הוא גל ריבועי בעל אמפליטודה V5, זמני עלייה וירידה של 1ps, זמן התחלתי ב-0, זמן ב-'1' לוגי 8μs וזמן המחזור 16μs. אות ה-VX7 בכניסה הוא גל ריבועי בעל אמפליטודה V5, זמני עלייה וירידה של 1ps, זמן התחלתי ב-0, זמן ב-'1' לוגי 16μs וזמן המחזור 32μs.

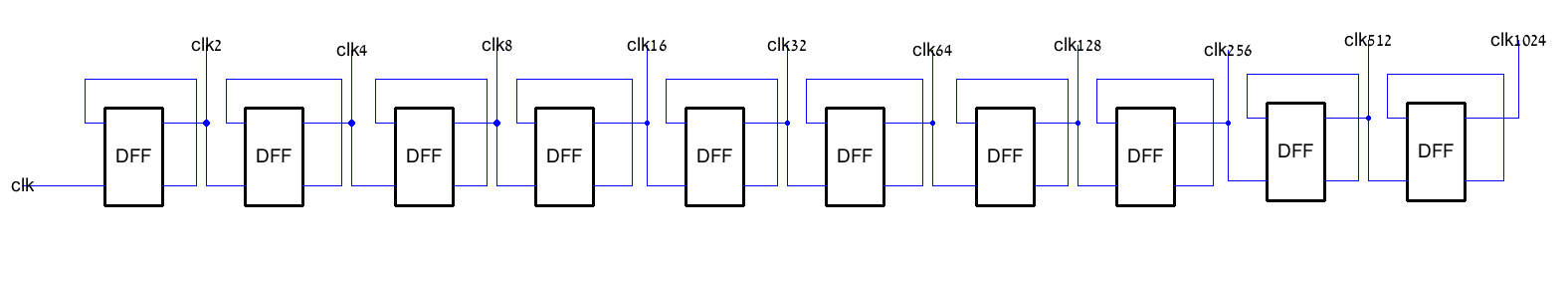
* כאשר המתח כניסה של VX7 ב-'1' לוגי אז מתח המוצא הוא 111, כאשר מתח הכניסה של 7VX ב-'0' לוגי ומתח הכניסה של 5VX ב-'1' אז מתח המוצא הוא 101 כאשר מתח הכניסה של 7VX ו- 5VX ב-0 ומתח הכניסה של 4VX ב-1 אז מתח המוצא הוא 100 וכאשר כל הכניסות ב-0 אז גם המוצא ב-0.

## clock & Frequency Divider

### Schematic

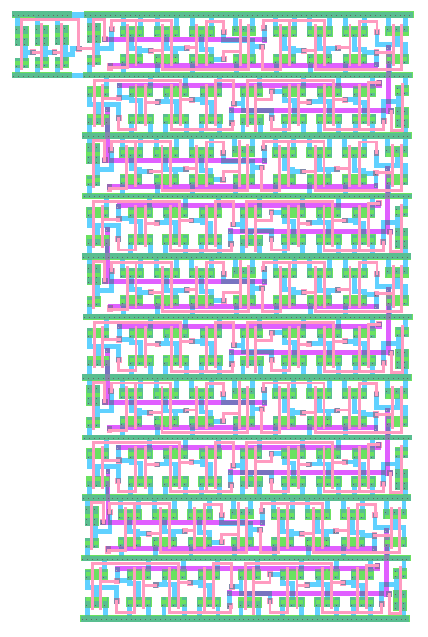


איור 7 סכמה של השעון



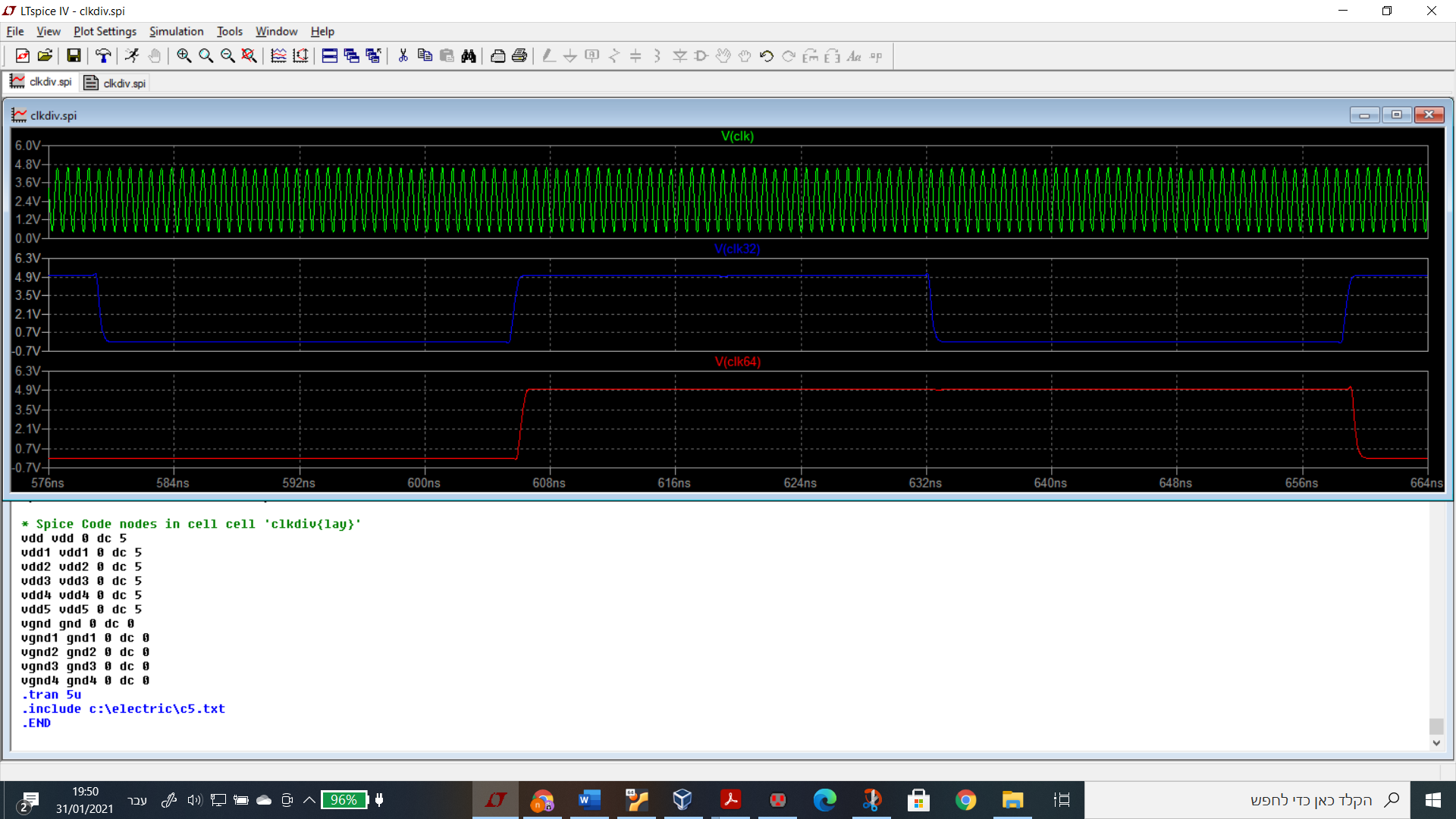
איור 8 סכמה של מחלק התדר

### Layout



איור 9 Layout של השעון ומחלק התדר

### סימולציה



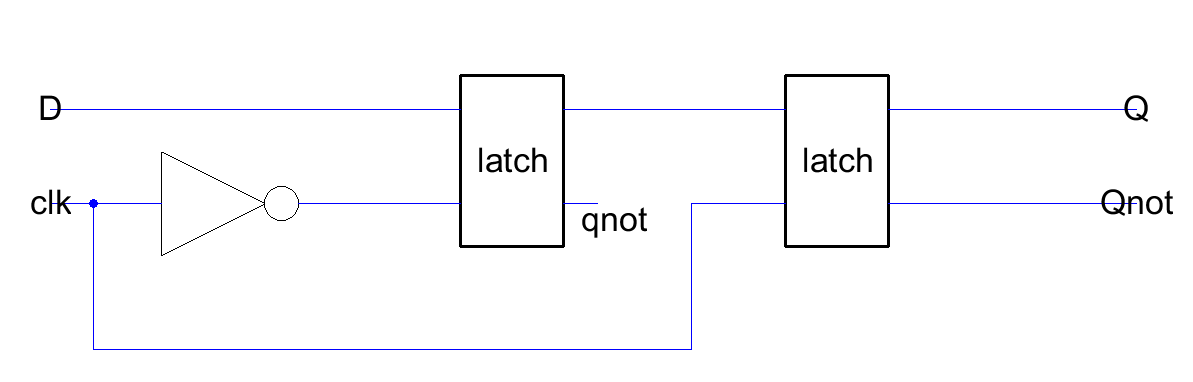
איור 10 סימולציה של השעון ומחלק התדר

### הסברים על הרכיב ועל הסימולציה

* הרכיב של השעון מורכב משלושה מהפכים עם משוב , כאשר הרעש מצליח לגרום לתנודות קטנות בהתחלה והן גדלות כתוצאה מהתכונה של המהפך להגדיל את הפער בין המתח של ה-'0' הלוגי ל-'1' הלוגי, ככל שהאות עובר יותר מהפכים כך ה- '0' וה-'1' הלוגי יהיו רחוקים יותר ממתח הביניים ויתייצב. כפי שניתן לראות מהסימולציה השעון מתנדנד בתדר גבוהה בסביבות ה-1.5GHz.
* תפקידו של הרכיב של המחלק תדר הוא כשמו לחלק את תדר השעון, הוא מורכב משרשור של דלגלגי D כאשר כניסת השעון מקבלת את השעון שהיא תחלק, כניסת ה-D תקבל את היפוך המוצא 'Q והמוצא Q הוא התדר המחולק, הדלגלג D מחלק את התדר שנכנס אליו ב-2.
* כפי שניתן לראות בסימולציה המוצא V(clk32) מחלק את התדר של השעון משלושת המהפכים והמוצא V(clk64) מחלק אותו ב-64.

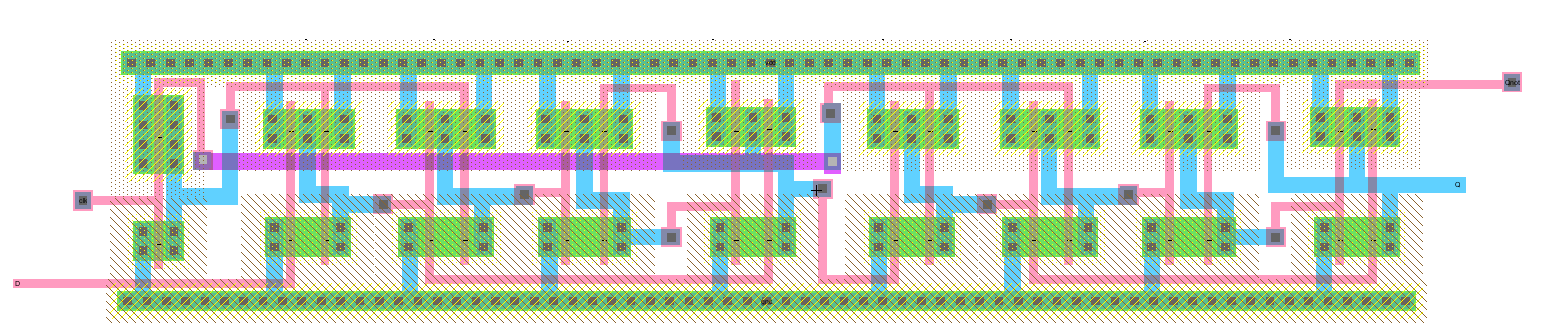
## D-ff

### Schematic



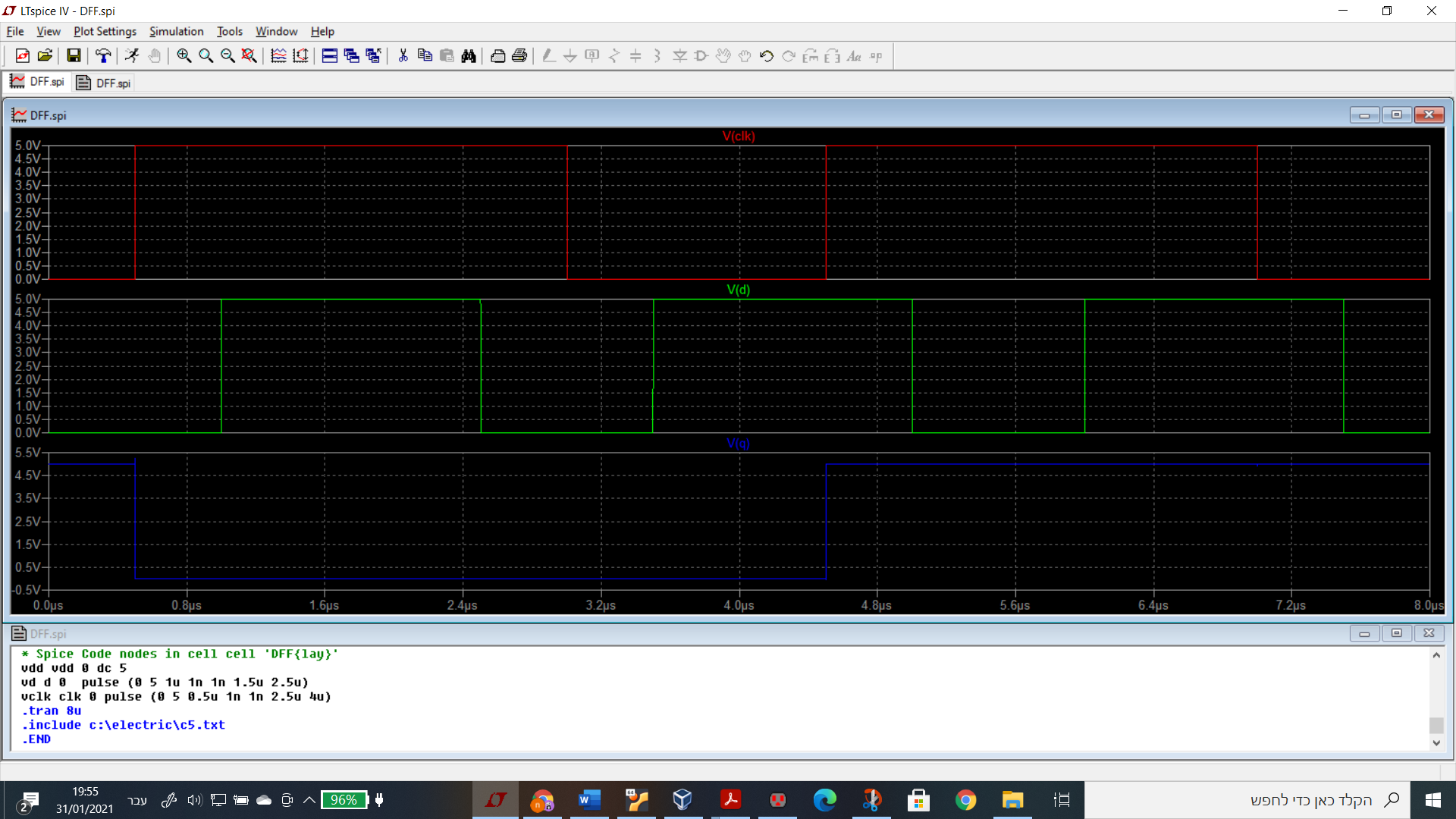
איור 11 סכמה של DFF

### Layout



איור 12 Layout של DFF

### סימולציה



איור 13 סימולציה של DFF

### הסברים על הרכיב ועל הסימולציה

* הדלגלג D (DFF) מורכב משני רכיבי latch ומהפך, יש לו כניסת שעון, כניסת D (Data), מוצא Q והיפוכו 'Q, ה- latch הוא רכיב זיכרון הבנוי משני שערי NAND עם 2 כניסות ועם משוב בין המוצא של אחד לכניסה של השני הגורמים למידע להישמר, הרכיב פועל בתזמון של עליית השעון, כלומר בגלל תכונות ה-latch (שקוף כאשר השעון ב-'1' ונועל כאשר הוא ב-'0') המידע נשמר גם כשהשעון ב- '1' וגם כשהוא ב-'0' כי ה-latch השני מקבל את השעון הפוך, רק בזמן שהשעון עולה המידע עובר מרגל הכניסה D למוצא הדלגלג Q ושומר על מצב זה עד לעליית השעון הבאה.
* ישנם זמנים חשובים הגורמים לעבודה תקינה של הרכיב, אם הם מופרים אז יכולות להיווצר שגיאות לא רצויות במוצא:

1. tsetup- זמן לפני הדגימה שבו המידע בכניסה צריך להיות מוכן.
2. tcq- זמן המעבר ברכיב משינוי בשעון לשינוי במוצא.
3. thold- זמן לאחר הדגימה, שבו הכניסה נשארת יציבה.

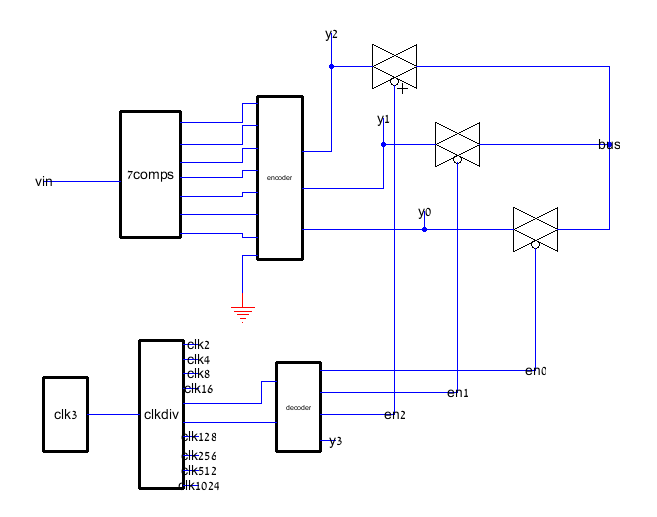
* אות ה-D בכניסה ל DFF-הוא גל ריבועי בעל אמפליטודה V5, זמני עלייה וירידה של 1ns, זמן התחלתי ב-1μs, זמן ב-'1' לוגי 1.5μs וזמן המחזור 2.5μs.

אות השעון בכניסה ל DFF-הוא גל ריבועי בעל אמפליטודה V5, זמני עלייה וירידה של 1ns, זמן התחלתי ב-0.5μs, זמן ב-'1' לוגי 2.5μs וזמן המחזור 4μs.

* ניתן לראות על פי הסימולציה שאכן המוצא Q מקבל את הכניסה D רק בעליית השעון ולא משתנה עד עליית השעון הבא.

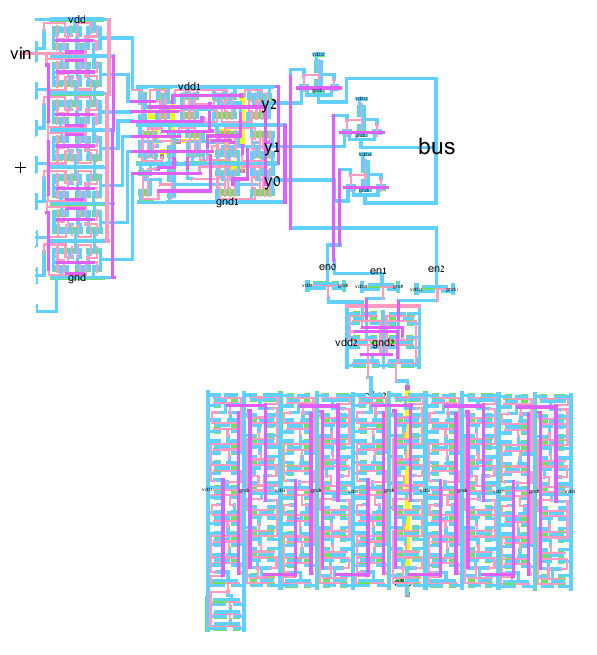
## ADC הנקרא באופן טורי

### Schematic



איור 14 סכמה של הרכיב ADC הנקרא באופן טורי

### Layout

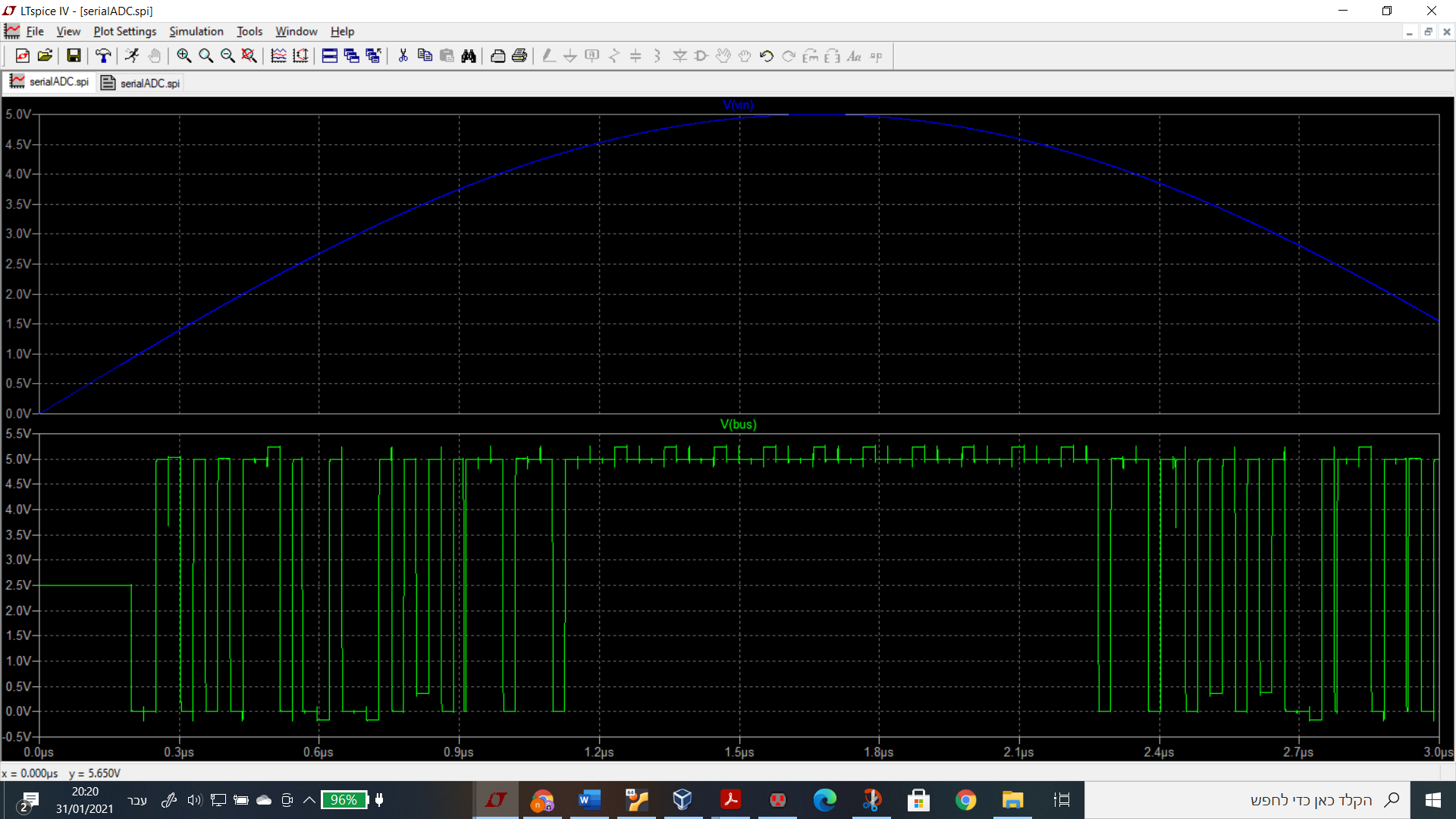


איור 15 Layout של הרכיב ADC הנקרא באופן טורי

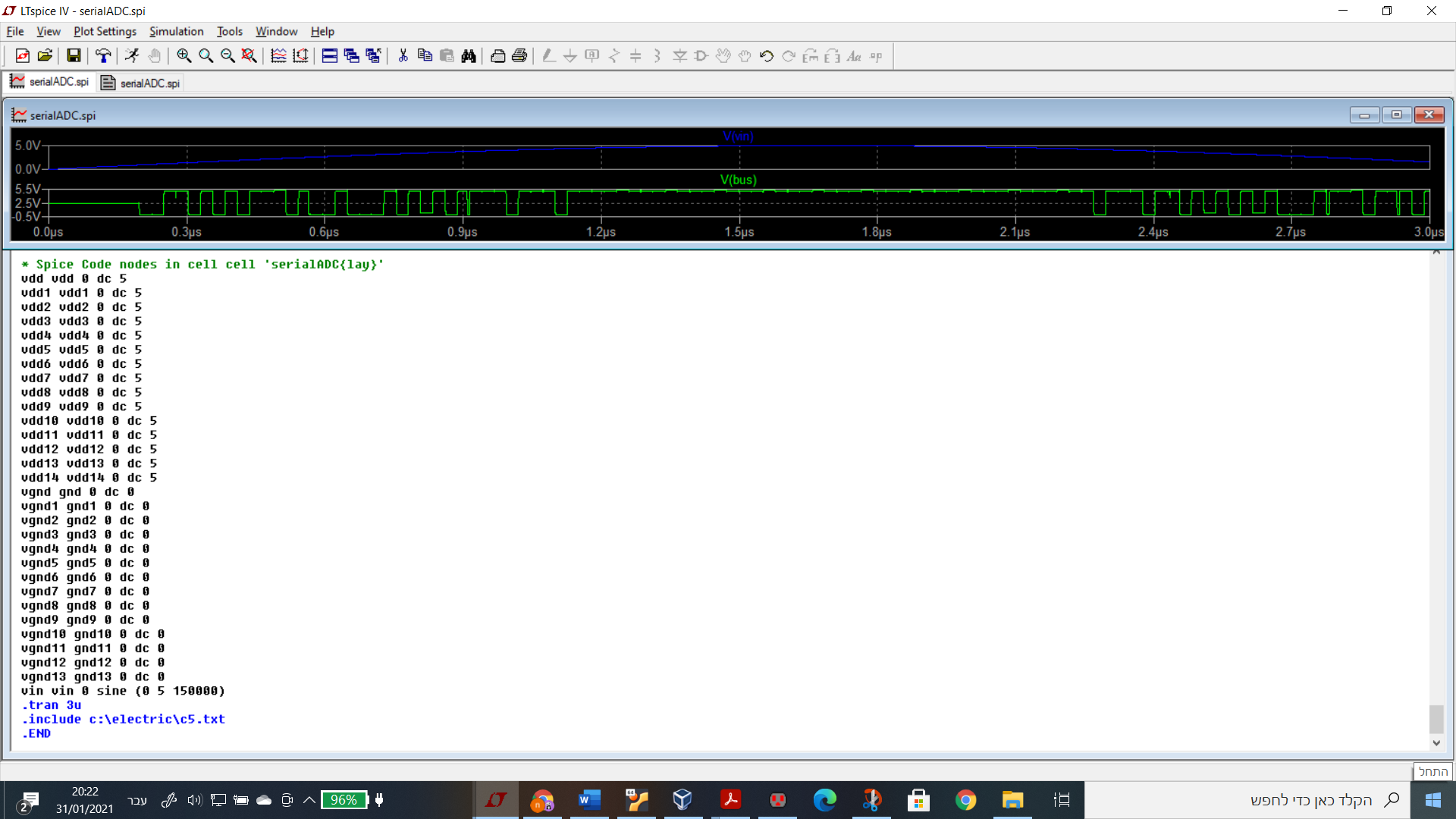
### סימולציה



איור 16 סימולציה של הרכיב הרכיב ADC הנקרא באופן טורי הכוללת את המוצאים של ה-Priority encoder וה- Decoder



איור 17 סימולציה של הרכיב ADC הנקרא באופן טורי, רק כניסה ומוצא



איור 18 סימולציה של הרכיב הרכיב ADC הנקרא באופן טורי הכולל גם את הקוד

### הסברים על הרכיב ועל הסימולציה

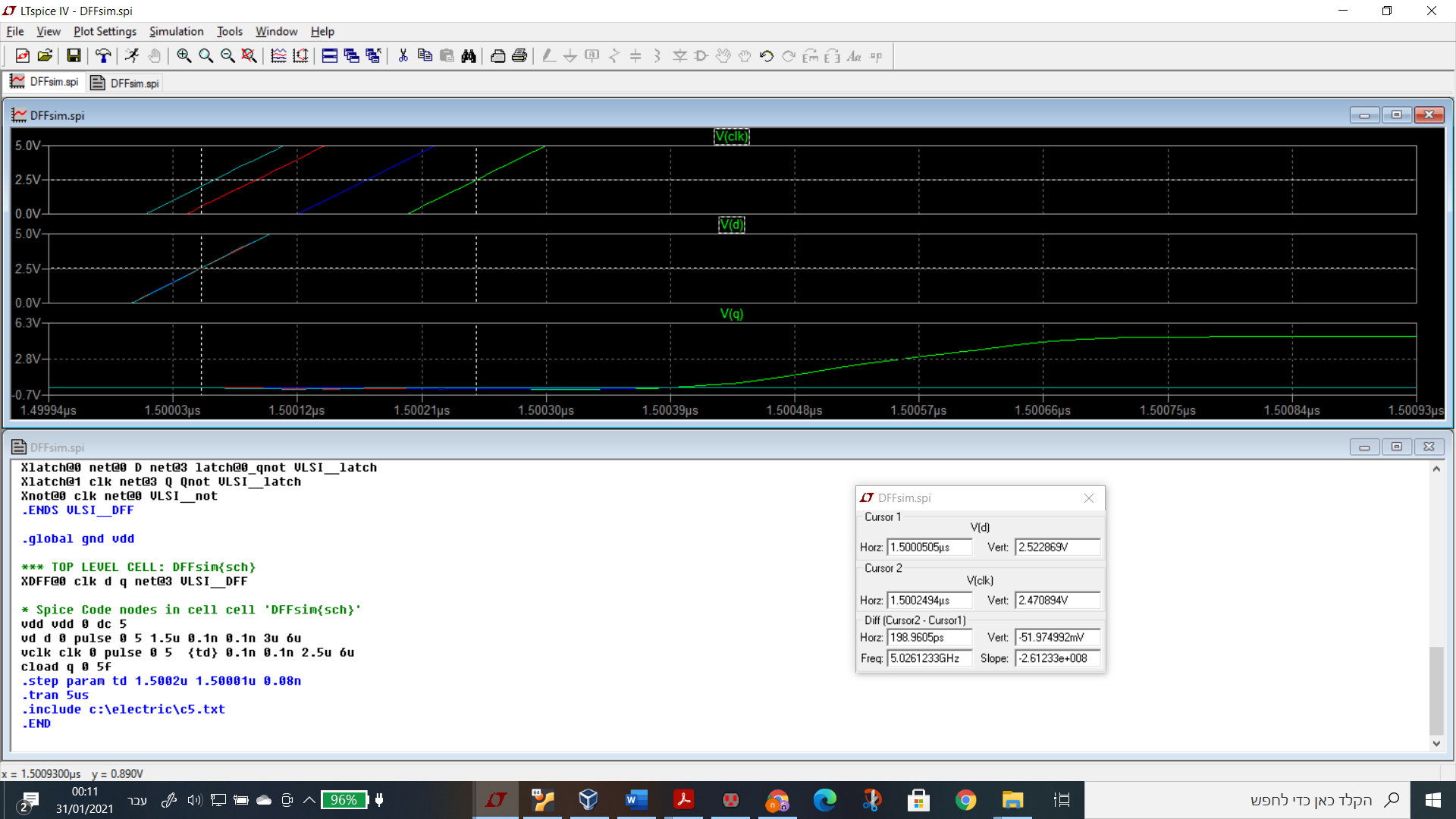
* הרכיב ADC הנקרא באופן טורי הוא רכיב שנועד להמיר אות אנלוגי הנכנס לרכיב לאות דיגיטלי בתצורה של 7 רמות מתח שונות ולהוציא את האות הדיגיטלי בתצורה טורית אל ה-BUS, כלומר האות האנלוגי נכנס אל הרכיב ADC(7 comp) והוא מוציא את מתחי המוצא בהתאם לרמת המתח בכניסה. מוצא ה- ADC(7 comp) נכנס אל רכיב ה- Priority encoder שתפקידו לפרש את הרמת המתח למספר בינארי. מוצא ה- Priority encoder נכנס אל Transmission Gates שתפקידם להעביר את המספר בתצורה טורית בעזרת תזמון של התדר ואפשור של ה-Decoder. הקריאה של שלושת הספרות של המספר הבינארי מתבצע לפני החילוף למספר אחר כדי לא לאבד מידע. תדר התזמון נוצר מהשעון שנכנס אל מחלק התדר ושני המוצאים המתאימים לתזמון תדר הכניסה נכנסים אל Decoder שמפרש את המספר של השעון ממחלק התדר למוצאים, כלומר כל מוצא מבטא מספר (לא שהמוצאים בינאריים אלה כמות כמוצאים היא ככמות המספרים שיכולים להיכנס ל-Decoder) וכאשר מוצא מסוים ב-'1' השאר ב-'0'. ה- Decoder מאפשר כל פעם Transmission Gate אחד ושאר ה- Transmission Gates במצב של 'Z' (עקבה גבוהה) דבר הגורם למידע העובר לBUS- לעבור בתצורה טורית בלי קצר בין המוצאים של ה- Priority encoder.
* בסימולציה ניתן לראות את אות הכניסה (Vin) שהוא גל sin עם אמפליטודה 5 ותדר 150KHz בחצי המחזור העליון ממתח 0 ל-V5 ויורד בחזרה, את אות המוצא (Vbus) של הרכיב ADC הנקרא באופן טורי שניתן לראות את התאמתו למתח הכניסה, את מוצאי ה- Priority encoder (V(y0),V(y1),V(y2)) המתארים את המספר של רמת המתח ואת מוצאי ה-Decoder (V(en0),V(en1),V(en2)) המתזמנים את קריאת המספר בתצורה טורית.
* מכיוון שלרכיב Decoder יש 4 מוצאים אז אין רצף של קריאת המספר בתצורה טורית בסימולציה, אלה יש השהיה של הזמן שבו המוצא של ה- Decoder הוא ביציאה ה-MSB (אמור להיות (Ven(3), בזמן זה שלושת המוצאים של ה- Transmission Gateנמצאים במצב Z ואין קריאה ל-BUS.

# שאלה 2

שלושת הזמנים החשובים של DFF הם: t\_setup, t\_cq, t\_hold .

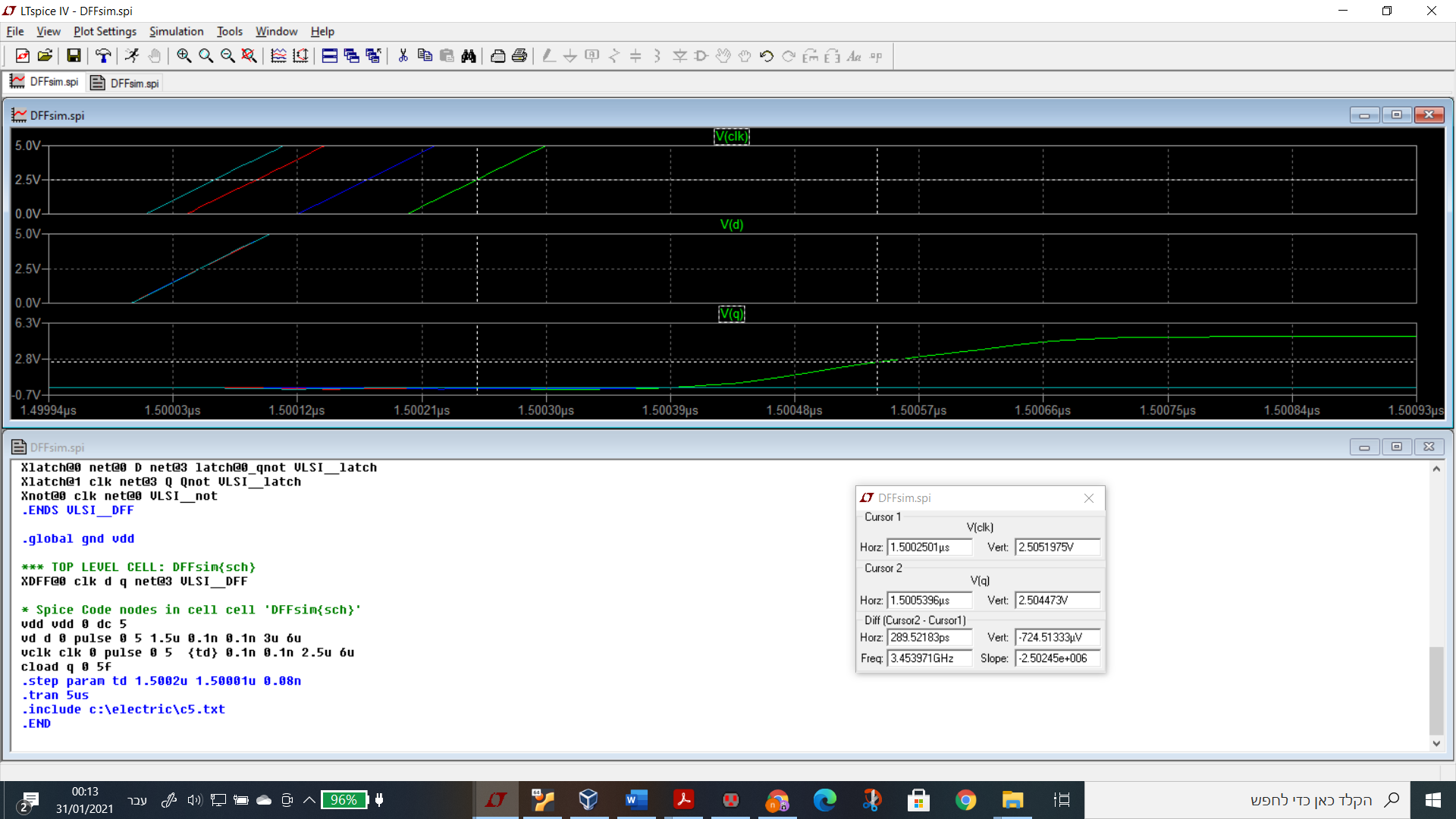
* t\_setup - הזמן לפני הדגימה שבו המידע בכניסה צריך להיות מוכן.
* t\_cq – זמן המעבר ברכיב משינוי השעון עד לשינוי במוצא.
* t\_hold- הזמן לאחר הדגימה שבו הכניסה נשארת יציבה.

ההנחיה היא שצריך למצוא בסימולציה: tcq(50%-50%)low to high and high to low ,t(setup).



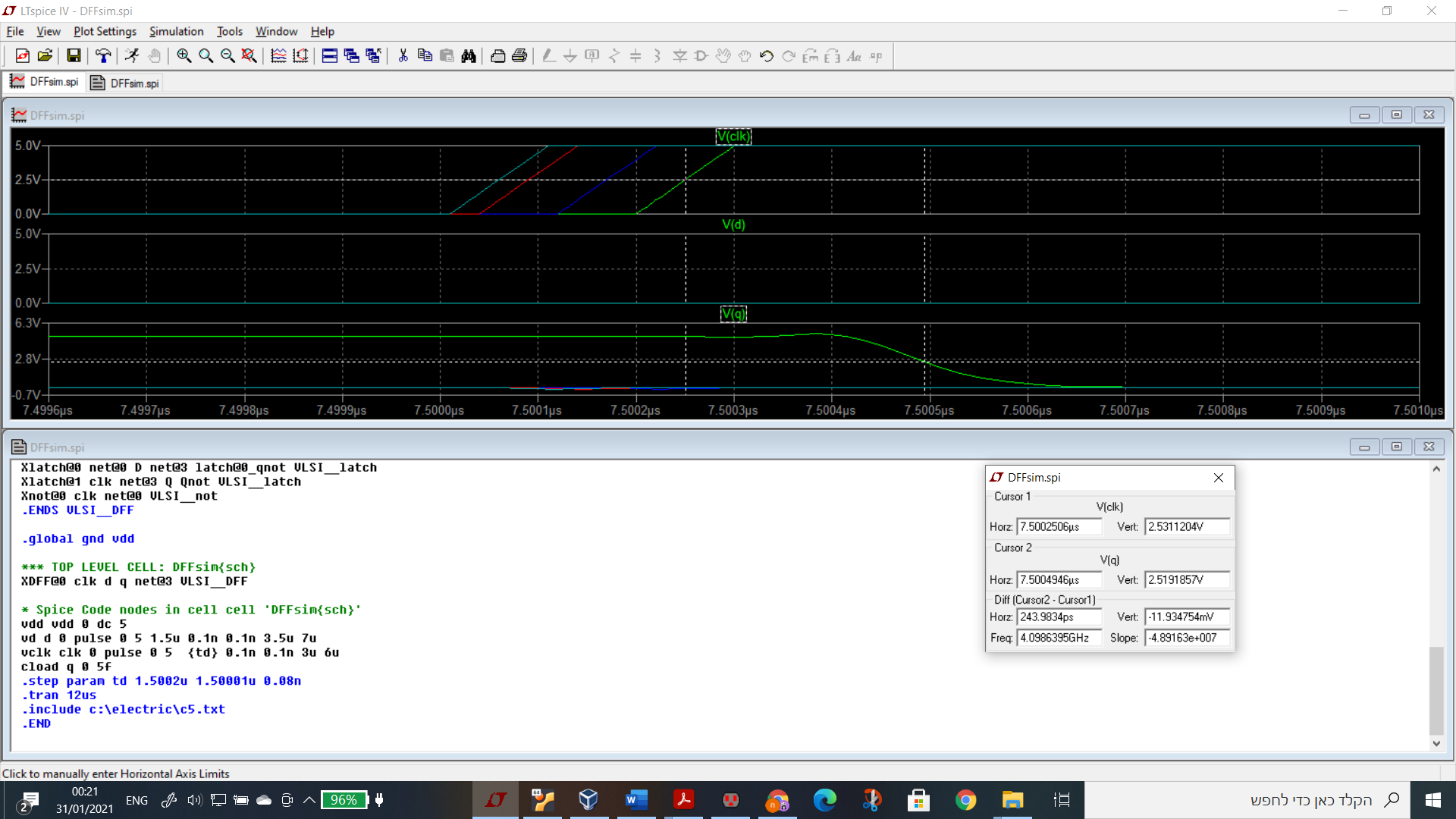
איור 19 סימולציה למציאת t\_setup

* על מנת למצוא את ה- t\_setupנכתב קוד סימולציה של pulse עם אות D שעולה מ-0 ל-1 לוגי (מ-V0 ל-V5 בזמן 1.5μs בזמן עלייה של 0.1ns זמן ב-'1' לוגי 3μs וזמן מחזור של 6μs) ואות כניסה clk העולה מ-0 ל-1 לוגי (מ-V0 ל-V5 בזמן עלייה של 0.1ns זמן ב-'1' לוגי 2.5μs וזמן מחזור של 6μs) במספר זמנים על פי הפרמטר td שטווח הזמנים שלו הוא 1.5002μs-1.50001μs כאשר מרווח הדגימות הוא 0.08ns. בפועל יצא שהכניסה clk עלתה לאחר הכניסה D 4 פעמים. בנוסף יש קבל במוצא q של 5fF על מנת להאט את זמן עליית המוצא.
* ניתן לראות שהמוצא q מגיב רק לעליית שעון המאוחרת ביותר (הירוקה) ולכן ממנה נמדד הזמן t\_setup בין ה-50% של עליית הכניסה D לבין 50% של עליית הכניסה clk.
* על פי הסימולציה רואי ש: t\_setup=198ps.



איור 20 סימולציה למציאת t\_cq-low to high

* הסימולציה נשארה אותו הדבר כמו ב-t\_setup אבל עכשיו נמדד הזמן בין ה-50% של עליית השעון שהמוצא מגיב אליו (הירוק) לבין ה-50% של עליית המוצא q.
* על פי סימולציה רואים ש: t\_cq-low to high=289ps.



איור 21 סימולציה למציאת t\_cq high to low

* הסימולציה שונתה מהקודמות לזמן ב-1 לוגי בכניסה D של 3.5μs וזמן מחזור של 7μs והכניסה clk ל-1 לוגי במשך 3μs וזמן מחזור של 6μs, על מנת להגיע ל-0 לוגי בכניסה D וזמן עלייה בכניסה clk כדי לראות כמה זמן עובר בין ה-50% של עליית השעון לבין ה- 50% של ירידת המוצא q מ-0 ל-1 לוגי.
* על פי הסימולציה ניתן לראות כי t\_cq high to low=244ps.
* זמן ההשהיה tpd הוא:

# שאלה 3

## בניית השער וחישוב זמן ההשהיה





Cload=780fF



שער נקרא סימטרי אם המקרים האיטיים ביותר עבור כל בלוק (N או P) זהים.

במקרה הגרוע ביותר:

* פריקה דרך הטרנזיסטורים A ו-B
*  טעינה דרך A ו-C או B ו-C



ידוע ש:  

בקובץ C5 נתון: Lp=Ln ולכן:

*במעבדות הנחנו שייחס הניידויות b הוא 2 ולכן:*

* *מתוך הקובץ 5C:*

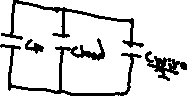
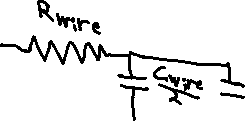
*,*

* קיבול המוצא של השער הלוגי:
* *קיבול כניסה של מהפך*
* *נתבונן במערכת טעינת קבל:*



* *זמן ההשהיה:*

## ציור מעגל שקול הכולל את החוט וקבוע הזמן



*הסבר: הקיבולים של המוצא של השער הלוגי, קבל העומס(שלושת הספרות האחרונות)*

*באים לפני החוט המחבר ואילו קיבולי הכניסה של המהפכים באים אחרי החוט.*

*את החוט עצמו משתמשים במודל π המפולג כלומר חצי מהקיבול*

*לפני התנגדות החוט וחצי אחרי.*

