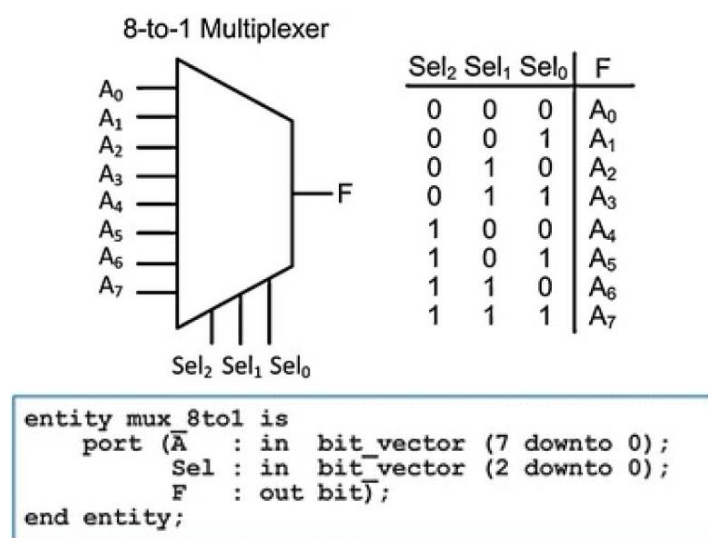


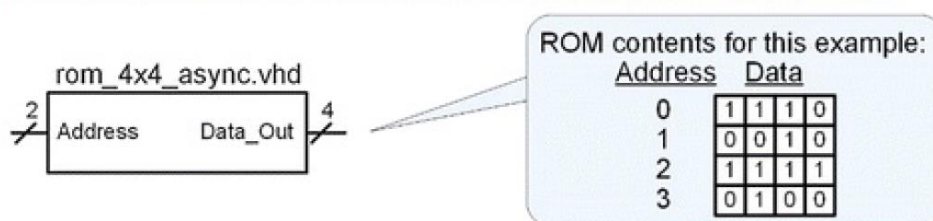
Задатак 1:

Написати VHDL модел за 8-у-1 мултиплексер коришћењем конкурентне доделе сигнала и логичке операторе. Блок дијаграм и таблица истинитости за мултиплексер су приказани на слици. Користити дефиницију ентитета као што је приказано на слици. Написати самопроверавајући VHDL тест бенч који учитава тест векторе из екстерне датотеке за верификацију функционалности система на слици. Креирати улазну датотеку "input_vector.txt" која садржи сваки улазни код за вектор $A_0A_1\dots A_7$ и вектор $Sel_2Sel_1Sel_0$ у посебној линији. Тест бенч треба да учитава сваку линију датотеке посебно и да користи улазни вектор као улаз DUT-а (DUT – Device Under Testing). Записати излазне резултате у екстерну датотеку "output_vector.txt".



Задатак 2:

Написати VHDL модел понашања за 4x4 асинхрони ROM меморијски систем приказан на слици. Систем треба да садржи информације дате у меморијској мапи које треба представити у хексадецималниом бројном систему. Креирати тест бенч за симулацију модела читањем са сваке од 4 јединствених адреса и посматрањем излаза Data_Out да би се проверило да ли меморијски систем садржи информације у меморијској мапи.



ОБАВЕШТЕЊА:

Полагање писменог дела испита траје 4 сата.

Резултати испита биће истакнути у УТОПАК (29.03.2022.) у 12.00 часова на адреси cs.elfak.ni.ac.rs/nastava

Предметни професор