Електронски факултет Ниш Катедра за рачунарство Логичко пројектовање Усмени део испита Јунски 2 испитни рок 06.07.2022.

- 1) Шта је Verilog, кад је и од које је компаније развијен, како је преименован.
- 2) Дефиниција бесконачних петљи у VHDL-у. Написати неколико примера.
- 3) SRAM меморијска ћелија, нацртати архитектуру ове ћелије.
- 4) Кашњење код RCA сабирача.

ОБАВЕШТЕЊЕ:

Полагање усменог дела испита траје 45 минута.

Предметни професор