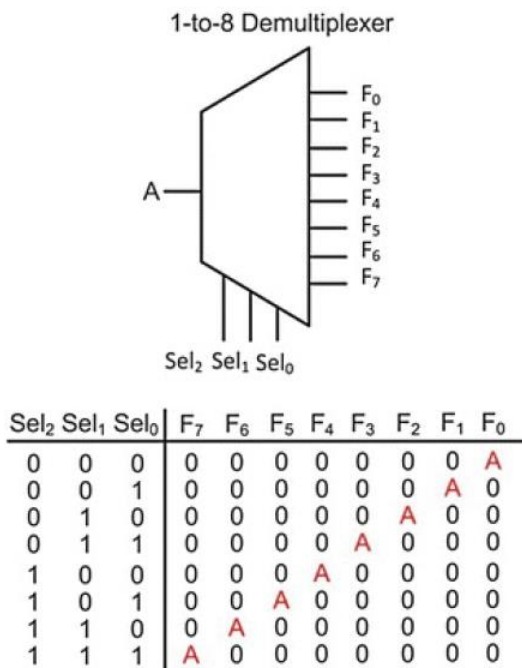


#### Задатак 1:

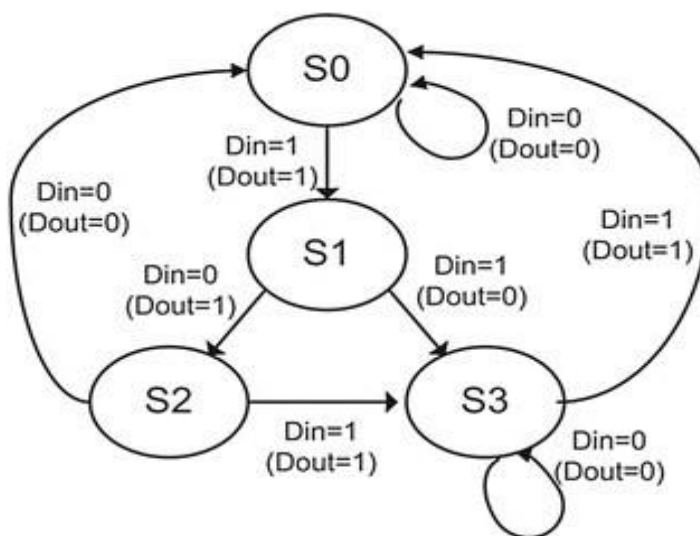
Написати VHDL модел за 1-у-8 демултиплексер коришћењем конкурентне доделе сигнала и логичких оператора. Блок дијаграм и таблица истинитости за демултиплексер су приказани на слици. Користити дефиницију ентитета као што је приказано на слици. Извршити симулацију модела користећи произвољне тестне секвенце.



```
entity demux_1to8 is
    port (A : in bit;
          Sel : in bit_vector (2 downto 0);
          F : out bit_vector (7 downto 0));
end entity;
```

#### Задатак 2:

Написати VHDL модел понашања који имплементира коначни аутомат описан дијаграмом стања на слици. Користити опис ентитета који је дат на слици. Користити приступ са 3 процеса за опис коначног аутомата и “one-hot” кодове за кодирање стања употребом VHDL подтипова.



```
fsm2_behavioral.vhd
entity fsm2_behavioral is
    port (Clock, Reset : in std_logic;
          Din           : in std_logic;
          Dout          : out std_logic);
end entity;
```

#### ОБАВЕШТЕЊА:

Полагање писменог дела испита траје 4 сата.

Резултати испита биће истакнути у УТОРАК (08.02.2022.) у 12.00 часова на адреси [cs.elfak.ni.ac.rs/nastava](http://cs.elfak.ni.ac.rs/nastava)