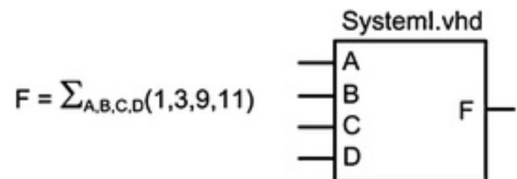


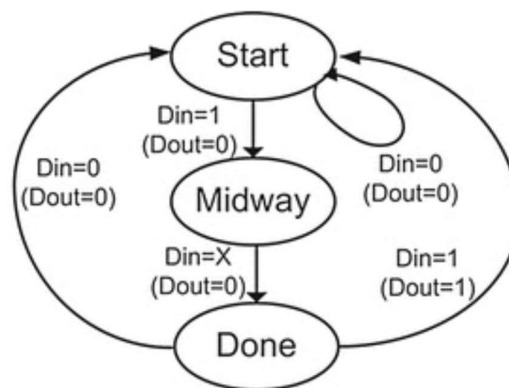
**Задатак 1:**

Написати VHDL модел који описује дигитални систем задат 4-улазном листом минтерма приказаног на слици. Користити структурно пројектовање и базична кола. Потребно је креирати сва потребна базична кола, која се инстанцирају у архитектури на вишем нивоу. Кола на нижем нивоу треба имплементирати коришћењем конкурентне доделе сигнала и логичких оператора. Декларисати ентитет тако да описује блок дијаграм са слике. Користити тип bit за портове.



**Задатак 2:**

Написати VHDL модел понашања за имплементацију коначног аутомата описаног дијаграмом стања на слици. Користити опис ентитета који је дат на слици. Користити приступ са 3-процеса за опис коначног аутомата. Стања се моделују са корисничко дефинисаним набројивим типом.



```
 fsm1_behavioral.vhd
entity fsm1_behavioral is
  port (Clock, Reset : in  std_logic;
        Din          : in  std_logic;
        Dout         : out std_logic);
end entity;
```

**ОБАВЕШТЕЊА:**

Полагање писменог дела испита траје 4 сата.

Резултати испита биће истакнути у УТОРАК (05.07.2022.) у 12.00 часова на адреси [cs.elfak.ni.ac.rs/nastava](http://cs.elfak.ni.ac.rs/nastava)

Предметни професор