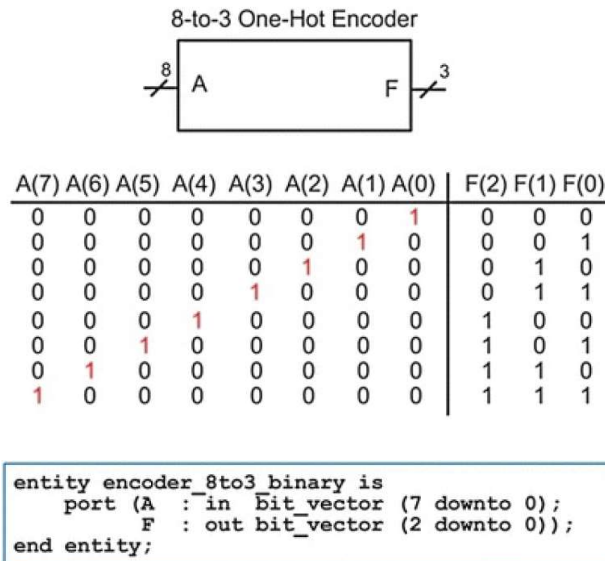


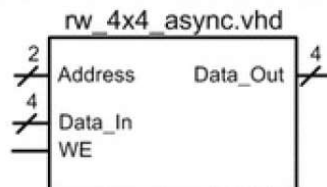
Задатак 1:

Написати VHDL модел за 8-у-3 “one-hot” бинарни кодер коришћењем селекционе доделе сигнала. Блок дијаграм и таблица истинитости за кодер су приказани на слици. Користити дефиницију ентитета као што је приказано на слици.



Задатак 2:

Написати VHDL модел понашања за 4×4 асинхрону читај/упиши (R/W) меморијски систем приказан на слици. Креирати тест бенч за симулацију модела. Тест бенч треба да чита са свих меморијских локација да би проверио да оне нису иницијализоване. Затим, тест бенч треба да упише јединствене информације у сваку локацију (адресу). На крају, тест бенч треба да прочита сваку локацију како би верификовао да је информација која је уписана сачувана и да може да се прочита из меморије.



ОБАВЕШТЕЊА:

Полагање писменог дела испита траје 4 сата.

Резултати испита биће истакнути у СРЕДУ (24.08.2022.) у 12.00 часова на адреси cs.elfak.ni.ac.rs/nastava

Предметни професор