

Lógica e Sistemas Digitais

Circuitos sequenciais

Flip-flops assíncronos, D Latch e D Edge-triggered

João Pedro Patriarca (jpatri@cc.isel.ipl.pt)

Slides inspirados nos slides do prof. Mário Véstias



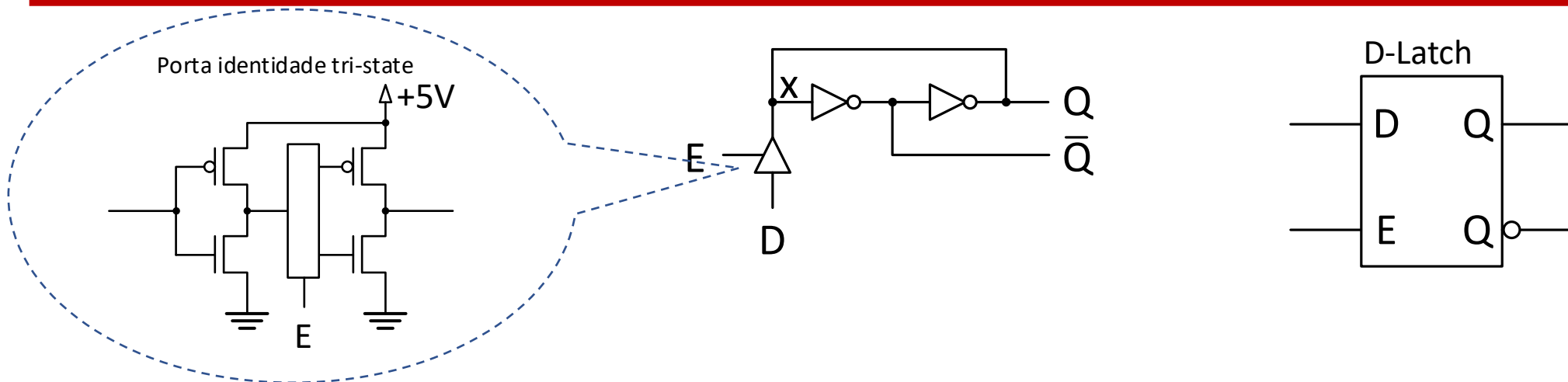
Circuito sequencial

- Circuito combinatório:
 - Caracteriza-se pelas saídas dependerem exclusivamente do estado atual das entradas
 - As mesmas combinações nas entradas produzem sempre os mesmos valores lógicos nas saídas
- Circuito sequencial:
 - Caracteriza-se pelas saídas dependerem da sequência de estados a que as entradas estiveram sujeitas ao longo do tempo
 - As mesmas combinações nas entradas podem produzir valores lógicos diferentes nas saídas
 - Este comportamento apenas é possível com a existência de memória

Flip-flop

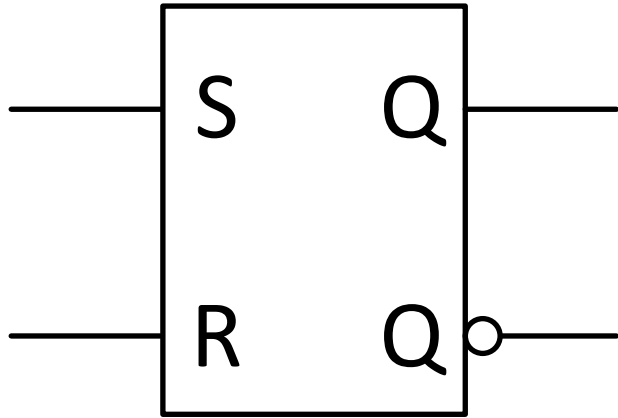
- Célula unitária de memória – memoriza um bit de informação
- Circuito biestável – apresenta um de dois estados possíveis (estado corresponde ao valor lógico presente na saída)
- Flip-flop assíncrono: o estado é atualizado no momento em que as entradas mudam
 - Relevante tempo de uma combinação nas entradas (propagação de sinal)
 - Relevante propagação de sinal na transição de estado dado por um vetor de flip-flops (diferentes tempos de propagação para cada bit de estado)
- Flip-flop síncrono: o estado é atualizado função dos valores das entradas no momento de sincronização com uma entrada de *clock*

Exemplo de um flip-flop assíncrono



- A saída Q apresenta o valor lógico de D (*Data*) enquanto E=1 (*Enable*)
- A saída Q mantém de memória o valor presente na entrada D no momento que E transita para 0
- O valor lógico da entrada D é *latched* (trincado) logo que a entrada E transita de 1 para 0 devido à realimentação de Q para x e às duas portas NOT
- Flip-flop tipo D-latch (ou *Transparent Latch*)
- Problema desta solução:
 - Curto-circuito temporário nas alterações de valores da entrada D com E=1

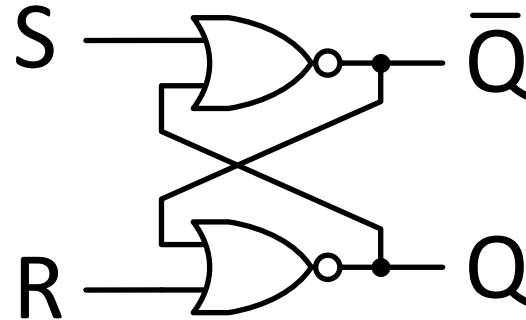
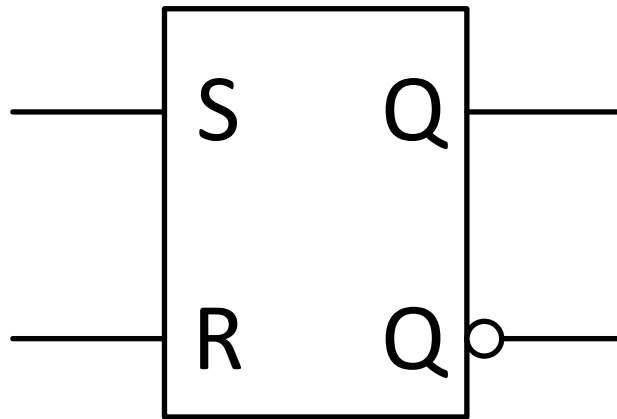
Flip-flop Set-Reset



S	R	Q^*	Q	\bar{Q}
0	0	0	0	1
0	0	1	1	0
0	1	-	0	1
1	0	-	1	0
1	1	-	?	?

- Duas entradas Set (S) e Reset (R):
 - A entrada S leva o flip-flop ao estado lógico 1
 - A entrada R leva o flip-flop ao estado lógico 0
 - O flip-flop mantém o estado com as entradas S e R desativas
 - Não está definido o comportamento com S e R ativos em simultâneo
 - Depende da implementação: *Reset overrides Set* versus *Set overrides Reset*

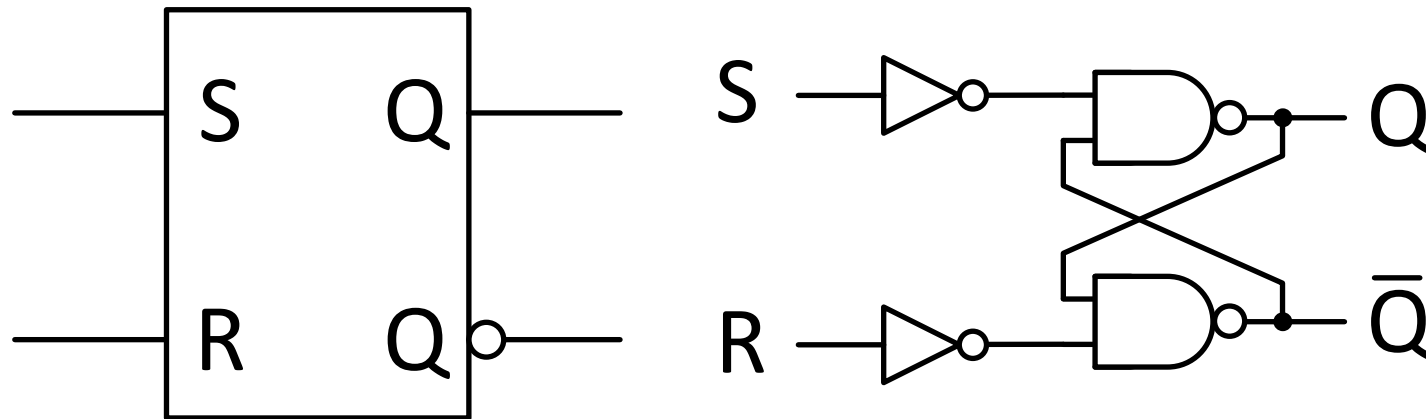
Flip-flop Set-Reset (*Reset overrides Set*)



S	R	Q^*	Q	\bar{Q}
0	0	0	0	1
0	0	1	1	0
0	1	-	0	1
1	0	-	1	0
1	1	-	0	0



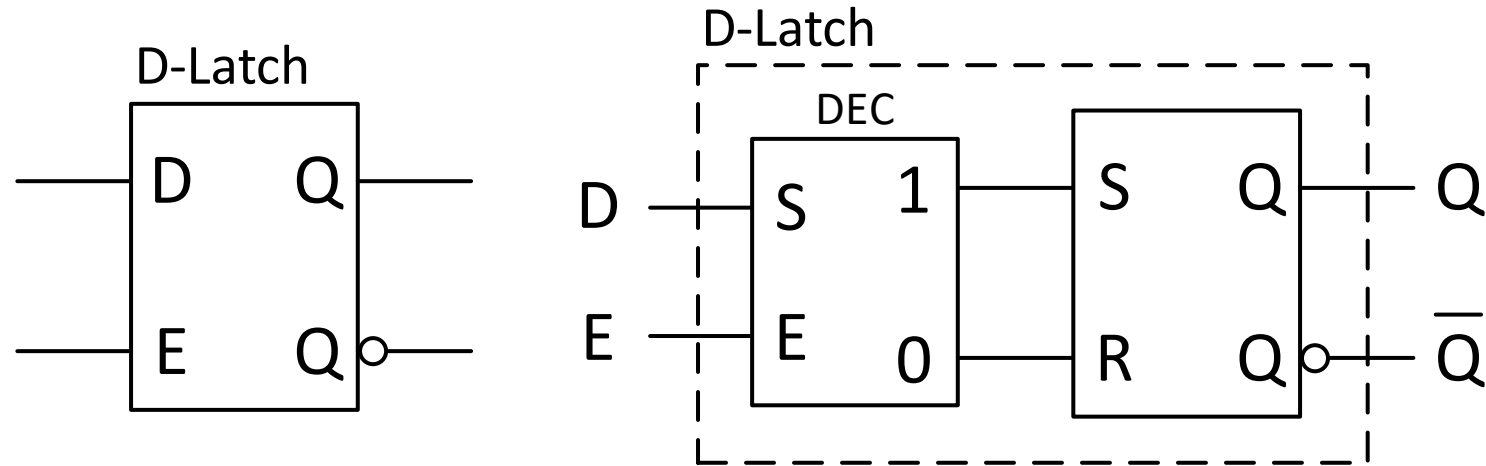
Flip-flop Set-Reset (*Set overrides Reset*)



S	R	Q^*	Q	\bar{Q}
0	0	0	0	1
0	0	1	1	0
0	1	-	0	1
1	0	-	1	0
1	1	-	1	1

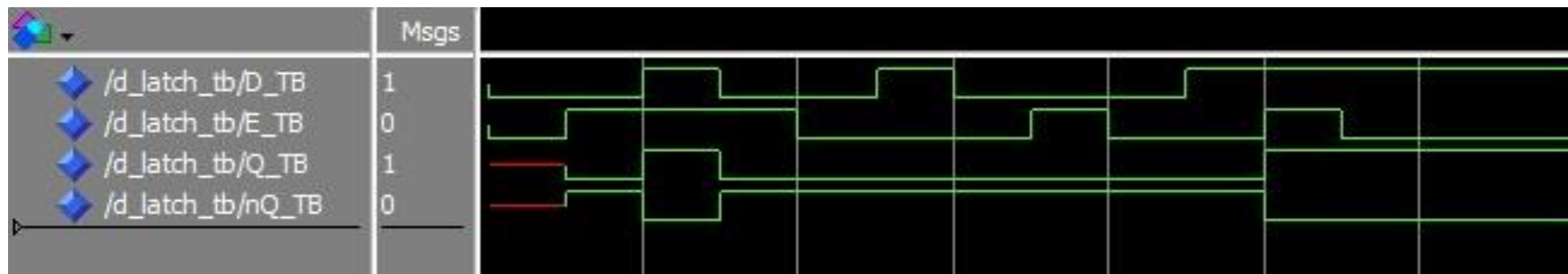


Flip-flop D Latch baseado em flip-flop SR (*transparent latch*)



E	D	Q^*	Q	\bar{Q}
0	-	0	0	1
0	-	1	1	0
1	0	-	0	1
1	1	-	1	0

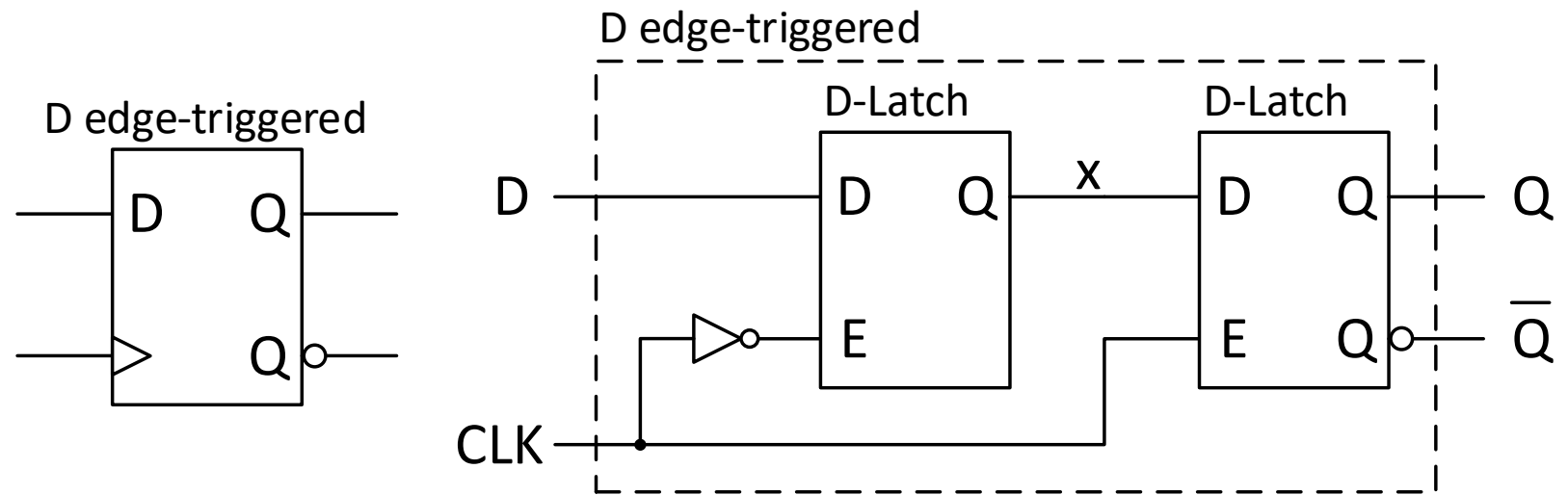
- Coloca o valor da entrada D em Q, enquanto E=1 (noção de transparente)
- Mantém o estado atual, enquanto E=0



Flip-flops síncronos

- O flip-flop dispõe de uma entrada de relógio (*clock*)
- A entrada de *clock* é representada no circuito por um triângulo (▷)
- O *clock* representa uma fonte de sincronismo para o circuito sequencial
- O estado do flip-flop pode ser alterado apenas na transição de um dos flancos do sinal de *clock* (ou na transição de 0 para 1 ou na transição de 1 para 0, dependendo da implementação do flip-flop)

Flip-flop D Edge-triggered

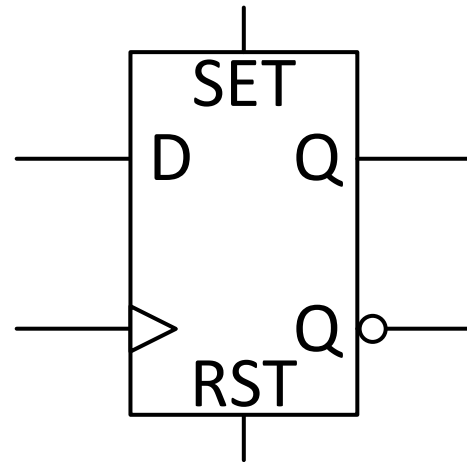


CLK	D	Q^*	Q	\bar{Q}
0	-	-	Q^*	\bar{Q}^*
1	-	-	Q^*	\bar{Q}^*
\downarrow	-	-	Q^*	\bar{Q}^*
\uparrow	0	-	0	1
\uparrow	1	-	1	0

- Coloca o valor da entrada D na saída Q na transição de 0 para 1 na entrada de *clock*
- Mantém o estado atual nas restantes situações



Flip-flop D Edge-triggered com entradas Set/Reset



CK	S_{sync}	Rst	D	Q^*	Q	\overline{Q}
0	-	0	-	-	Q^*	$\overline{Q^*}$
1	-	0	-	-	Q^*	$\overline{Q^*}$
↓	-	0	-	-	Q^*	$\overline{Q^*}$
-	0	1	-	-	0	1
↑	1	-	-	-	1	0
↑	0	0	0	-	0	1
↑	0	0	1	-	1	0

- A entrada SET leva o flip-flop ao estado lógico 1
- A entrada RST leva o flip-flop ao estado lógico 0
- SET e RST sobrepõem-se à lógica funcional do flip-flop e, tipicamente, a entrada SET tem prioridade sobre a entrada RST
- Podem ser síncronas ou assíncronas ou um misto (se síncronas o estado do flip-flop é sincronizado com o sinal de relógio)