



ISEL

Departamento de Engenharia
Eletrónica e Telecomunicações
e de Computadores

Licenciatura em Engenharia Informática e de Computadores
e
Licenciatura em Engenharia Informática, Redes e Telecomunicações

Circuitos Combinatórios em *VHDL* (*1º Trabalho de Laboratório*)

Lógica e Sistemas Digitais
2022 / 2023 inverno

01 de outubro de 2022

1 Objetivo

O objetivo deste trabalho é descrever um circuito combinatório com VHDL estrutural, simular e implementar o circuito com a placa de desenvolvimento *DE10-Lite* da *Intel*. Este trabalho é contabilizado para a classificação prática.

2 Descrição do circuito a desenvolver

Pretende-se implementar um circuito codificador de prioridades com 8 entradas (PEnc 8:3), o qual tem as entradas e saídas apresentadas na Figura 1. Este circuito deve ser construído à custa de blocos funcionais que implementam um codificador de prioridades com 4 entradas cada (PEnc 4:2).

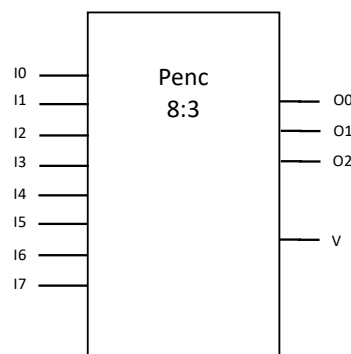


Figura 1 – Entradas e saídas do codificador de prioridades de 8 entradas.

Quando uma das entradas I (I0, I1, I2, I3, I4, I5, I6 e I7) estiver ativa, a saída O (O2, O1 e O0) deve apresentar o código correspondente ao índice da entrada ativa (e.g. se a entrada I3 estiver ativa, a saída O deverá apresentar o valor 011). Caso mais do que uma entrada esteja ativa simultaneamente, o código na saída O deverá corresponder ao índice da entrada que tiver maior prioridade. A prioridade é definida com base no índice da entrada, sendo que ao maior índice corresponde a prioridade mais alta. Sempre que uma das entradas estiver ativa, a saída V estará ativa.

3 Projeto do Circuito

O problema deve ser resolvido com recurso à utilização de múltiplos blocos lógicos, mais simples, que implementam a função de codificador de prioridades com 4 entradas (PEnc 4:2). O diagrama de blocos do sistema a implementar é representado na Figura 2.

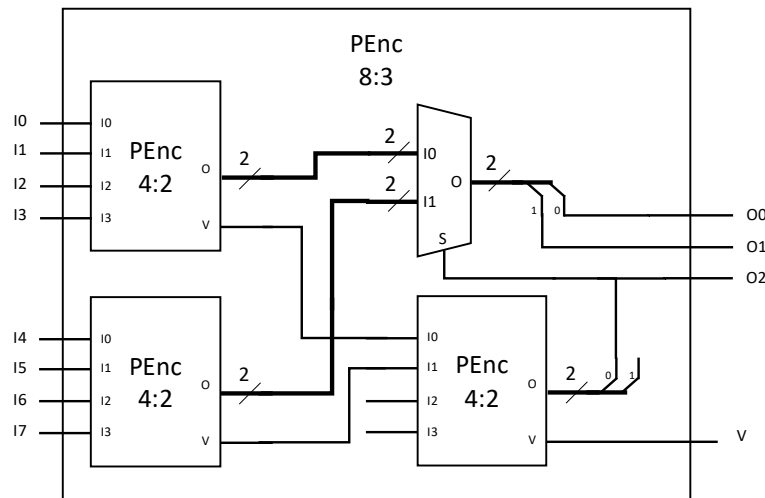


Figura 2 – Diagrama de blocos do codificador de prioridades de 8 entradas (PEnc 8:3).

Para o projeto do circuito deverá seguir os seguintes passos:

1. Comece por preencher a tabela de verdade para o módulo PEnc 4:2: O0 (I0, I1, I2, I3), O1 (I0, I1, I2, I3) e V (I0, I1, I2, I3);
2. Determine as expressões lógicas das funções O0, O1 e V para o módulo PEnc 4:2;
3. Determine as expressões lógicas do bloco *multiplexer*;
4. Desenhe o esquema lógico dos blocos PEnc 4:2 e do *multiplexer*;
5. Descreva o circuito do PEnc 8:3 em VHDL, respeitando a hierarquia apresentada no diagrama de blocos (Figura 2);
6. Simule o circuito (considere o ficheiro de exemplo de teste anexo ao trabalho);
7. Implemente o circuito na placa DE10-Lite;
8. Valide o funcionamento do circuito.

4 Relatório

Deverá apresentar um relatório do trabalho desenvolvido com a seguinte estrutura:

1. Capa com a indicação do curso, unidade curricular, elementos do grupo (número e nome), nome do trabalho;
2. Introdução: breve descrição do trabalho a desenvolver e quais os objetivos;
3. Análise e Projeto: descrição de todas as funções lógicas e diagramas lógicos;
4. Montagem laboratorial: Resultados experimentais e confirmação dos resultados teóricos;
5. Conclusão: comentário sobre o trabalho desenvolvido e sobre os resultados obtidos;
6. Anexo: Código VHDL.