Pipe stages

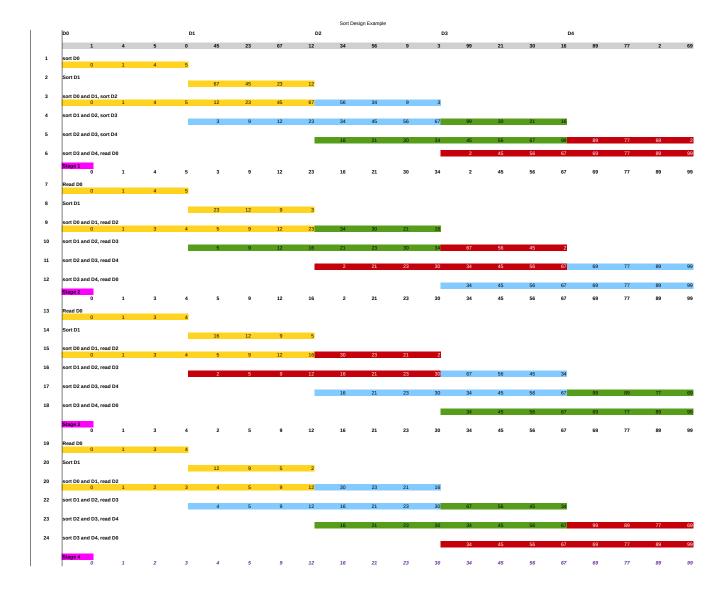
	Pipe stage controls													
	read en	read addr	read valid	sort4 op	Mux1 Sel	PR1	Mux2 Sel	PR-2	sort8 op	Mux3 Sel	Op Reg stage	write en	write addr	
ounter														
		and a state												Stage0 / Sta
0	1	start_addr	0	nop	0				nop	1		0	0	New Sort
1	1	1	1	D0	1				nop	1		0	0	
2	1	2	1	D1 D2	0	D0 D1	0	D4s D0	nop	0	D4-	0	0	
3	1	3	1		0		1		D0-D1	1	D4s	0	0	
4	1	4	1	D3	0	D2	1	D1s	D1-D2	1	D0s	1	start_addr	
0	1	0	1	D4	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage1
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1 Inv	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2 Inv	0	D1	1	D0	D0-D1	1	D4s	1	4	
4	1	4	1	D3 Inv	0	D2	1	D1s	D1-D2	1	D0s	1	0	
0	1	0	1	D4 Inv	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage2
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1 Inv	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2 Inv	0	D1	1	D0	D0-D1	1	D4s	1	4	
4	1	4	1	D3 Inv	0	D2	1	D1s	D1-D2	1	D0s	1	0	
0	1	0	1	D4 Inv	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage3
1	1	1	1	D0	1	D4	1	D3s	D3-D4	_ 1	D2s	1	2	
2	1	2	1	D1 inv	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2 Inv	0	D1	1	D0	D0-D1	1	D4s	1	4	
4	1	4	1	D3 Inv	0	D2	1	D1s	D1-D2	1	D0s	1	0	
														Stage0 / Sta
0	1	start_addr	1	D4 Inv	0	D3	1	D2s	D2-D3	1	D1s	1	1	New Sort
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2	0	D1	1	D0	D0-D1	1	D4s	1	4	

 No of entries in one block-read (fixed parameter in design)
 R
 4

 No of pipe stages (fixed parameter in design)
 S
 3

 Total no of blocks of data (variable input)
 N
 5

 Total not of one of order in the company of th



Bubble Sort Example

0	<b>D0</b> <b>34</b> 34	<b>D1 56</b> 56 20	D2 20 56	D3 9	D4 3	
2		20	9	56		
3			9		56	
3	34	20	9	3	56	
4	20	34	9	3	56	Stage1
	20					
5		9	34			
6			3	34		
7				34	56	
	20	9	3	34	56	Stage2
8	9	20				
9		3	20			
10			20	34		
11				34	56	
	9	3	20	34	56	Stage3
12	3	9				
13		9	20			
14			20	34		
15			20	34	56	
	3	9	20	34	56	Stage4
		,	20	04	50	Oluge4
No of entries		N	5			
No of stages		N-1	4			
Comparisons	ner stage	N-1	4			
No of iteration		(N-1)^2	16			