

## Pipe stages

Counter	Pipe stage controls													
	read en	read addr	read valid	sort4 op	Mux1 Sel	PR1	Mux2 Sel	PR-2	sort8 op	Mux3 Sel	Op Reg stage	write en	write addr	
0	1	start_addr	0	nop	0				nop	1		0	0	Stage0 / Start New Sort
1	1	1	1	D0	1				nop	1		0	0	
2	1	2	1	D1	0	D0	0	D4s	nop	0		0	0	
3	1	3	1	D2	0	D1	1	D0	D0-D1	1	D4s	0	0	
4	1	4	1	D3	0	D2	1	D1s	D1-D2	1	D0s	1	start_addr	
0	1	0	1	D4	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage1
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1 Inv	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2 Inv	0	D1	1	D0	D0-D1	1	D4s	1	4	
4	1	4	1	D3 Inv	0	D2	1	D1s	D1-D2	1	D0s	1	0	
0	1	0	1	D4 Inv	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage2
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1 Inv	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2 Inv	0	D1	1	D0	D0-D1	1	D4s	1	4	
4	1	4	1	D3 Inv	0	D2	1	D1s	D1-D2	1	D0s	1	0	
0	1	0	1	D4 Inv	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage3
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1 Inv	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2 Inv	0	D1	1	D0	D0-D1	1	D4s	1	4	
4	1	4	1	D3 Inv	0	D2	1	D1s	D1-D2	1	D0s	1	0	
0	1	start_addr	1	D4 Inv	0	D3	1	D2s	D2-D3	1	D1s	1	1	Stage0 / Start New Sort
1	1	1	1	D0	1	D4	1	D3s	D3-D4	1	D2s	1	2	
2	1	2	1	D1	0	D0	0	D4s	nop	0	D3s	1	3	
3	1	3	1	D2	0	D1	1	D0	D0-D1	1	D4s	1	4	

No of entries in one block-read (fixed parameter in design) R 4  
 No of pipe stages (fixed parameter in design) S 3  
 Total no of blocks of data (variable input) N 5  
 Total no of entries in data (variable input) R\*N 20  
 Throughput (no of clocks required to sort N\*R entries) N\*(N-1) 20  
 Latency (no of clocks required to output first sorted block) N\*(N-2) + S + 1 19

Sort Design Example																						
D0	D1				D2				D3				D4									
	1	4	5	0	45	23	67	12	34	56	9	3	99	21	30	16	89	77	2	69		
sort D0	0 1 4 5																					
Sort D1					67 45 23 12																	
sort D0 and D1, sort D2	0 1 4 5				12 23 45 67				56 34 9				3									
sort D1 and D2, sort D3					3 9 12 23 34 45 56 67				99 30 21 16													
sort D2 and D3, sort D4									16 21 30 34 45 56 67 99				89 77 69 2									
sort D3 and D4, read D0													2 45 56 67 69 77 89 99									
Stage 1	0	1	4	5	3	9	12	23	16	21	30	34	2	45	56	67	69	77	89	99		
Read D0	0 1 4 5																					
Sort D1					23 12 9 3																	
sort D0 and D1, read D2	0 1 3 4				5 9 12 23				34 30 21 16													
sort D1 and D2, read D3					5 9 12 16 21 23 30 34				67 56 45 2													
sort D2 and D3, read D4									2 21 23 30 34 45 56 67				69 77 89 99									
sort D3 and D4, read D0													34 45 56 67 69 77 89 99									
Stage 2	0	1	3	4	5	9	12	16	2	21	23	30	34	45	56	67	69	77	89	99		
Read D0	0 1 3 4																					
Sort D1					16 12 9 5																	
sort D0 and D1, read D2	0 1 3 4				5 9 12 16				30 23 21 2													
sort D1 and D2, read D3					2 5 9 12 16 21 23 30				67 56 45 34													
sort D2 and D3, read D4									16 21 23 30 34 45 56 67				99 89 77 69									
sort D3 and D4, read D0													34 45 56 67 69 77 89 99									
Stage 3	0	1	3	4	2	5	9	12	16	21	23	30	34	45	56	67	69	77	89	99		
Read D0	0 1 3 4																					
Sort D1					12 9 5 2																	
sort D0 and D1, read D2	0 1 2 3				4 5 9 12				30 23 21 16													
sort D1 and D2, read D3					4 5 9 12 16 21 23 30				67 56 45 34													
sort D2 and D3, read D4									16 21 23 30 34 45 56 67				99 89 77 69									
sort D3 and D4, read D0													34 45 56 67 69 77 89 99									
Stage 4	0	1	2	3	4	5	9	12	16	21	23	30	34	45	56	67	69	77	89	99		

Bubble Sort Example

	D0	D1	D2	D3	D4	
0	34	56	20	9	3	
1	34	20	56	3	56	
2			9	56		
3	34	20	9	3	56	Stage1
4	20	34				
5		9	34			
6			3	34	56	
7	20	9	3	34	56	Stage2
8	9	20				
9		3	20			
10			20	34		
11	9	3	20	34	56	Stage3
12	3	9				
13		9	20			
14			20	34	56	
15	3	9	20	34	56	Stage4

  

No of entries	N	5
No of stages	N-1	4
Comparisons per stage	N-1	4
No of iterations	(N-1)*2	16