

Plan de Proyecto del Trabajo Final de Carrera de
Especialización de Sistemas Embebidos

Plataforma de Navegación Autónoma para una Silla de Ruedas Mediante Algoritmo de SLAM

“Diciembre 2018”

Autor: Ing. Alfredo G. Rivamar

Director: Dr. Ing. Ariel Pola

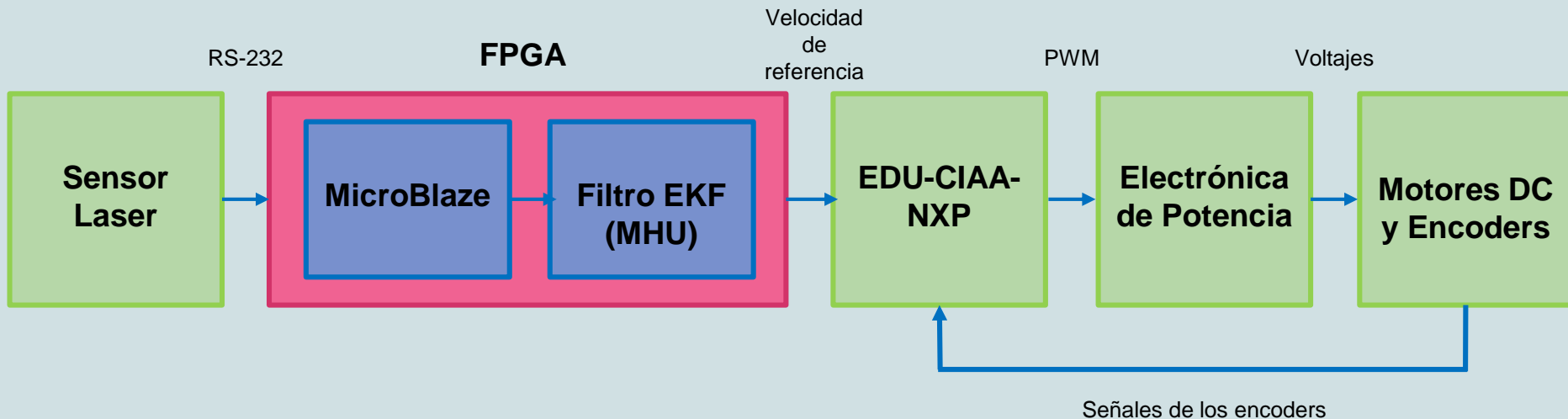
Identificación de los interesados

Interesado	Nombre y Apellido	Organización	Rol
Responsable	Ing. Alfredo G. Rivamar	CESE UBA	Project Manager
Orientador y Cliente	Dr. Ing. Ariel Pola	Fundación Fulgor	R+D on Digital Communications
Usuario Final	Dr. Ing. Ariel Pola	Fundación Fulgor	R+D on Digital Communications

Propósito y alcance del proyecto

- Pacientes con cierto grado de parálisis (movilidad superior).
- Pacientes con parálisis cerebral severa (movilidad cero): facilitar el traslado.
- Exclusivamente en el ámbito domiciliario.





- Algoritmo de SLAM (por “Simultaneous Localization and Mapping”).
- Filtro Extendido de Kalman (EKF), en arreglo “EKF-SLAM”.
- Enfoque MHU (Módulo de Hardware Unificado).

1. Requerimientos funcionales

1. El tiempo de procesamiento del algoritmo EKF-SLAM ejecutado sobre la placa Arty Z7-10 DIGILENT debe ser menor que el período de actualización de datos del móvil, establecido en 100 ms.
2. El error absoluto de la trayectoria real del vehículo en relación a la predicción mediante el algoritmo EKF-SLAM será, a lo sumo, de 10 cm.
3. Las dimensiones del mapa, tanto real como simulado, donde el vehículo ejecutará su trayectoria son 7 m de longitud y 5 m de ancho (35m^2) (primera versión del diseño).
4. El porcentaje de uso de elementos lógicos disponibles en la FPGA de la placa Arty Z7-10 DIGILENT para la implementación del filtro EKF por enfoque MHU debe ser menor a 70%.

2. Requerimientos de validación

- 2.1 Se debe evaluar el funcionamiento del algoritmo EKF-SLAM mediante simulación.
- 2.2 Se debe evaluar el funcionamiento del algoritmo EKF-SLAM mediante simulación con aritmética de punto fijo.
- 2.3 Se deben realizar test unitarios con un porcentaje de cobertura del código de al menos 40%.
- 2.4 Se deben realizar pruebas de campo para evaluar el funcionamiento del algoritmo EKF-SLAM.

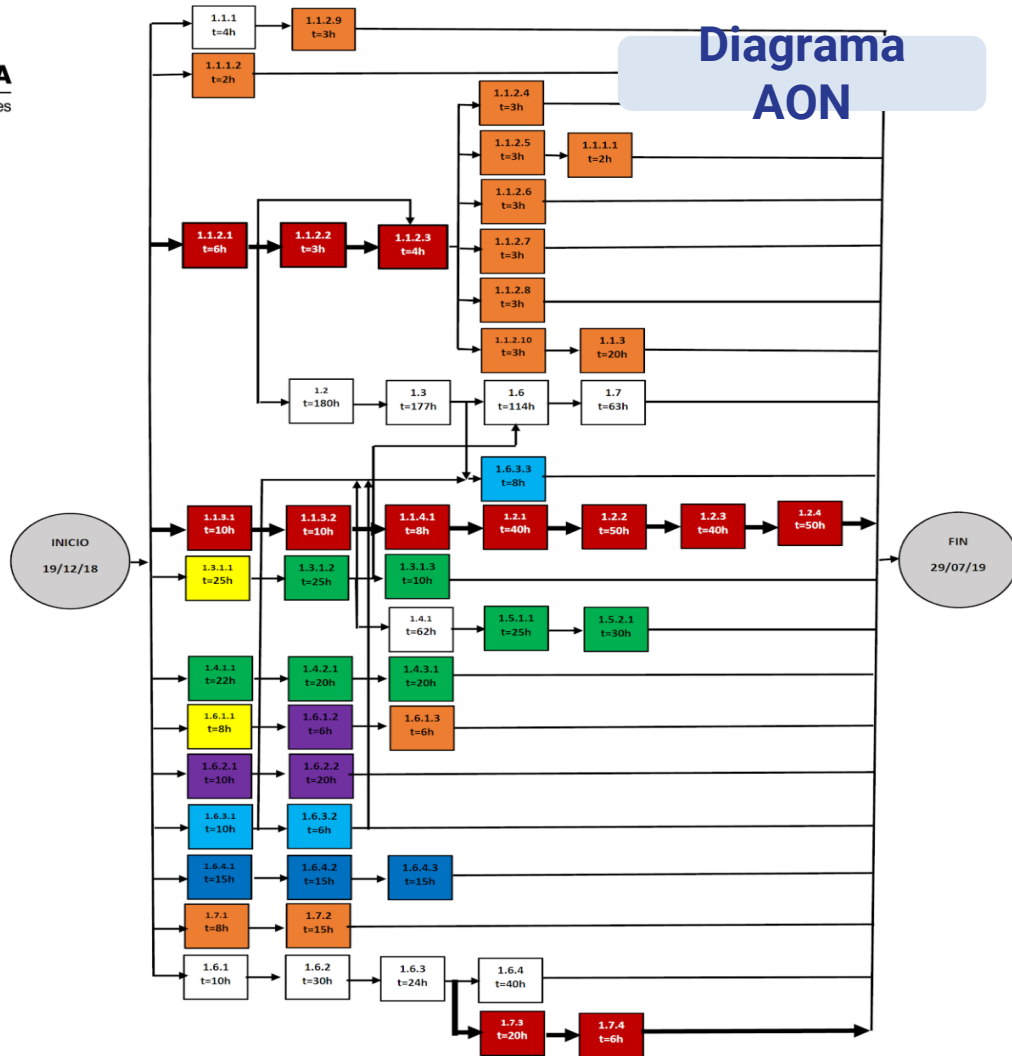
3. Requerimientos de metodología de trabajo

- 3.1 Realizar el control de versiones mediante la herramienta GIT.
- 3.2 Seguir el flujo de diseño digital avanzado en FPGA: desarrollo de algoritmos; diseño a nivel de sistema, verificación y testing; desarrollo de software y testeo; desarrollo de hardware y testeo.

4. Requerimientos de documentación

- 3.1 Se debe generar un documento de planificación del proyecto.
- 3.2 Se debe generar una memoria técnica del proyecto con información de ingeniería de detalle.

Diagrama AON



Tipo de tarea

INVESTIGACION

HARDWARE

PRUEBAS FUNCIONALES

SOFTWARE

DOCUMENTACION

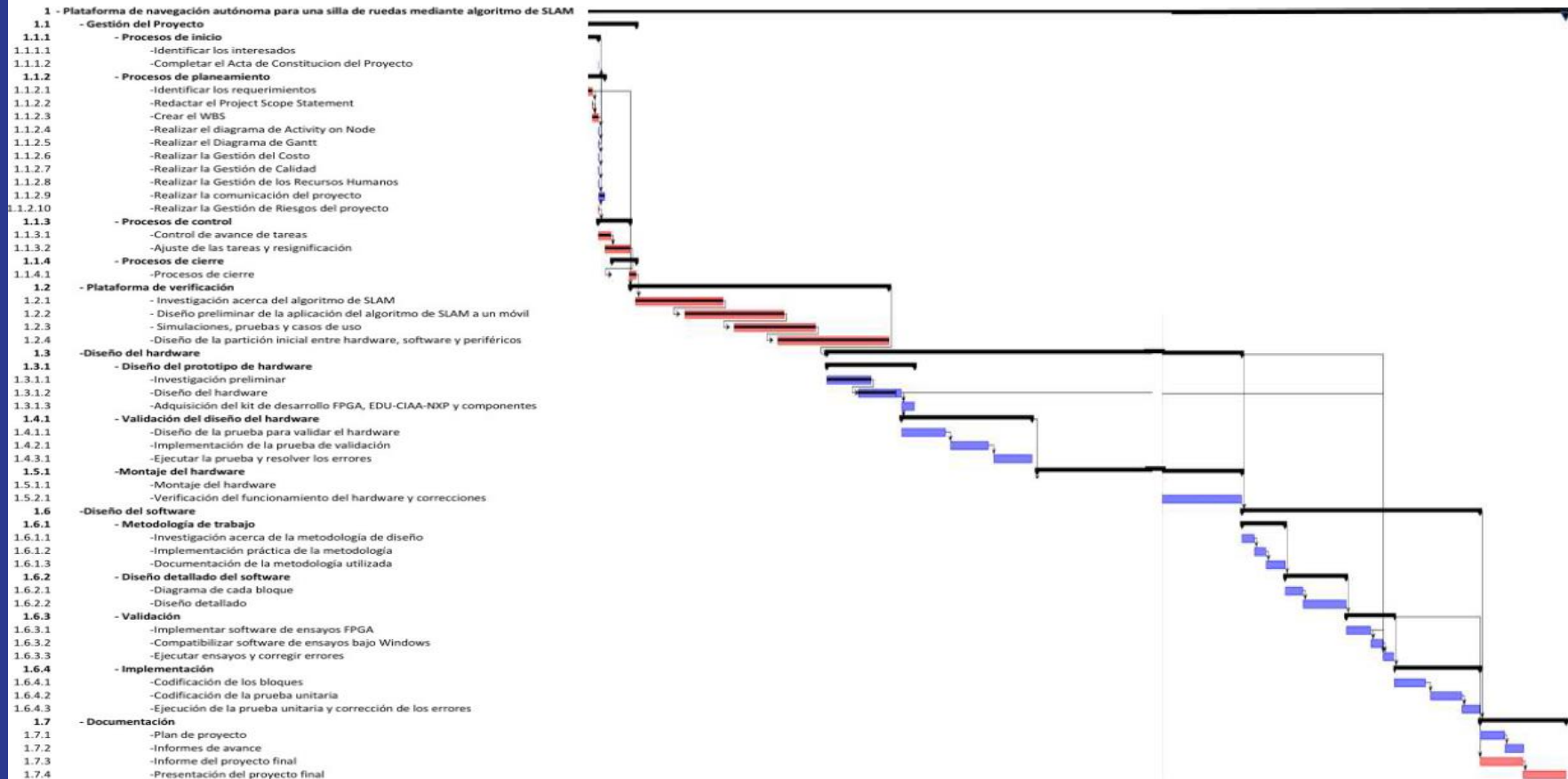
TAREAS CRITICAS

VALIDACION

TAREAS RESUMEN

Total	600 hs	100%
Gestión del proyecto	89 hs	15%
Prototipo hardware	78 hs	13%
Diseño software	194 hs	32%
Validación	106 hs	18%
Documentación	133 hs	22%

Diagrama de Gantt



Matriz de uso de recursos materiales

Código WBS	Nombre de la tarea	Recursos requeridos (horas)		
		PC	Arty Z7-10 DIGILENT	EDU-CIAA- NXP
1.1	Gestión del proyecto	66h	-	-
1.2	Plataforma de verificación	180h	-	-
1.3	Diseño del hardware	177h	62h	55h
1.6	Diseño del software	114h	54h	40h
1.7	Documentación	63h	-	-
Total		600h	116h	95h

Presupuesto detallado del proyecto

Categoría	Detalle	Costos (\$)
Costos directos	600 h de trabajo (200\$/h)	120.000
Costos indirectos	60% costos directos	72.000
Otros costos directos	Costo Arty Z7-10 (incluyendo flete y aduana)	9.000
Reserva por contingencias	15% del total de gastos	30.150
Total		231.150

- **Riesgo 1: No cumplir con los requerimientos debido a una programación inadecuada del software y/o una mala implementación.**
 - **Mitigación:** Utilización de la metodología flujo de diseño digital avanzado en FPGA (desarrollo de algoritmos; diseño a nivel de sistema, verificación y testing; desarrollo de software y testeo; desarrollo de hardware y testeo), la prueba de cada módulo y la revisión del código por el Director del Trabajo Final de Especialización.
 - **Severidad:** 10 (sin cambios).
 - **Probabilidad de ocurrencia:** 2 (baja). Con las medidas de mitigación a implementar se mejora calidad del proyecto disminuyendo significativamente la probabilidad de ocurrencia.

- **Riesgo 2: No entrega del proyecto final en fecha de finalización por una estimación inadecuada del tiempo de duración de las tareas.**
 - **Mitigación:** acciones de control de avance del proyecto que permitan detectar inconvenientes lo antes posible. Prever la asignación de horas suplementarias para el proyecto. Realizar tareas y requerimientos opcionales si la programación no se está cumpliendo en tiempo y forma.
 - **Severidad:** 10 (sin cambios).
 - **Probabilidad de ocurrencia:** 2 (baja). Debido a las acciones de mitigación propuestas.

- **Riesgo 3: No disponer del recurso humano en tiempo y forma para desarrollar el proyecto de acuerdo a su programación.**
 - **Mitigación:** Planificar acciones para solicitar permisos laborales si la urgencia lo amerita, recuperar horas de proyecto durante los fines de semana y feriados.
 - **Severidad:** 10 (sin cambios).
 - **Probabilidad de ocurrencia:** 2 (baja).

- **Riesgo 4: Pérdida del hardware por robo o hurto, destrucción del hardware por incendio, descarga eléctrica, sobre tensión u operación inadecuada.**
 - **Mitigación:** almacenar el hardware en un lugar específicamente destinado a este fin, mantener equipos desconectados de la tensión de red cuando no estén en uso, utilizar pulseras electrostáticas al manipular el hardware, revisar tres veces el conexionado de las placas de prototipado para disminuir la probabilidad de destrucción por operación inadecuada.
 - **Severidad:** 6 (sin cambios).
 - **Probabilidad de ocurrencia:** 3. Las medidas preventivas propuestas permiten disminuir la probabilidad de daño del hardware.

- **Riesgo 5: pérdida del código programado por extravío o rotura de la PC y del medio de almacenamiento.**
 - **Mitigación:** utilizar control de versiones mediante dos servicios cloud alternativos.
 - **Severidad:** 10 (sin cambios).
 - **Probabilidad de ocurrencia:** 2 (baja). La probabilidad de pérdida de información en un sistema de control de versiones es muy baja.

Tabla de gestión de riesgos

Riesgo	Severidad	Ocurrencia	RPN	Severidad*	Ocurrencia*	RPN*
1	10	5	50	10	2	20
2	10	3	30	10	2	20
3	10	5	50	10	2	20
4	6	6	36	6	3	18
5	10	4	40	10	2	20

Mitigación: RPN ≥ 30
≥ 40
≥ 30
≥ 10
≤ 10

- Se tomarán medidas de mitigación en los riesgos cuyos números de RPN sean mayores o iguales a 30.
- Los valores marcados con (*) en la tabla corresponden luego de haber aplicado la mitigación.

1. Requerimientos funcionales

1.1 El tiempo de procesamiento del algoritmo EKF-SLAM ejecutado sobre la placa Arty Z7-10 DIGILENT debe ser menor que el período de actualización de datos del móvil, establecido en 100 ms.

- **Verificación:** Se implementarán simulaciones para evaluar el tiempo de procesamiento del algoritmo EKF-SLAM.
- **Validación:** Se desarrollará un programa de prueba que genere datos conocidos de modo de asegurar que el tiempo de procesamiento no supere el esperado.

1. Requerimientos funcionales

1.2 El error absoluto de la trayectoria del vehículo en relación a la predicción mediante el algoritmo EKF-SLAM será, a lo sumo, 10 cm.

- **Verificación:** Respuesta de la silla de ruedas postural eléctrica mediante simulación.
- **Validación:** Se desarrollará un programa de prueba que genere datos conocidos de modo de asegurar que el error absoluto de la trayectoria del vehículo no supere 10 cm.

1. Requerimientos funcionales

1.3 Las dimensiones del mapa, tanto real como simulado, donde el vehículo ejecutará su trayectoria son 7 m de longitud y 5 m de ancho (35m²).

- **Verificación:** Resultados de la simulación y aplicación en situaciones reales del algoritmo EKF-SLAM.
- **Validación:** Se desarrollará un programa de prueba para asegurar que las dimensiones del mapa incluidas en la simulación sean las correctas.

1. Requerimientos funcionales

1.4 El porcentaje de uso de los elementos lógicos que constituyen la FPGA de la placa Arty Z7-10 DIGILENT, para la implementación del filtro EKF por enfoque MHU, será menor a 70%.

- **Verificación:** Análisis de los resultados de la síntesis realizados mediante Vivado.
- **Validación:** Se desarrollará un programa de prueba para asegurar que el uso de los recursos de hardware en la FPGA sea menor al 70%.

2. Requerimientos de validación

2.1 Se debe evaluar el funcionamiento del algoritmo EKF-SLAM mediante simulación.

- **Verificación:** En un entorno de navegación simulado de dimensiones conocidas y similar al utilizado en pruebas reales.
- **Validación:** Se desarrollará un banco de pruebas (test bench) para probar y depurar los algoritmos.

2. Requerimientos de validación

2.2 Se debe evaluar el funcionamiento del algoritmo EKF-SLAM mediante simulación con aritmética de punto fijo.

- **Verificación:** En un entorno de navegación simulado de dimensiones conocidas y similar al utilizado en pruebas reales.
- **Validación:** El error de cuantización debe ser menor o igual a 40 dB (Relación Señal/Error).

2. Requerimientos de validación

2.3 Se deben realizar test unitarios con un porcentaje de cobertura del código de al menos 40%.

- **Verificación:** En un entorno de navegación simulado de dimensiones conocidas y similar al utilizado en pruebas reales.
- **Validación:** Se generará un programa de prueba de distintos caminos para determinar la performance del algoritmo EKF-SLAM.

2. Requerimientos de validación

2.4 Se deben realizar pruebas de campo para evaluar el funcionamiento del algoritmo EKF-SLAM.

- **Verificación:** Se utilizarán test unitarios para corroborar funcionalidad individual de los módulos y asegurar que el RTL responda a los requerimientos.
- **Validación:** Se verificará que los módulos del proyecto tengan sus test unitarios y Vector Machine.

3. Requerimientos de metodología de trabajo

3.1 Realizar el control de versión de cambios mediante la herramienta GIT.

- **Verificación:** Crear un repositorio en GIT y preparar la herramienta previo a la etapa de implementación.
- **Validación:** Se verificará que el código programado se encuentre en un repositorio GIT. Se compartirá el link al repositorio con el director del proyecto cuando esté finalizado.

3. Requerimientos de metodología de trabajo

3.2 Seguir la metodología flujo de diseño digital avanzado en FPGA: desarrollo de algoritmos; diseño a nivel de sistema, verificación y testing; desarrollo de software y testeo; desarrollo de hardware y testeo.

- **Verificación:** Por la aplicación de la metodología flujo de diseño digital avanzado en FPGA.
- **Validación:** Cumplimiento de los requerimientos 1.1 y 1.2.

4. Requerimientos de documentación

4.1 Se debe generar un documento de planificación del proyecto.

- **Verificación:** Documentar de acuerdo a las exigencias de la 7ma. CESE.
- **Validación:** Finalizar en tiempo y forma del proyecto final de la 7ma. CESE.

4.2 Se debe generar una memoria técnica del proyecto con información de ingeniería de detalle.

- **Verificación:** Documentar de acuerdo a las exigencias de la 7ma. CESE.
- **Validación:** Finalizar en tiempo y forma del proyecto final de la 7ma. CESE.

Muchas Gracias
¿Preguntas ?