

5.1 내부 기억장치와 외부 기억장치를 구분하는 기준이 되는 것은?

가. 기억장치의 용량

다. 기억장치의 액세스 속도

나. 기억장치의 위치

라. CPU의 직접 액세스 가능 여부

직접 액세스 가능: Register, Cache, RAM

5.2 다음과 같이 액세스 유형에 따라 분류된 기억장치들 중에서 데이터의 저장 위치에 상관없이 액세스 시간이 모두 동일한 것은?

가. 직접 액세스 기억장치

다. 연관 액세스 기억장치

나. 임의 액세스 기억장치

라. 순차적 액세스 기억장치

→ Random Access

5.3 다음과 같은 기억장치 유형들 중에서 주소를 사용하지 않고 저장된 비트 패턴을 비교하여 액세스할 위치를 찾아내는 기억장치는 어느 것인가?

가. 직접 액세스 기억장치

다. 연관 액세스 기억장치

나. 임의 액세스 기억장치

라. 순차적 액세스 기억장치

5.4 어떤 기억장치의 액세스를 시작하는 순간부터 다음 액세스를 다시 시작할 수 있을 때까지의 시간 간격을 나타내는 것은?

가. 기억장치 액세스 시간

다. 데이터 전송 시간

나. 기억장치 사이클 시간

라. 데이터 복구 시간

5.5 바이트 단위로 주소를 지정하는 시스템에서 10비트의 주소로 직접 액세스할 수 있는 기억장치 용량은 몇 바이트인가?

가. 1K 바이트  $2^{10}$

다. 4K 바이트

나. 2K 바이트

라. 8K 바이트

$$(2^{10} \times 2^5) / 2^3 = 2^{12} = 4K$$

5.6 단어 단위로 주소를 지정하는 시스템에서 단어의 길이가 32비트라면, 10비트의 주소로 직접 액세스할 수 있는 기억장치 용량은 몇 바이트인가?

가. 1K 바이트

다. 4K 바이트

나. 2K 바이트

라. 8K 바이트

$$2^4 \times 2^{10} / 8 \text{ byte} = 2K \text{ Byte}$$

- 5.7 기억장치 계층에서 상위로 올라감에 따라 나타나는 특성으로 옳은 것은?
- 가. 액세스 빈도 감소  
나. 속도 저하  
다. 용량 증가  
바. 비트당 가격 상승

- 5.8 아래의 기억장치들을 액세스 시간이 짧은 순서로 바르게 나열한 것은?

- ① 캐시  
② SSD  
③ 주기억장치  
④ CPU 레지스터

- 가. ① → ② → ③ → ④  
나. ④ → ① → ③ → ②  
다. ② → ④ → ① → ③  
라. ① → ③ → ④ → ②
- 4 → 1 → 3 → 2

- 5.9 계층적 기억장치시스템에서 첫 번째 계층 기억장치의 액세스 시간이 20ns 이고 두 번째 계층 기억장치의 액세스 시간은 200ns이다. 첫 번째 계층 기억장치의 적중률이 0.80이라면, 평균 기억장치 액세스 시간은 얼마인가?

- 가. 220ns  
나. 56ns  
다. 164ns  
라. 76ns

$$0.8 \times 20 + 0.2 \times 200 = 16 + 40 = 56(ns)$$

- 5.10 다음 중에서 휘발성 기억장치의 특징을 바르게 설명한 것은?

- 가. 저장된 내용을 읽으면 지워진다.  
나. 저장된 내용을 읽어도 지워지지 않는다.  
다. 전원 공급이 중단되면 내용이 지워진다.  
라. 전원 공급이 중단되어도 내용이 지워지지 않는다.

- 5.11 다음 중에서 DRAM의 특징이라고 할 수 없는 것은?

- 가. 집적 밀도가 높다.  
나. 재충전 회로가 필요하다.  
다. SRAM보다 빠르다.  
라. 휘발성이다.

- 5.12 8비트씩 저장되는 기억 장소가 512개인 RAM에 필요한 주소는 몇 비트인가?
- SPAM: Flip-Flop → 재충전 필요 X, DRAM은 속도 ↑

- 가. 8비트  
나. 9비트  
다. 10비트  
라. 512비트





5.13 그림 5-7과 같은 장방형 조직의  $64\text{M} \times 4\text{비트}$  RAM 칩에는 주소 핀이 몇 개가 필요한가?

가. 11개

나. 13개

다. 26개

라. 64개

한편:  $13\text{bit}$   
타입:  $13\text{bit}$  > 각각

5.14 다음 중에서 ROM 칩에 필요하지 않는 신호는 어느 것인가?

가. 칩 선택 신호 (CS)

나. 주소

다. 읽기 신호 (RD)

라. 쓰기 신호

5.15 주소 선의 수가 12개이고 데이터 선의 수가 8개인 ROM의 내부 조직을 나타내는 것은?

가.  $1\text{K} \times 8$

나.  $2\text{K} \times 8$

다.  $4\text{K} \times 8$

라.  $8\text{K} \times 8$

5.16 다음 중에서 전원 공급이 중단되어도 내용이 지워지지 않으며, 전기적으로 지우고 다시 쓸 수도 있는 반도체 기억장치는 어느 것인가?

가. ROM

나. EPROM

다. EEPROM

라. SRAM

5.17 32-비트 CPU를 위한 주기억장치 모듈(용량 = 1K 단어)을  $1\text{K} \times 4\text{비트}$  조직의 RAM들을 이용하여 구성하려고 한다. 다음 중에서 어떤 방법을 이용하면 되는가?

가. 4개 RAM들을 직렬 연결

나. 4개 RAM들을 병렬 연결

다. 8개 RAM들을 직렬 연결

라. 8개 RAM들을 병렬 연결

5.18 네 개의  $512 \times 4\text{비트}$  RAM 칩들을 직렬로 연결하여 구성한 기억장치 모듈의 마지막 주소를 16진수로 표시하면 다음 중 어느 것이 되는가?

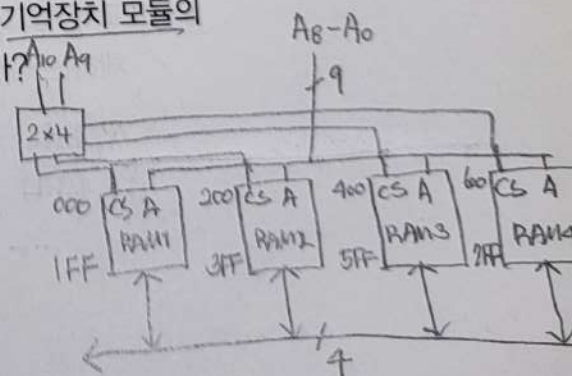
가. 1FFH

나. 3FFH

다. 7FFH

라. FFFH

1 1 1 1 1 1 1 1  
1 F F



< 512x4 RAM 4개를 직렬로 연결 > 313

5.19 CPU가 기억장치를 500번 액세스하는 동안에 원하는 데이터가 캐시에 있으면 히트가 450번이었다면, 캐시 적중률은 얼마인가?

가. 0.45

$$\frac{450}{500} = 0.9$$

나. 0.5

라. 0.95

다. 0.9

5.20 캐시 액세스 시간이 10ns이고 주기억장치 액세스 시간이 200ns인 시스템에서 캐시 적중률이 0.8이라면, 평균 기억장치 액세스 시간은 얼마가 되는가?

가. 24ns

나. 48ns

라. 210ns

다. 162ns

$$10 \times 0.8 + 200 \times 0.2 = 8 + 40 = 48$$

5.21 라인의 수가 64개인 캐시를 직접 사상 방식으로 구성하였다면, 주기억장치의 각 블록이 적재될 수 있는 캐시 라인의 수는 몇 개인가?

가. 1개

나. 2개

라. 64개

다. 4개

5.22 라인의 수가 64개인 캐시를 완전-연관 사상 방식으로 구성하였다면, 주기억장치의 각 블록이 적재될 수 있는 캐시 라인의 수는 몇 개인가?

가. 1개

나. 2개

라. 64개

다. 16개

5.23 라인의 수가 64개인 캐시를 4-way 세트-연관 사상 방식으로 구성하였다면, 주기억장치 블록이 적재될 수 있는 캐시 라인은 몇 개인가?

가. 1개

나. 4개

라. 64개

다. 16개

5.24 교체 알고리즘들 중에서 캐시에 가장 오랫동안 적재되어 있었던 블록을 교체하는 방식은 어느 것인가?

가. LRU

나. FIFO

라. Random

다. LFU





5.25 캐시의 쓰기 정책 중에서 *write-through* 방식의 단점에 해당하는 것은?

- 가. 주기억장치의 내용이 무효 상태인 경우가 있다.
- 나. 쓰기 시간이 길어진다.
- 다. 읽기 시간이 길어진다.
- 라. 하드웨어가 복잡하다.

5.26 2단계 캐시( $L_1$  및  $L_2$ )와 주기억장치( $M$ )로 구성된 기억장치시스템에서 용량의 크기 관계를 바르게 표시한 것은?

- 가.  $L_1 > L_2 > M$
- 나.  $M > L_1 > L_2$
- 다.  $L_1 < L_2 < M$
- 라.  $M < L_1 < L_2$

5.27 분리 캐시(split cache)를 사용하는 주요 이유는 무엇인가?

- 가. 캐시 액세스 충돌 제거
- 나. 캐시 크기 확장
- 다. 캐시 적중률 향상
- 라. 데이터 일관성 유지

5.28 다음 중에서 SDRAM의 특징이 아닌 것은?

- 가. 버스 클록에 동기화되어 정보가 전송된다.
- 나. 여러 개의 내부 뱅크들에서 동시 액세스가 진행된다.
- 다. 액세스가 진행되는 동안 CPU가 대기한다.
- 라. 여러 개의 데이터들을 연속적으로 전송하는 버스트 모드를 지원한다.

5.29 아래의 설명 중에서 DDR 기술의 핵심 개념이 아닌 것은?

- 가. 버스 클록 주파수를 증가시킨다.
- 나. CAS 지연을 줄여 칩의 속도를 개선시킨다.
- 다. 클록의 상승 에지뿐만 아니라 하강 에지에서도 데이터를 전송한다.
- 라. 칩 내부 뱅크의 수를 증가시켜 성능을 더욱 높인다.

5.30 클록 주파수가 133MHz인 DDR SDRAM에서 버스트 길이는 4이고 CAS 지연이 두 사이클이라면, 한 번의 버스트 읽기 동작에 걸리는 시간은?

- 가. 75ns
- 나. 45ns
- 다. 30ns
- 라. 22ns

$$\frac{1}{133} \times \frac{1}{2} \times 4$$

$$7.5ns$$

$$15 +$$

5.31 클럭 주파수가 200MHz인 DDR2 SDRAM에서 버스트 길이는 8이고 CAS 지연이 10ns라면, 한 번의 버스트 읽기 동작에 걸리는 시간은?

가. 30ns

나. 40ns

다. 25ns

라. 20ns

5.32 클럭 주파수가 400MHz인 DDR4 SDRAM에서 버스트 길이는 8이고 CAS 지연이 10ns라면, 한 번의 버스트 읽기에는 모두 몇 사이클이 소요되는가?

가. 4 사이클

나. 6 사이클

다. 8 사이클

라. 12 사이클

5.33 512M×8 조직을 가진 SDRAM 칩들을 이용하여 단면 단일-랭크 모듈(SIMM)을 구성하려면 몇 개의 칩들이 필요한가?

가. 4

나. 8

다. 12

라. 16

5.34 512M×8 조직을 가진 SDRAM 칩들을 이용하여 양면 2중-랭크 모듈(DIMM)을 구성한다면, 이 모듈의 전체 용량은 얼마가 되는가?

가. 512MByte

나. 2GByte

다. 4GByte

라. 8GByte

5.35 4Gbit SDRAM 칩들을 이용하여 양면 단일-랭크로 구성되는 DDR4 모듈을 구성하려면, 각 SDRAM 칩은 어떤 내부 조직을 가져야 하는가?

가. 1G×4bit

나. 512M×8bit

다. 4G×8bit

라. 2G×4bit

5.36 다음 중에서 비휘발성 기억장치가 아닌 것은?

가. PRAM

나. MRAM

다. DRAM

라. FRAM



5.37 다음 중에서 쓰기 속도가 가장 느린 기억장치는 어느 것인가?

가. PRAM

다. FRAM

나. MRAM

라. SRAM

5.38 다음 중에서 전기가 아닌 자기장을 이용하여 정보를 저장하는 반도체 기억 장치는 어느 것인가?

가. PRAM

다. SRAM

나. MRAM

라. FRAM

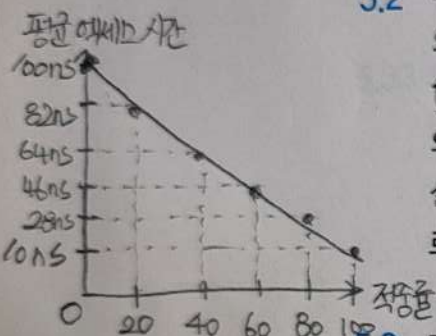


## 연습문제

- 5.1 두 계층으로 이루어진 기억장치시스템에서 첫 번째 계층 기억장치( $M_1$ )의 액세스 시간이 20ns이고, 두 번째 계층 기억장치( $M_2$ )의 액세스 시간은 200ns이다.  $M_1$ 에 대한 적중률이 90%인 경우에 평균 기억장치 액세스 시간을 구하라.

$$20 \times 0.9 + 200 \times 0.1 = 18 + 20 = 38 \text{ ns}$$

- 5.2 두 계층으로 이루어진 기억장치시스템에서 첫 번째 계층 기억장치( $M_1$ )의 액세스 시간이 10ns이고, 두 번째 계층 기억장치( $M_2$ )의 액세스 시간은 100ns이다.  $M_1$ 에 대한 적중률이 0%부터 20% 간격으로 100%까지 변할 때의 평균 기억장치 액세스 시간들을 구하여 그래프를 그리고, 결과에 대하여 설명하라. 단, 그래프의 X축은 적중률, Y축은 평균 기억장치 액세스 시간으로 한다.



$$20\%: 10 \times 0.2 + 100 \times 0.8 = 2 + 80 = 82 \text{ ns}, 60\%: 10 \times 0.6 + 100 \times 0.4 = 6 + 40 = 46 \text{ ns}$$

$$40\%: 10 \times 0.4 + 100 \times 0.6 = 4 + 60 = 64 \text{ ns}, 80\%: 10 \times 0.8 + 100 \times 0.2 = 8 + 20 = 28 \text{ ns}$$

- 5.3 다음과 같은 조직을 가진 RAM의 첫 번째 기억 장소의 주소와 마지막 기억 장소의 주소를 각각 16진수로 표기하라.

(1)  $512 \times 8$ 비트 조직  $2^{10}: 11111111$   $2^9: 1FF$   
 (2)  $1024 \times 4$ 비트 조직  $2^{10}: 11111111$   $2^9: 3FF$   
 (3)  $4096 \times 1$ 비트 조직  $2^{12}: 111111111111$   $2^0: FFF$

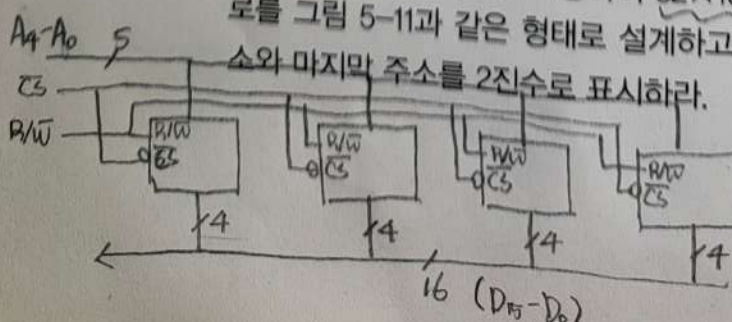
- 5.4 다음과 같은 조직을 가진 RAM들을 이용하여  $1K \times 32$ 비트 기억장치 모듈을 구성하는 데 필요한 칩의 수를 구하라.

(1)  $512 \times 1$ 비트 조직  $2 \times 32 = 64$   
 (2)  $128 \times 4$ 비트 조직  $8 \times 8 = 64$   
 (3)  $64 \times 8$ 비트 조직  $16 \times 4 = 64$

- 5.5 단어(word)의 길이가 32비트인 컴퓨터시스템에서 다음과 같은 조직의 RAM을 이용하여 용량이 64 Mword인 기억장치 모듈을 구성하는 데 필요한 칩의 수를 각각 구하라.

(1)  $4M \times 1$ 비트 RAM  $2^{22}$   $2^{26} \times 2^5 = 2^{31} \rightarrow 2048 \text{ chips}$   
 (2)  $1M \times 4$ 비트 RAM  $2^9$

- 5.6  $32 \times 4$ 비트 RAM 칩들을 사용하여  $32 \times 16$ 비트 기억장치 모듈을 구성하는 회로를 그림 5-11과 같은 형태로 설계하고, 기억장치 주소 영역의 첫 번째 주소와 마지막 주소를 2진수로 표시하라.



기억장치 주소 범위:  $00000 \sim 11111$



- (1) RAM과 ROM 칩들이 각각 몇 개씩 필요한가?
- (2) 주기억장치의 전체 용량은 몇 단어(word)가 되는가?
- (3) 각 칩들에 지정되는 주소 표를 작성하라. 단, RAM의 주소는 0번지부터 시작하고, ROM의 주소는 그 다음에 연속되도록 하라.

5.15 CPU가 기억장치를 액세스한 전체 횟수가 15000회이며, 그 중에 원하는 명령어 혹은 데이터가 캐시에 있었던 횟수가 다음과 같을 때, 캐시 적중률을 구하라.

- (1) 7500 0.5
- (2) 12000 0.8
- (3) 13500 0.9

5.16 주기억장치의 액세스 시간이 100ns이고 캐시의 액세스 시간이 8ns일 때, 캐시의 적중률이 0.85라면 평균 기억장치 액세스 시간은 몇 ns가 되는가?

$$0.85 \times 8 + 0.15 \times 100 = 69.5ns$$

5.17 캐시 액세스 시간( $T_c$ )에는 캐시가 적중되었는지를 검사하기 위하여 태그값을 읽어서 주소의 태그값과 비교하는 데 걸리는 시간이 포함되어 있다. 사실 상 그 검사 시간( $T_k$ )은 캐시 미스의 경우에도 캐시에서 소모된다. 그것을 고려한 경우에 식 (5-2)를 고쳐 쓰라. 또한  $T_k = 2ns$ 라고 가정한 경우에, 고친 식을 이용하여 문제 5.16번을 다시 풀어라.

$$T_a = (T_c + T_k) \times H + (T_c + T_k) \times (1 - H) \quad \rightarrow 0.85 \times 10 + 0.15 \times 102 = 88.23ns$$

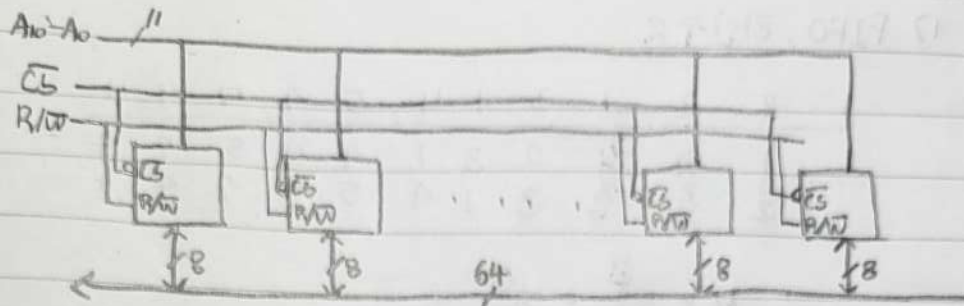
5.18 주기억장치의 액세스 시간이 100ns이고 캐시의 액세스 시간이 10ns일 때, 평균 기억장치 액세스 시간이 19ns 이하가 되도록 하기 위해서는 캐시의 적중률이 얼마 이상이 되어야 하는가? 90% 이상

$$10H + 100(1-H) \leq 19 \rightarrow 100 - 90H \leq 19 \rightarrow \frac{81}{90} \leq H \quad \therefore H \geq 90\%$$

5.19 단어의 길이가 32비트인 컴퓨터시스템에서 캐시의 크기가 16KByte인 경우에 인출 방식이 다음과 같다면, 캐시 라인의 수는 각각 몇 개가 되는가?

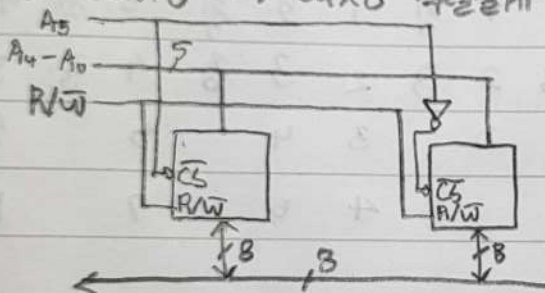
- (1) 요구 인출
- (2) 선인출 (인출 크기=2 단어)
- (3) 선인출 (인출 크기=4 단어)

5-7)  $2K \times 8 \text{ bit} \rightarrow 2K \times 64 \text{ bit}$  직렬설계



기억장치 주소 영역 범위 :  $000H \sim 3FFH$

5-8)  $32 \times 8 \rightarrow 64 \times 8$  직렬설계

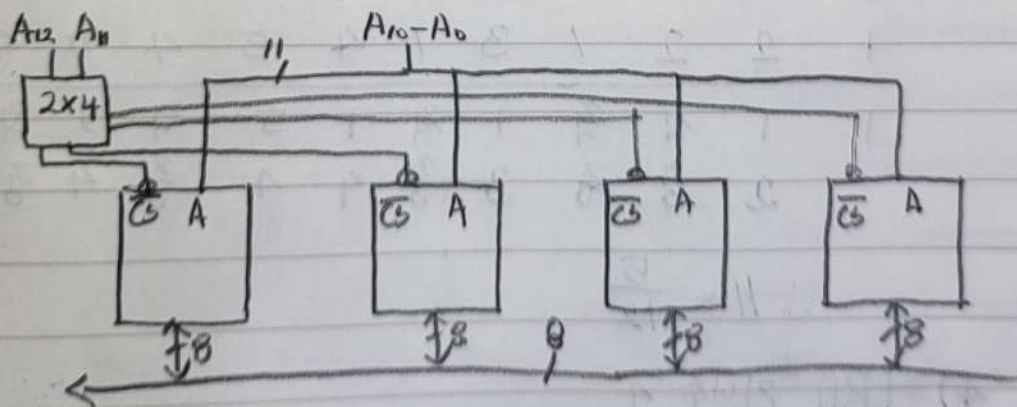


기억장치 주소 영역 범위

RAM1 :  $000000 \sim 011111$

RAM2 :  $100000 \sim 111111$

5-9)  $2K \times 8 \rightarrow 8K \times 8$  직렬설계



기억장치 주소 영역 범위

RAM1 (00) :  $000 \sim 3FF$

RAM2 (01) :  $400 \sim 7FF$

RAM3 (10) :  $800 \sim BFF$

RAM4 (11) :  $C00 \sim FFF$



5-26) 세드 만만 사상 개사로 ~~유리수~~이 ~~연속적~~으로 액세스

1) FIFO, 라인수 2

1	2	2	1	3	1	4	5	4	7	4	1
1	1	적	적	2	3	1	4	적	5	7	4
	2	중	중	3	1	4	5	중	7	4	1

$$\therefore H = \frac{3}{12} = \frac{1}{4}$$

2) FIFO, 라인수 4

1	2	2	1	3	1	4	5	4	7	4	1
1	1	적	적	1	적	1	호	적	3	적	4
	2	중	중	2	중	2	3	중	4	중	5
				3		3	4		5		7
						4	5		7		1

$$\therefore H = \frac{5}{12}$$

3) LRU, 라인수 2

1	2	2	1	3	1	4	5	4	7	4	1
1	1	적	적	1	적	1	5	적	7	적	1
	2	중	중	3	중	4	4	중	4	중	4

$$\therefore H = \frac{5}{12}$$

4) LRU, 라인수 4

1	1	적	적	1	적	1	1	적	7	적	7
	2	중	중	2	중	2	5	중	5	중	1
				3		3	3		3		3
						4	4		4		4

$$\therefore H = \frac{5}{12}$$



5.20 주기억장치 용량이 1MByte이고 캐시의 용량은 16KByte인 시스템에서 캐시 라인의 크기는 4바이트이다. 직접-사상 방식이 사용되는 경우에 아래 물음에 답하라.

- (1) 캐시에는 몇 개의 라인들이 존재하는가?  $16k/4 = 2^{14}/4 = 2^{12}$
- (2) 주기억장치 블록의 수는 몇 개가 되는가?  $2^{20}/4 = 2^{18}$
- (3) 한 라인을 공유하는 주기억장치 블록들의 수는 몇 개인가?
- (4) 주소 형식과 각 필드의 비트 수를 결정하라.

5.21 세트-연관 캐시가 64개의 라인들을 가지고 있으며, 각 세트는 4개의 라인들로 구성된다. 주기억장치는 4096개의 블록들을 가지고 있으며, 각 블록은 16바이트로 구성된다. 주기억장치 주소의 형식을 결정하라.

5.22 직접-사상 방식과 완전-연관 사상 방식의 상대적 장단점을 비교하라.

5.23 프로그램 실행 중의 어느 시점에서 직접 사상 캐시의 라인들이 그림 5-19와 같은 블록들을 적재하고 있다고 하자. 이때 CPU로부터 다음과 같은 기억장치 주소들이 발생한 경우에 캐시 적중인지 혹은 캐시 미스인지를 구분하라. 그리고 캐시 미스인 경우에 그 블록이 캐시의 해당 라인에 적재된 결과를 설명하라. 단, 아래 주소는 2진수로 표현되어 있다.

(1) 1101000

(2) 1101100

(3) 0010101

(4) 0111111

1) 캐시적중

2) 캐시미스: 라인번호에 '1100' 적재된 태그 11로 변경

3) 캐시미스: 라인번호에 '0010' 적재된 태그 (비어있음) 0003로 변경

4) 캐시적중

5.24 프로그램 실행 중의 어느 시점에서 세트-연관 사상 캐시의 라인들이 그림 5-23과 같은 블록들을 적재하고 있다고 하자. 이때 CPU로부터 다음과 같은 기억장치 주소들이 발생한 경우에 캐시 적중인지 혹은 캐시 미스인지를 구분하라. 그리고 캐시 미스인 경우에는 그 블록이 적재(혹은 교체)된 후의 해당 라인의 태그 번호를 결정하라. 단, 교체할 때는 세트내의 첫 번째 라인을 교체하는 것으로 한다. 단, 아래의 주소는 2진수 표현이다.

(1) 1101000

(2) 0111101

(3) 0100011

(4) 0000100

1) 캐시미스: 'info' → 'Comp' 교체, 태그 010 → 110 교체

2) 캐시미스: 'move' 추가, 태그번호 011

3) 캐시적중

4) 캐시미스: 'hand' 추가, 태그번호 000



5.25 [예제 5-6]에서 교체 알고리즘이 FIFO인 경우에 대하여 적중률을 구하라.

라인 2개:  $\frac{2}{11}$ , 라인 4개:  $\frac{5}{11}$

5.26 세트-연관 사상 캐시로 아래와 같은 블록들이 연속적으로 액세스된다고 하자.

1 2 2 1 3 1 4 5 4 7 4 1

교체 알고리즘과 세트 당 라인 수가 다음과 같을 때의 캐시 적중률을 각각 구하라.

- (1) FIFO 알고리즘, 라인 수 = 2개 →
- (2) FIFO 알고리즘, 라인 수 = 4개
- (3) LRU 알고리즘, 라인 수 = 2개
- (4) LRU 알고리즘, 라인 수 = 4개

5.27 주기억장치 액세스 시간이 200ns, 캐시 액세스 시간이 20ns인 시스템에서 기억장치 액세스가 1000번이 수행되었다. 그 중의 60%는 읽기 동작이고, 40%는 쓰기 동작이었으며, 평균 적중률은 80%였다. 캐시 쓰기 정책이 아래와 같을 때, 각각의 평균 기억장치 액세스 시간을 구하라. 단, write-back에서 미스가 발생한 경우에 새로운 블록을 적재하기 위하여 교체할 라인의 30%는 변경된 상태에 있다고 가정한다.

1) 읽기, 쓰기

$$\bullet 0.8 \times 20 + 0.2 \times 200 = 56ns$$

• 200ns (write-through)

$$\Rightarrow 0.6 \times 56 + 0.4 \times 200$$

$$= 113.6ns$$

(1) Write-through

(2) Write-back

2) 읽기, 쓰기

$$\bullet 0.8 \times 20 + 0.2 \times 1.3 \times 200$$

$$= 68ns$$

5.28 두 계층의 캐시를 가진 시스템에서 첫 번째 계층의 캐시인  $L_1$ 의 액세스 시간은 2ns, 두 번째 계층의 캐시인  $L_2$ 의 액세스 시간은 20ns이고, 주기억장치 액세스 시간은 200ns이다.  $L_1$ 의 적중률이 60%이고  $L_2$ 의 적중률은 85%라고 할 때, 식 (5-6)을 이용하여 평균 기억장치 액세스 시간을 구하라.

$$\Rightarrow 0.6 \times 2 + 0.25 \times 20 + 0.15 \times 200 = 36.2ns$$

5.29  $L_2$ 의 적중률이  $L_1$ 에서 미스 된 액세스들에 대한 적중률을 나타내는 경우의 평균 기억장치 액세스 시간을 표현하는 식 (5-7)을 이용하여 문제 5.28번을 다시 풀어라.

$$\Rightarrow 0.6 \times 2 + 0.4 \times 0.85 \times 20 + (0.4 - 0.4 \times 0.85) \times 200 = 20ns$$

5.30 클록 주파수가 400MHz인 DDR2 SDRAM에서 버스트 읽기 동작이 모두 수행되는데 걸리는 전체 시간을 구하라. 단, 버스트 길이는 8이며, CAS 지연은 4 클록 주기라고 가정한다.

$$1 \text{ 클록 주기} = 2.5ns$$

$$CAS \text{ 지연} = 4 \text{ 클록 주기} = 10ns$$

$$\therefore 10ns + 2.5 \times 4 = 20ns$$

클록 제당 2비



- 5.31 클록 주파수가 1600MHz인 DDR4 모듈에 사용되는 SDRAM 칩들의 CAS 지연이 10ns이라고 하자. 버스트 길이가 8이라고 할 때, 읽기 동작이 수행되기 위해서는 모두 몇 클록 주기가 필요한가?

1 클록 주기 = 0.625ns

$$4 \text{ 클록 주기} + (\text{CAS 지연}(10 \text{ ns})) = 2.5 \text{ 클록 주기}$$

- 5.32 DDR3 SDRAM 모듈을 위하여 개발된 4Gbit SDRAM 칩의 내부 조직이  $512\text{M} \times 8$ 비트라고 하자. 이 칩들을 이용하여 그림 5-35(b)와 같은 양면 2중 랭크 모듈로 구성하는 경우에, 그 모듈의 전체 용량을 구하라.

- 5.33 8Gbit SDRAM 칩들을 이용하여 그림 5-35(c)와 같은 양면 단일 랭크로 구성되는 DDR4 모듈을 제작하고자 한다.

- (1) 어떠한 내부 조직을 가진 SDRAM 칩들을 사용해야 하는가?
- (2) 이 모듈의 전체 용량을 구하라.