PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE ESCUELA DE INGENIERÍA. SEGUNDO SEMESTRE 2020

TAREA 3 IMT2112-ALGORITMOS PARALELOS EN COMPUTACIÓN CIENTÍFICA Vicente Hojas

1. Está claro que la matriz resultante A es simétrica, para mostrar que es definida positiva se muestra que es diagonal dominante por filas de forma estricta y que los elementos de su diagonal son todos positivos (esto es suficiente para mostrar que es definida positiva por corolario al teorema de Gershgorin). Entonces se tiene por demostrar que

$$A_{n,n} > \sum_{m=1, m \neq n}^{N_x N_y} |A_{n,m}|$$

Para ver que esto es cierto basta comprobar que:

$$C_{i,j} > |N_{i,j}| + |S_{i,j}| + |W_{i,j}| + |E_{i,j}|$$

Lo comprobamos de forma directa (notamos antes que $\alpha \geq 0$):

$$C_{i,j} = \frac{\alpha_{i-1/2,j} + \alpha_{i+1/2,j}}{h_x^2} + \frac{\alpha_{i,j-1/2} + \alpha_{i,j+1/2}}{h_y^2} + 1$$

$$= \frac{|\alpha_{i-1/2,j}|}{h_x^2} + \frac{|\alpha_{i+1/2,j}|}{h_x^2} + \frac{|\alpha_{i,j-1/2}|}{h_y^2} + \frac{|\alpha_{i,j+1/2}|}{h_y^2} + 1 \qquad (\alpha \ge 0)$$

$$= |N_{i,j}| + |S_{i,j}| + |W_{i,j}| + |E_{i,j}|$$

$$> |N_{i,j}| + |S_{i,j}| + |W_{i,j}| + |E_{i,j}|$$

Luego A es simétrica y definida positiva, por lo que se puede utilizar C-G para resolver el sistema lineal.

- 2. (a) El dominio se encuentra particionado en bloques verticales, esto es, cada procesador tiene N_y nodos para cada posición de x pero solo N_x/p nodos por cada posición de y.
 - b) Las matrices se almacenan como 5 arreglos (N, S, W, E, C) de dimensiones $N_x \times N_y$, que representan al stencil de diferencias finitas. Los vectores se almacenan como un arreglo de dimensiones $N_x \times N_y$. Como la partición se hace por bloques verticales, se tiene que cada procesador almacena arreglos de tamaño $(N_x/p) \times N_y$.
- 3. c) Se verifica la convergencia del método, el residuo disminuye a medida que se aumenta el número de iteraciones, tal como se ve en la salida *log.out* que se muestra en la figura (1)

- d) Como vector f se elige una fuente puntual en el nodo 0 en la posición (Nx/2p, Ny/2).
- e) Tal como está dividido el dominio, cada proceso debe comunicar una fila de su arreglo al procesador siguiente, al procesador anterior o a ambos (si es un procesador que no contiene los extremos del dominio). La comunicación se realiza de tal forma que los procesadores pares envían primero y los procesadores impares reciben, luego de que los impares reciben, envían los impares y reciben los pares. De esta forma se previene un deadlock
- 4. En la figura (1) se muestra la salida de log.out al correr el código con 4 procesadores en el cluster Mazinger.

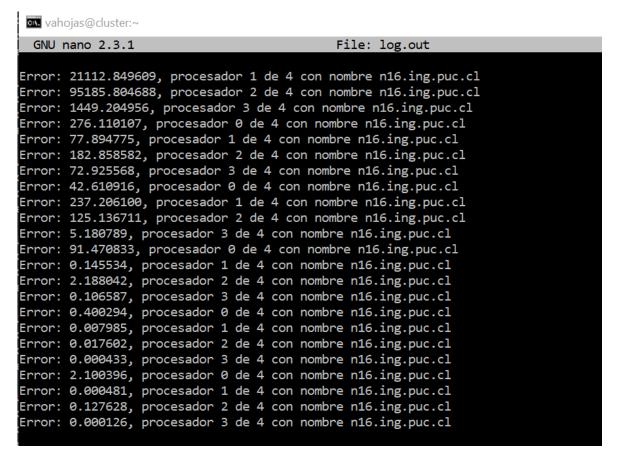


Figura 1: Salida del clúster Mazinger