

[종합설계 II 포트폴리오 구성]

번호	제출 자료	필수/선택	비 고
1	종합설계II 보고서	필수	30쪽 이상, [첨부 양식1]
2	종합설계II 발표자료	필수	중간발표 PPT& 종합설계II 경진대회 포스터
3	프로젝트지도일지	필수	2회 이상, [첨부 양식2]
4	회의록	선택	[첨부 양식3]

[종합설계 II 포트폴리오 표지]

종합설계II 주제명		finfet 종합 공정의 최적화	
조원	학 번	2017035207	2017035195
	성 명	이규성	김재환
	연락처	010-3955-9664	010-2889-3119
구 분		전자공학부 종합설계II 포트폴리오	
제출일		2022년 06월 일	
확 인		지도교수 강문희 (인)	

<양식 1>

종합설계II 보고서

제목 : finfet 종합 공정의 최적화
optimization of the finfet synthesis process

제 출 자 : 2017035207 이규성
2017035195 김재환

지도교수 : 강문희 (인)

목 차

1. 작품의 목표 -----	1
2. 작품의 동작 원리 및 구성 -----	2
3. 진행 상황 및 문제점 -----	3
4. 최종 작품 -----	4
5. 부록 -----	5

I. 작품의 목표

■ 현재 제품의 문제점

□ finfet은 미래의 5nm이하의 초미세공정이 아닌 현재 자주 사용되고 있는 193nm(DUV)파장을 사용하여 7~14nm를 공정하는 기술로, finfet으로 더 작은 반도체를 만들기 위해서는 신기술과 많은 비용, 시간이 들어간다.

□ fin의 형태를 제작하기 위해 실리콘을 식각하고 finfet을 작게 만들기 위해 더블마스크 방식인 LELE방식이나 SADP방식을 사용함으로써 마스크를 제작하는데 더 많은 공정이 추가로 들어간다.

■ 개선방안

□ 현재 사용되고 있는 193nm파장(DUV)보다 더 작은 13nm의 극 자외선파장(EUV)을 사용하여 반도체를 제작하는 것으로 반도체를 더 작게 만들 수 있다.

□ 추가된 공정 수만큼 이중 다마신 공정과 같은 방식으로 기존의 공정 수를 줄이고 추가로 물질량과 시간도 줄이는 방식을 사용하여 최종적으로 더 적은 생산비용으로 finfet을 제작한다.

■ 작품 제작 방법

□ silvaco의 예제를 참고하여 silvaco의 사용방법을 익히고 finfet의 형태를 제작하였다.

□ 3D plot으로 설계하는데 문제가 있어 정면도와 측면도로 나누어 finfet을 제작하였다.

□ 원래 반도체를 만들 때에는 마스크가 존재하여 마스크의 모양에 따라 식각을 하게 되는데 마스크가 존재하지 않아 수작업으로 식각하였다.

□ 기존의 finfet을 완성하고 기존 finfet에서 물질량, diffuse 온도, 공정 수를 감소시켜 동일한 결과가 나오도록 제작하였다.

■ 본 작품의 특징

□ 본 작품은 현재 가장 많이 사용하고 있는 공정 방식인 finfet방식을 사용하여 시뮬레이션 하였다.

□ 본 작품은 finfet을 제작하는데 재료, 시간, 온도, 공정 수 등을 최적화하여 비용과 시간을 절약하는 것이 가능하다.

□ 본 작품의 결과는 finfet을 제작하는 것과 더불어 최적화한 finfet과 기존 finfet을 나란히 놓고 차이를 비교하여 어느 부분이 최적화 되었는지 코드와 사진으로 설명 가능하다.

■ 미래 전망

□ 본 작품은 미래 지향적 기술은 아니지만 현재 반도체 생산의 주된 공정방식이므로 미래에 양산될 초미세공정(5nm이하)을 양산 가능하기 전까지 반도체 사업을 지탱해줄 일종의 연결점이라고 할 수 있다.

□ 본 작품의 결과는 현재 기업들이 가장 많이 사용하고 있는 finfet기술을 최적화한 방식으로 가장 많이 사용된다는 뜻은 공정과정에서 가장 많은 물질과 시간을 사용하고 있다는 것으로 최적화를 성공적으로 하여 기업들이 필수적으로 생각하는 원가절감에 매우 큰 도움이 될 수 있다.

■ 기대효과/활용 방안

□ 앞으로 미래에는 GAA구조 개발과 EUV사용이 활발히 진행 될 것이지만 아직까지는 이 기술을 전 세계적으로 개발하고 사용하기에는 기술적으로 부족하기 때문에 현재 가장 많이 사용되고 많은 특허 기술을 가지고 있는 finfet의 최적화가 효율적으로 이루어지게 된다면 반도체를 동일한 비용으로 더 많은 양을 생산할 수 있게 되어 그 이익을 바탕으로 미래에 사용될 신기술에 투자할 수 있게 되어 한발 앞선 반도체 생산에 도움이 될 수 있다.

2. 작품의 동작 원리 및 구성

■ finfet 이론

□ finfet은 전류가 흐르는 통로를 지느러미 모양인 fin 구조를 세우고 게이트가 fin을 다중 또는 전면으로 감싸고 있는 구조의 소자이다. 초미세 트랜지스터를 제조할 때 가장 큰 이유는 단채널 효과로 인한 누설전류를 억제하는 것이다. 이때 게이트의 구동력을 극대화하기 위해서 게이트가 채널을 감싸는 영역을 넓히기 위해 제안된 구조이며, 0과 1을 명확히 구분해야 하는 나노 소자는 누설전류로 인해 subthreshold slope 특성이 저하되고 단채널 효과로 인해 threshold voltage가 작아지면서 on/off 동작이 불가능해지는 이슈가 발생하였다. 이에 따라 평면형 단일 게이트가 아니라 단채널 효과를 억제하기 위해 3차원 전면 게이트 finfet이 해결책으로 제안되었다.

그림 1 : mosfet과 finfet의 차이점

□ finfet의 공정 과정은 먼저 실리콘 기판(그림 2) 위에 하드마스크를 올려 패터닝을 한다(그림 3). 패터닝을 하여 핀의 형태(그림 4)를 만들고 나면 핀을 서로 분리하기 위한 STI-dielectric을 증착을 한다(그림 5). 이후 etchback을 통해 일정 부분까지 깎아 준다(그림 6). 이렇게 하면 finfet의 기초채널부분을 완성한 것이다. 그다음에 스페이서와 소스, 드레인을 먼저 형성하기 위해서 이후에 제거할 더미 게이트를 형성한다(그림 7). 이후에는 스페이서를 형성(그림 8)하고 소스와 드레인을 epitaxy를 통해 성장시킨다(그림 9). 그 위에 ILD0를 증착하고 (그림 10)더미게이트를 제거하기 위해 CMP를 하여 더미 게이트를 노출시킨다.(그림 11) 이후 노출된 더미 게이트를 제거하고(그림 12) GATE-dielectric을 증착한다(그림 13). 마지막으로 게이트 메탈을 형성하여(그림 14) 마무리하는 것으로 bulk finfet의 공정 과정은 끝이 난다.

그림 2~14 : finfet의 공정 과정

□ finfet의 최적화 방안

① deposition 두께 최적화 (그림 15)

deposition 두께를 줄임으로써 본래의 기능은 유지한 채로 더 적은 양의 물질을 사용함으로 deposition 시간이 감소하고, etching 시간 또한 감소하는 이득을 얻을 수 있다.

② annealing 시간, 온도 감소 (그림 16)

반도체 공정에서는 annealing 과정이 자주 있고, 중요한 역할을 한다. 이 과정에서 많은 열에너지와 시간이 사용되는데 이 과정을 적절히 감소시켜 원래의 결과를 유지하면서 공정 과정의 효율을 높이도록 한다.

③ 포토, 식각 공정 횟수 감소 (그림 17)

포토 공정은 가장 오랜 시간을 차지하고 공정 원가도 가장 높기 때문에 원가절감을 위한 최적화로는 가장 필수적인 요소이다. 식각 공정은 포토 공정 이후에 진행되는 불필요한 부분을 제거하는 것으로 포토 공정이 줄어들게 된다면 자연스레 식각 또한 줄어들게 될 것이다.

■ 산화 공정

□ 산화공정은 웨이퍼에 얇은 산화막을 형성하는 공정으로 누설전류가 흐르는 것을 차단하기 위한 것이다. 소스와 드레인 사이 전하가 흐르는 채널 형성에 영향을 주므로 얇을수록 효율이 높다. 산화 공정은 물과 산소를 사용하는 wet oxidation과 dry oxidation으로 나뉘어진다. wet oxidation은 산화속도가 빠른 대신 산화막의 밀도가 낮고 질이 낮다. dry oxidation은 산화속도가 느린 대신 산화막의 밀도가 높고 산화막의 질이 높다. 산화 온도는 일반적으로 900~1200도 사이에서 진행되며 웨이퍼가 급격한 온도 변화를 겪지 않도록 순차적으로 온도를 조절한다. 산화공정은 압력, 시간, 온도, 도핑 농도에 따라 영향을 받고 단순히 증착과 달리 실리콘을 소모하는 공정 방식이다.

그림 18 : 산화 공정

■ 포토 공정

□ 포토 공정은 가장 오랜 시간을 차지하고 공정 원가도 가장 높다. 노광장비로 들어가 미세패턴이 새겨진 마스크를 이용하여 웨이퍼 상에 빛을 투사한다. 투사된 빛은 마스크 상에 있는 미세패턴을 웨이퍼에 그대로 새기고 웨이퍼를 한 번 더 구워준다. 마지막으로 현상액을 사용하여 PR 부분을 날아가게 하고 회로 패턴이 잘 새겨졌는지 검사한다.

그림 19 : 포토 공정

■ 이온 주입 공정

□ 이온 주입 공정은 반도체가 전기적 특성을 갖게 하기 위해 이온을 목표물의 표면을 뚫고 들어갈 만큼 큰 에너지를 갖도록 전기장으로 가속하여 목표물 속으로 넣어주는 공정이다. 이온 주입 공정에는 여러 변수가 존재하는데 물질의 종류, 에너지, 단위 면적당 도핑 농도, 기울기가 있다.

물질의 종류 : 물질 종류에 따라 고체 용해도가 다르기 때문에 도핑 농도에 영향을 미칠 수 있다.

그림 20 : 이온 주입 공정

- * 에너지 : 이온 주입하는 에너지가 높을수록 물질 내부에 깊이 들어갈 수 있다.
- * 단위 면적당 도핑 농도 : 단위 면적당 도핑 농도 높을수록 전도도가 올라가지만 과하게 도핑할 경우 전자가 생성되지 않아 오히려 전도도가 떨어질 수 있다.
- * 기울기 : 이온 주입 시 이온이 원자와 충돌하지 않고 깊이 들어가는 channeling 현상을 막기 위해 약간 기울여서 이온 주입하게 된다.

그림 21: 기울기에 따른 이온 주입 공정

■ 열 확산 공정

□ 열 확산 공정은 산화공정과 비슷하게 가스 형태로 불순물을 공급하여 높은 온도로 가열해 반도체 내부로 불순물이 확산해 들어가는 방법이다. 도핑 농도는 표면으로부터 점차 감소하고 불순물 분포와 측면도는 온도와 확산 시간에 따라 결정된다. 확산에 의한 도핑이기 때문에 정밀한 농도 제어가 어렵고 공정 온도가 높다.

그림 22 : 열 확산 공정

■ 박막 증착 공정

□ 박막 증착 공정은 웨이퍼에 전기적 특성을 입히는 공정 방식이고 PVD와 CVD 방식 두 개가 있지만 현재는 CVD 방식을 주로 사용하고 있다. PVD의 Thermal Evaporation은 진공상태에서 증착하고자 하는 물질에 열을 가해 증발시켜 웨이퍼 표면에 증착시키는 방식인데 골고루 diffuse 되지 않고 step coverage가 나쁘다(그림 23). E-beam Evaporation은 위의 방식과 동일하지만 증착하고자 하는 물질을 E-beam으로 증발시켜 step coverage를 개선하였다 (그림 24). step coverage는 증착된 물질의 위치에 따른 두께 변화를 나타내는 지표로 step coverage가 좋다는 뜻은 균일하게 증착되었다는 것이고 step coverage가 나쁘다면 미세 공정을 할 때 void가 생겨 특성이 나빠진다 (그림 25, 26). 스퍼터링은 진공상태에서 substrate에는 +, target에는 -을 걸어준 뒤 비활성 Ar 가스를 주입하여 전압을 인가하면 Ar+가 되고 Ar+는 -의 target과 충돌한 후 생성된 원자들이 substrate에 증착되는 방식이다 (그림 27). CVD는 기체 상태의 화학적 성분들이 기판 위에서 화학 반응에 의해 박막을 형성하는 방식으로 필름의 두께를 조절할 수 있으며 step coverage가 좋고 PVD보다 공정비용이 적다는 장점이 있다.

그림 28 : CVD

■ 금속 공정

□ 금속 공정은 소자끼리의 연결을 하는 interconnection과 소자와의 접촉을 하는 contact, 칩과 외부회로와의 연결을 하는 connection to outside를 제작하는 공정이다. 금속 공정을 하기 위한 메탈의 조건으로는 낮은 저항, 웨이퍼와의 높은 접착도, 신뢰성이 높고, 열 적합성, 선택적이고 쉬운 식각, 합리적인 가격이 있다. 이 조건으로

부합하는 금속은 Al(알루미늄), Cu(구리)가 있다 (그림 29, 30). 장점으로서는 Al은 가격이 저렴하면서 증착하기 용이하고 산화막과의 접착력이 우수하며 사진과 식각이 수월하다. Cu는 Al보다 저항성이 낮고 녹는점이 높으며 electromigration 발생이 적다. Cu의 식각이 어렵다는 단점을 해결하기 위해 나온 것이 이중 상감기법으로 via와 metal 라인을 모두 형성한 후 한 번에 금속으로 채우는 방식이다. 이후 CMP로 마무리한다. CMP는 평탄화하기 위한 방식으로 연마 입자를 용액에 분산시킨 슬러리라는 것을 연마 패드와 연마 대상 사이에 주입하고 압력을 가하여 기계적인 움직임을 통해 돌출부가 큰 압력을 받게 되어 평탄화를 하는 방식이다.

그림 29, 30 : Al,Cu 금속 배선 공정

■ 식각 공정

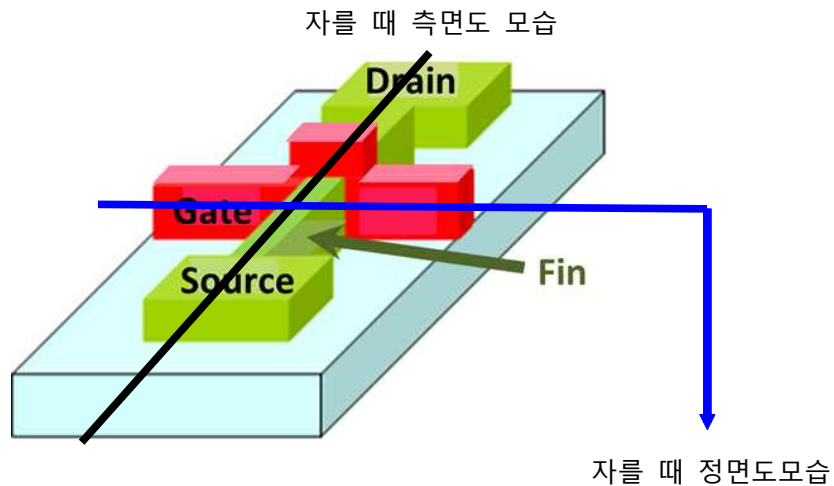
□ 식각 공정은 포토 공정에서 그린 회로 밑그림 중 불필요한 부분을 제거하는 공정 방식이다. 식각 방식으로는 건식식각과 습식식각으로 분류된다. 습식식각은 SiO_2 를 식각할 때 HF 용액에 기판을 담가 식각하는 방식이다 (그림 31). 장점으로서는 저비용, 쉬운 공정, 좋은 선택성을 갖지만, 정확도가 낮고 isotropic 하여 작은 패턴에는 사용이 어렵다는 단점이 있다. 건식식각의 장점으로서는 공정 컨트롤이 쉽고 정확도가 높지만, 단점으로는 어려운 공정, 고비용, 선택성이 낮다는 단점이 있다. 건식식각은 화학적 식각, 물리적 식각, RIE방식이 있다(그림 32). 화학적 식각은 화학 반응성을 가진 gas를 주입하여 식각하고자하는 부분의 원자와 반응시킨 후 반응한 화합물이 밖으로 diffusion 되면서 식각 되는 방식이다. 이 방식은 높은 선택성을 가지지만 isotropic 하다는 단점이 있다. 물리적 식각은 스퍼터링 방식처럼 비활성 Ar 기체를 진공 공간에 넣고 전압을 걸어 이온화된 Ar 기체가 기판과 충돌하며 식각 되는 방식이다. 이 방식은 anisotropic 하지만 낮은 선택성과 throughput을 가진다. 두 방식의 단점을 보완한 기법이 RIE기법인데 두 기법을 합쳐놓은 방식으로 이온, 전자, 광자 등의 촉매작용에 의한 반응 종과 식각 시킬 물질과의 화학반응으로 식각하는 방식으로 선택적이며 anisotropic 하다. Isotropic의 뜻은 식각이 원하는 패턴에만 되는 것이 아닌 패턴 아랫부분을 파고드는 현상이다. 선택성이 좋다는 뜻은 원하는 부분만을 선택하여 잘 식각할 수 있다는 뜻으로 선택성이 좋을수록 좋다.

그림 32 : 화학적 식각, 물리적 식각, RIE방식(물리&화학적 식각)

3. 진행 상황 및 문제점

■ 이전 상황

□ 기존 계획대로 finfet을 제작하려 했으나 suprem 특성상 3D 제작이 불가능하였기 때문에 2D로 제작하게 되었고, 2D로 제작하면서 정면부와 측면부 둘로 나눠서 제작하게 되었다.



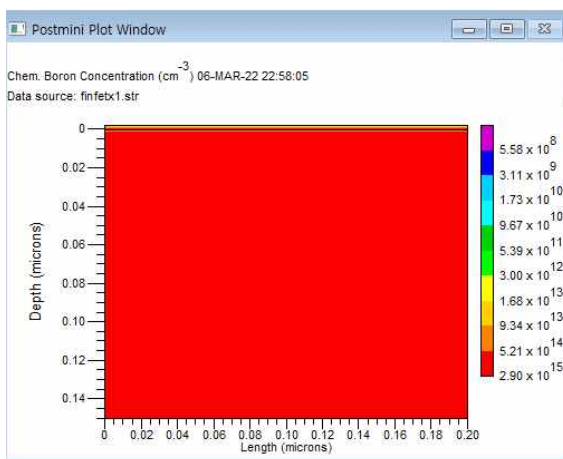
<finfet 구조 및 자른 모습 예시>

□ suprem 제작 결과

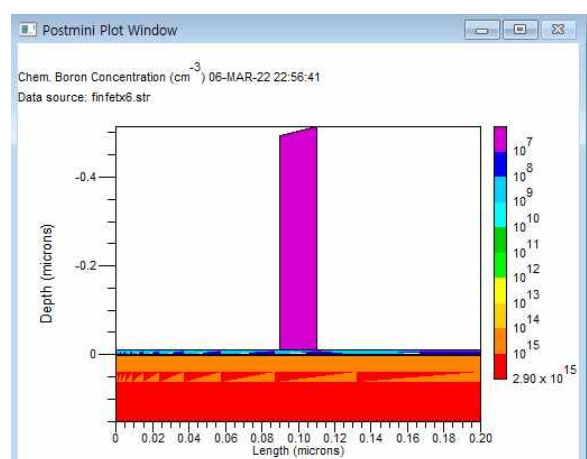
정면에서 본 모습을 통해 finfet의 fin을 제작하고 옆 라인과의 분리를 위한 STI 구조를 제작하였다. 또한, gate 물질인 poly를 올리는 작업을 진행하였다.

측면에서 본 모습을 통해 finfet의 gate를 필요한 부분만 남기고 식각하였다. 그러고 나서 doping을 통해 n-type 구조의 FET을 형성하였다. 이후 contact via를 제작하기 위해 insulator인 산화막을 높이 증착하고 via를 뚫어준 뒤 suprem에서 제공하는 aluminum을 증착하고 via에 맞게 정리함으로써 finfet 소자를 완성하였다.

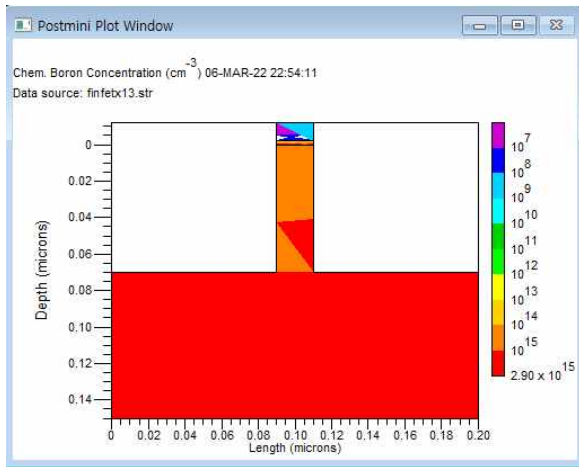
[정면도]



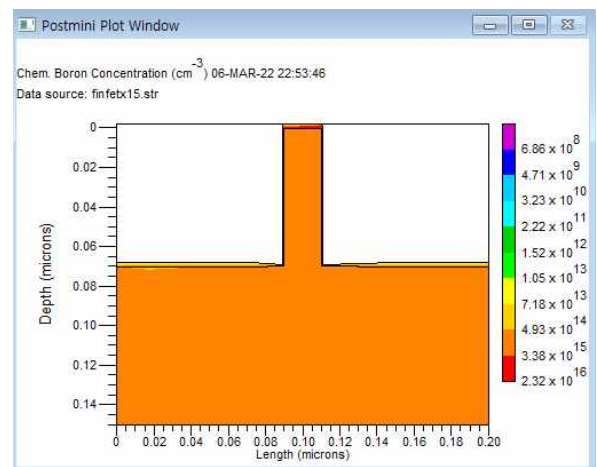
<1.wafer 준비>



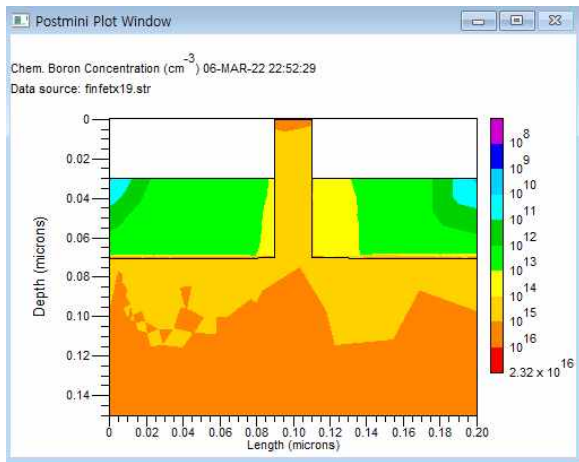
<2.fin용 마스크 제작>



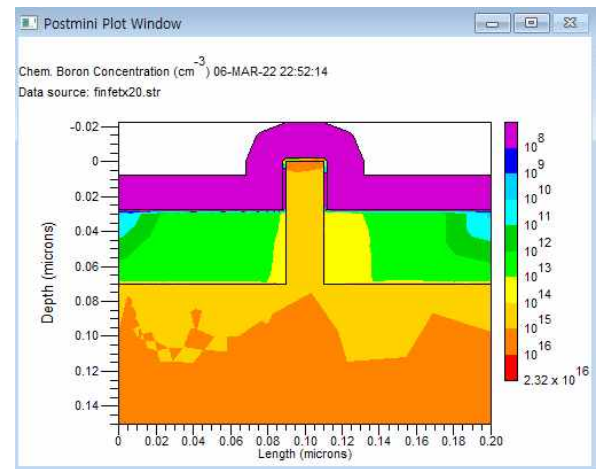
<3. fin 제작>



<4. STI 점착용 산화막 생성>

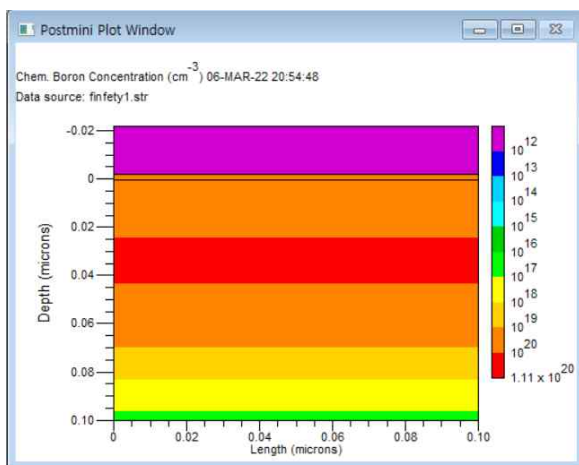


<5. STI 제작>

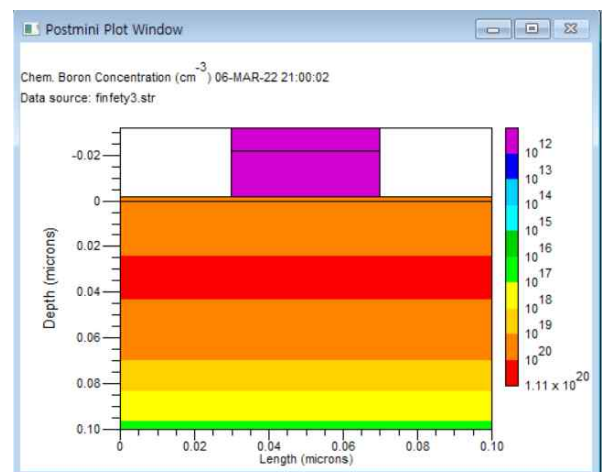


<6. gate 증착>

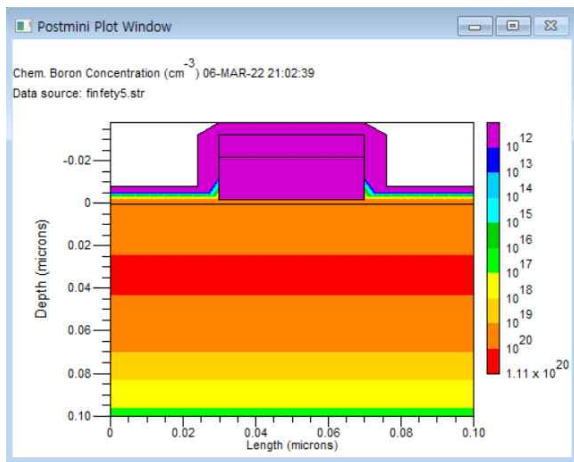
[측면도]



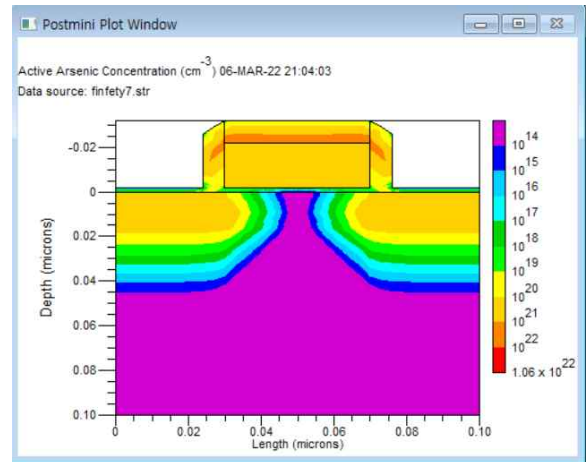
<7. gate 증착 결과>



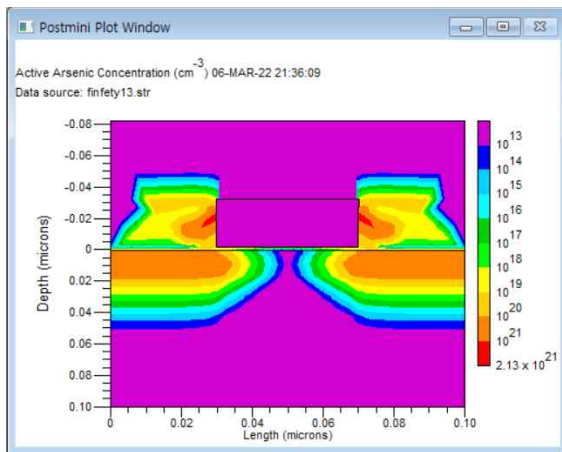
<8. gate 옆 부분 식각>



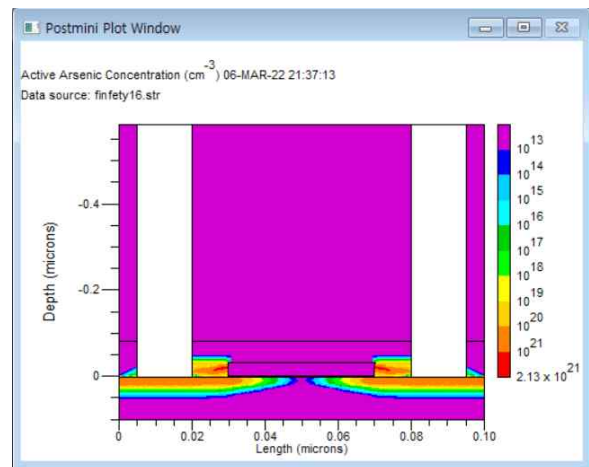
<9. side wall 제작>



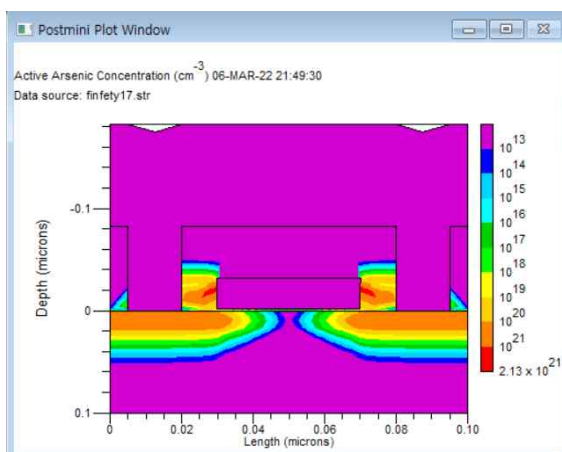
<10. doping arsenic>



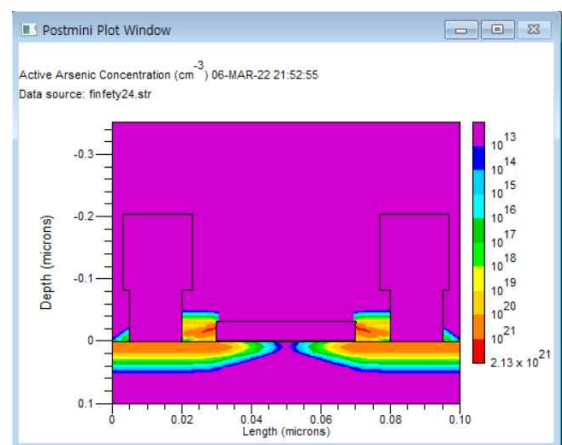
<11. oxide층 증착>



<12. contact metal용 via 식각>



<13. aluminum 증착>



<14. aluminum via 완성>

■ 문제 상황 발생

□ finfet 종합 공정의 최적화를 작년 2학기 계획에는 suprem으로 제작하려 하였으나, 전기적인 특성을 확인하기 위해 코드를 제작한 결과 동작하지 않았다. 이러한 현상은 suprem과 전기적인 특성을 나타나게 해주는 pisces 간의 충돌로 인해 발생한 것으로 추정된다.

■ 문제 해결

□ 이러한 문제를 해결하기 위해 지도교수님께 자문을 한 결과 이번에 새로 구입한 소자, 공정 시뮬레이션 상용 프로그램인 silvaco를 사용하게 되었다.

□ suprem에서 silvaco 코드 전환 과정

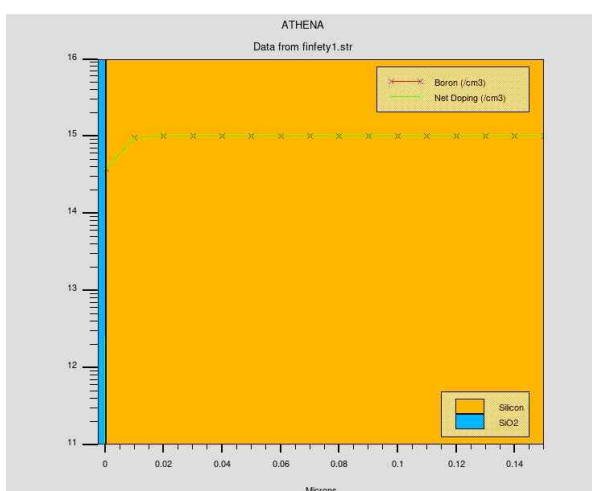
- angle, space 등과 같은 suprem 명령어를 tilt, division 등 silvaco 명령어로 변경
- Tungsten, HCL과 같은 새로운 물질 추가
- 오류가 있었던 코드 복원(etch dry사용 가능, deposit-> diffusion으로 변경)
- atlas를 이용하여 suprem에서 오류가 났었던 전기적 특성을 확인

■ 현재 상황

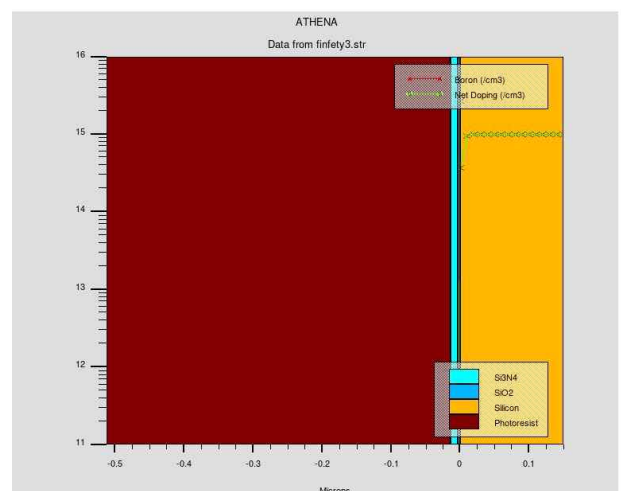
□ 기존 finfet 공정 과정

제작과정은 suprem과 동일하게 제작되었다.

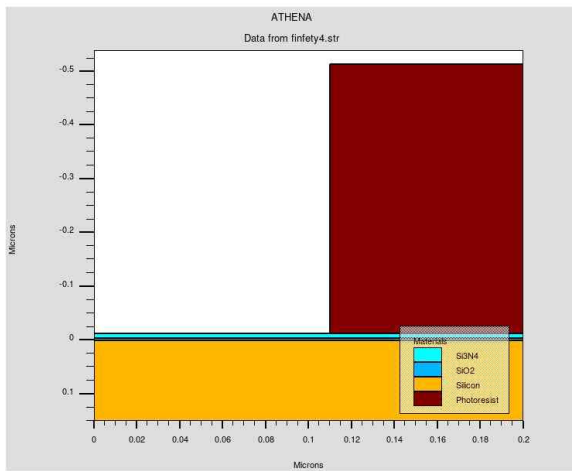
[정면도]



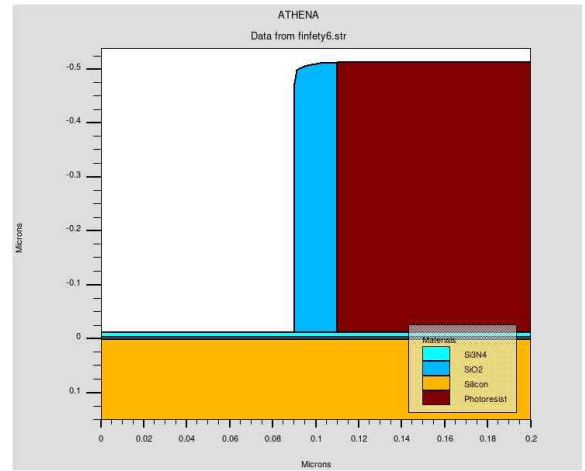
<1. wafer 준비(90도회전)>



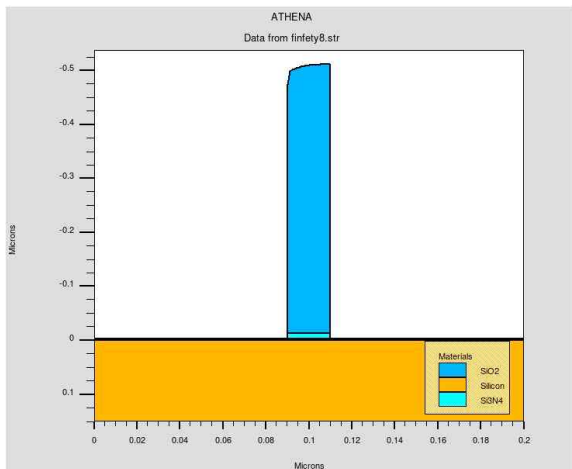
<2. PR 증착(90도회전)>



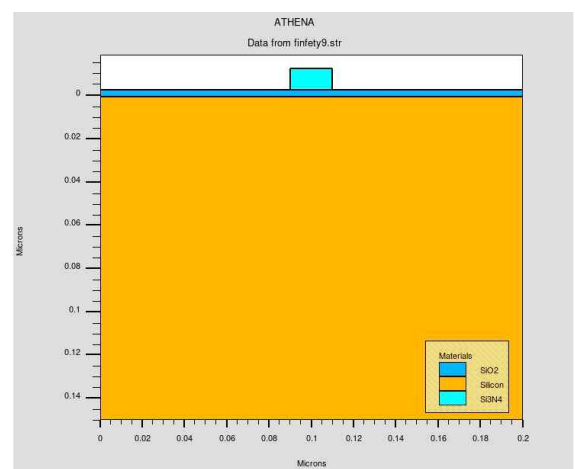
<3. PR strip(fin mask)제작과정>



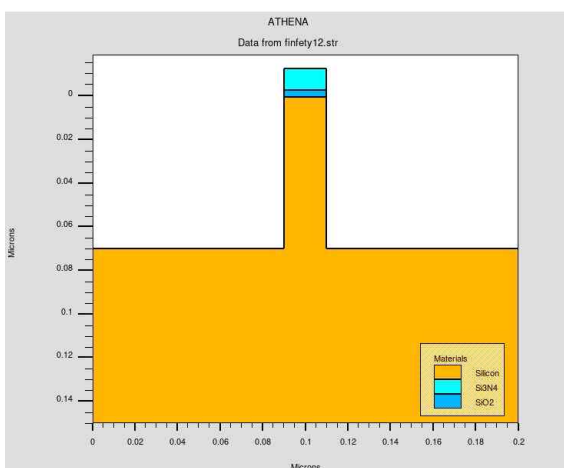
<4. sidewall 산화막 증착>



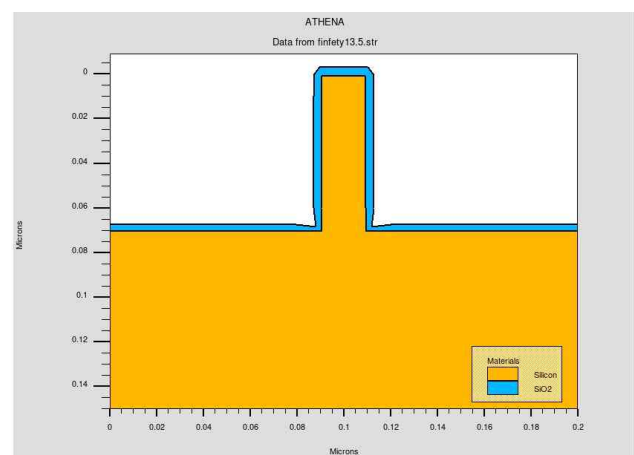
<5. PR 제거>



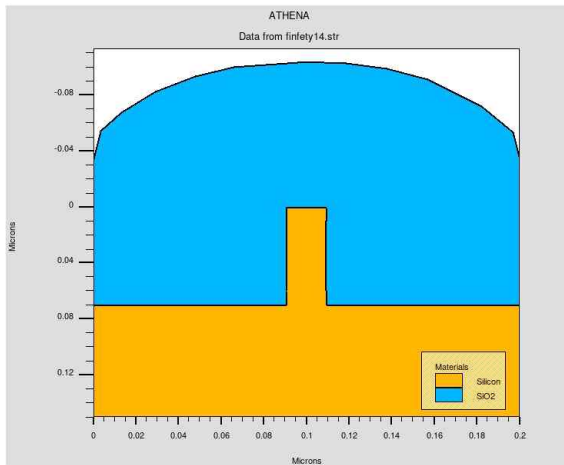
<6. fin mask 제작>



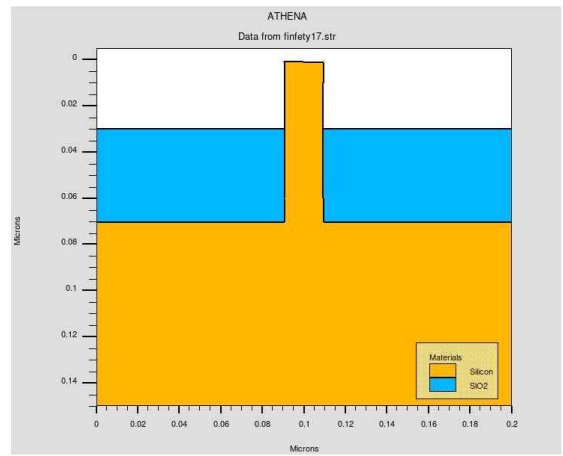
<7. fin 제작>



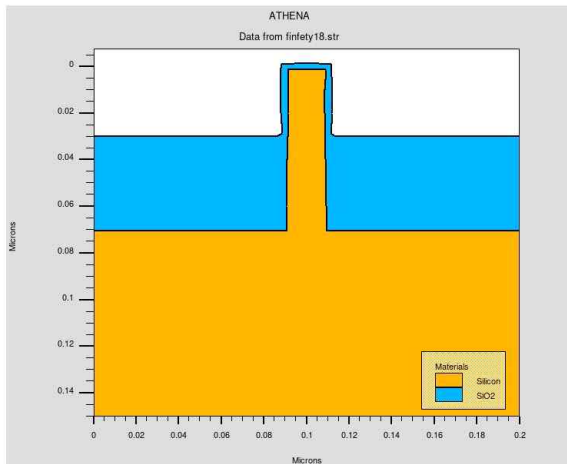
<8. STI 접착용 산화막 제작>



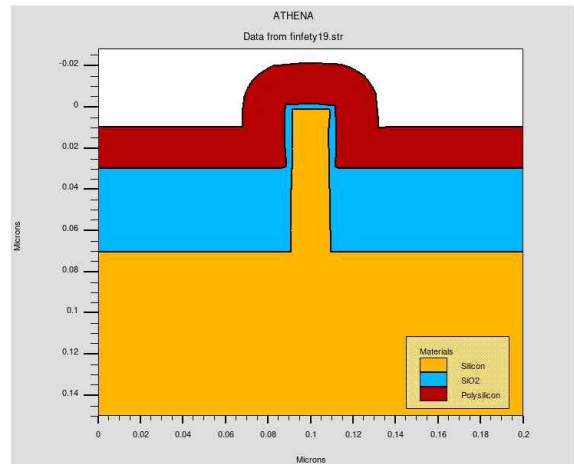
<9. STI 제작용 산화막 증착>



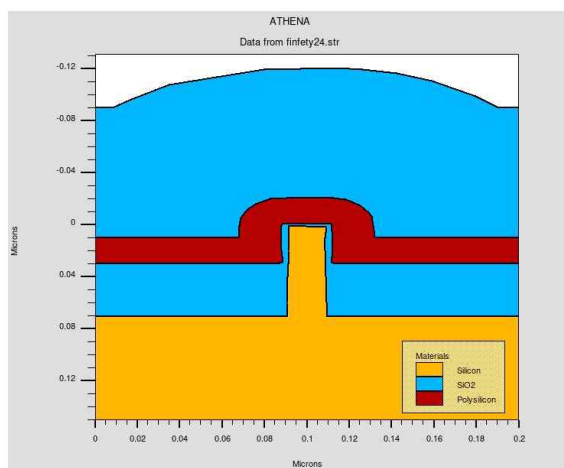
<10. STI 완성>



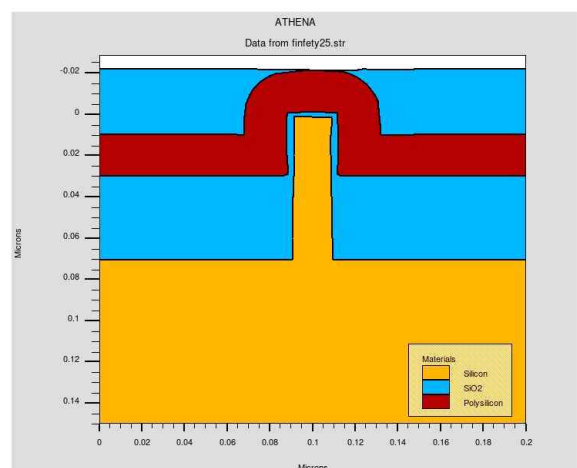
<11. gate oxide 제작>



<12. gate 증착>

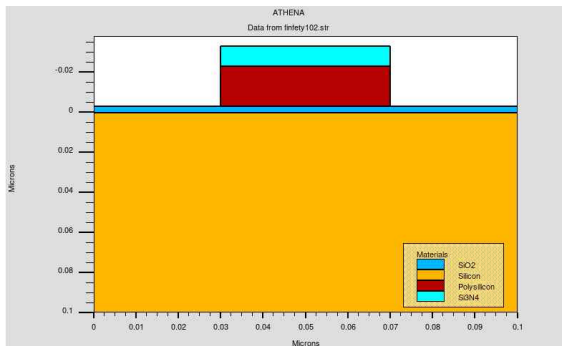


<13. gate oxide 제작>

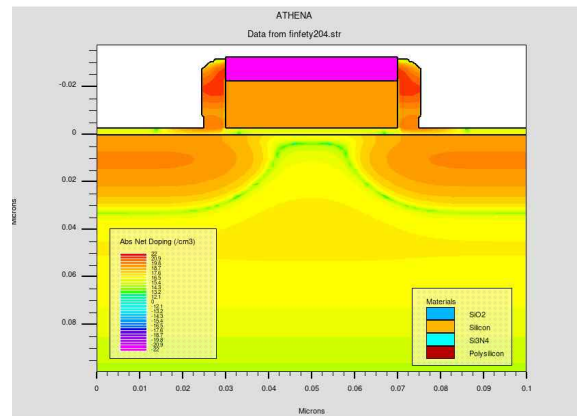


<14. gate 증착>

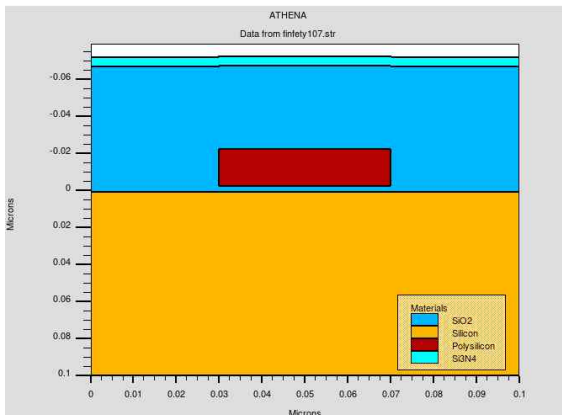
[측면도]



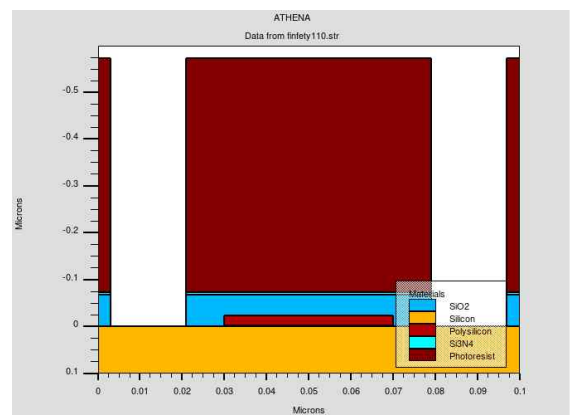
<15. gate 옆 부분 식각 >



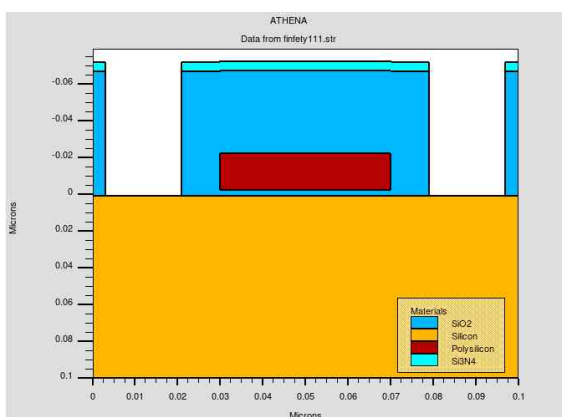
<16. doping arsenic>



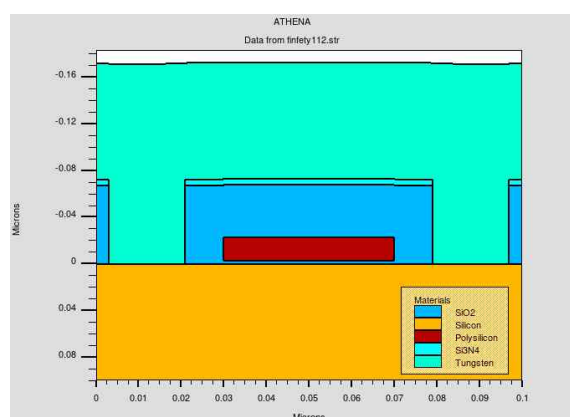
<17. contact metal용 insulator 증착>



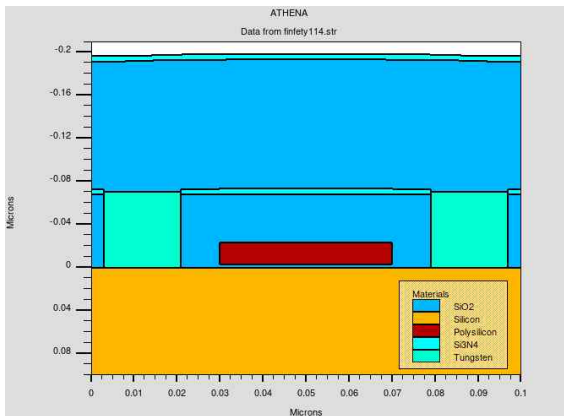
<18. contact via 식각>



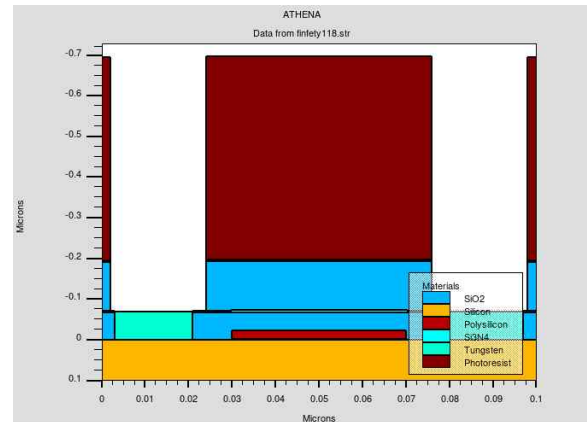
<19. PR 제거>



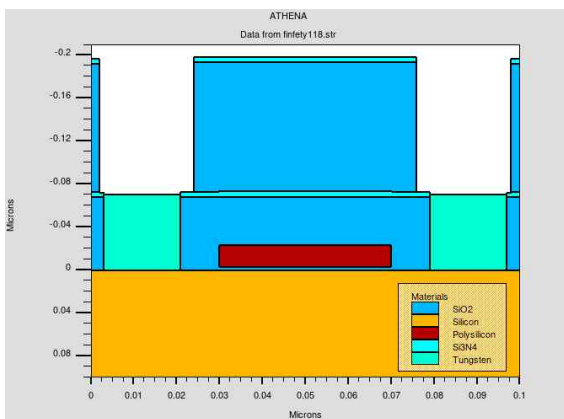
<20. Tungsten 증착>



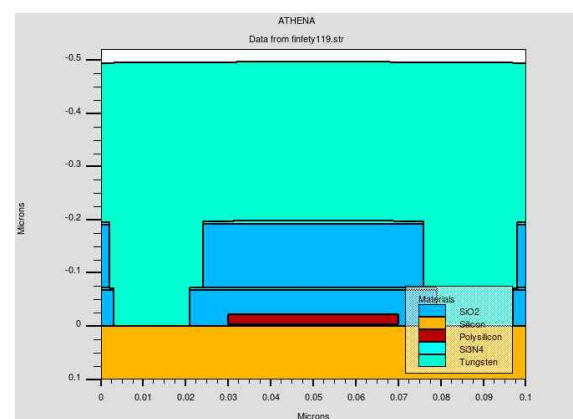
<21. Tungsten cmp & metal1층 insulator 증착>



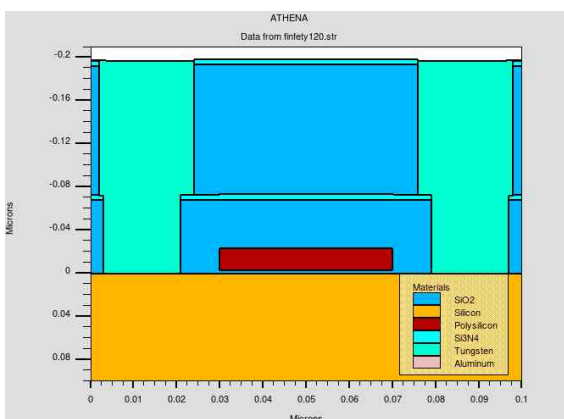
<22. 2층 via 식각>



<23. PR 제거>



<24. Tungsten 증착>



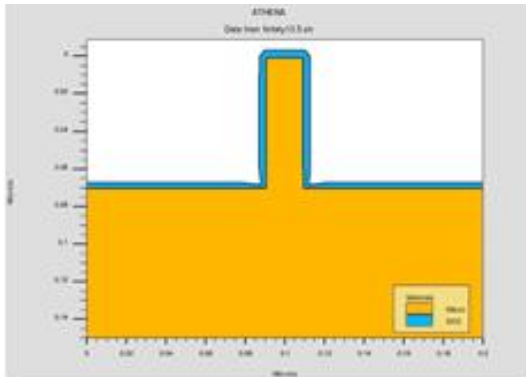
<25. Tungsten cmp & 완성>

□ 새로운 finfet 공정 과정

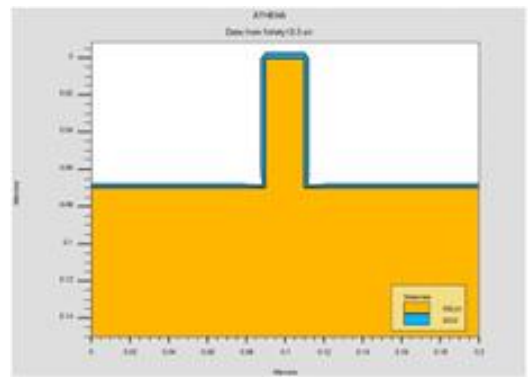
- 기존 finfet 과정에서 줄일 수 있는 증착 물질량, 온도, 그리고 공정들을 코딩 제작 하고, 그 결과를 시뮬레이션을 통해 확인하였다.

① finfet 최적화 온도 감소

- 1000도 공정 -> 800도 공정으로 감소시켜 thermal budget을 감소시켰다.



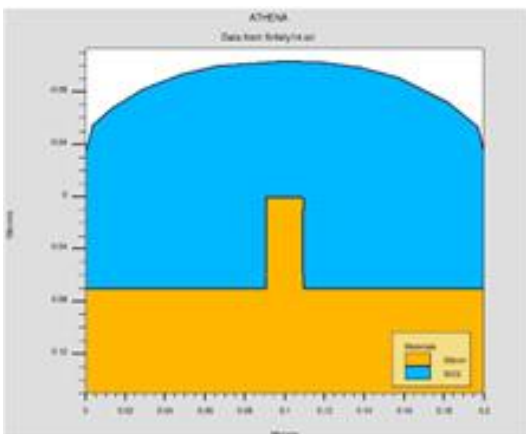
<STI 접착용 산화막 1000도 공정>



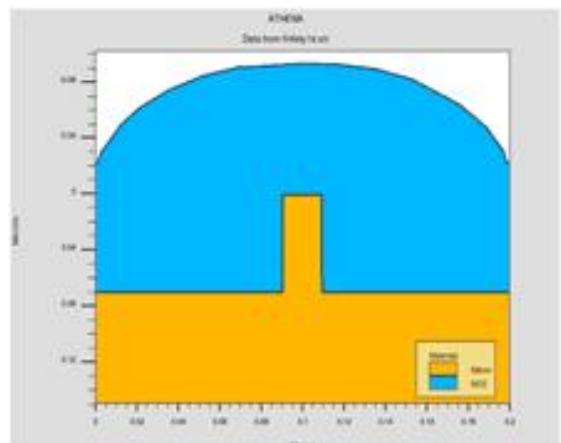
<STI 접착용 산화막 800도 공정>

② finfet 최적화 증착 물질량 감소

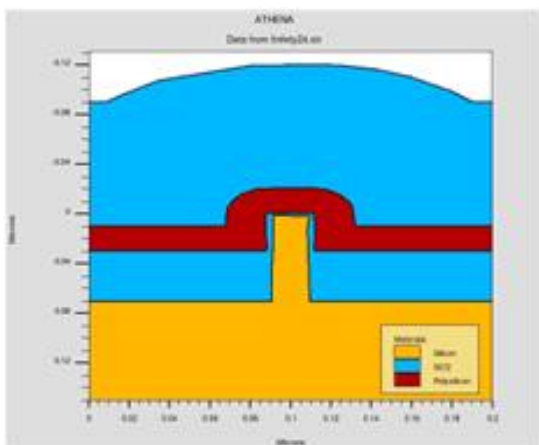
- 전반적으로 최적화된 증착 물질량이 사용되도록 물질량을 줄이고 시뮬레이션을 통해 특성을 확인하였다.



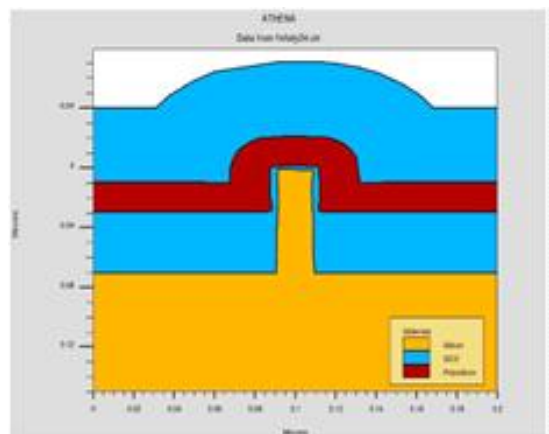
<STI 산화막 증착 0.1um>



<STI 산화막 증착 0.07um>



<gate 보호 산화막 증착 0.1um>



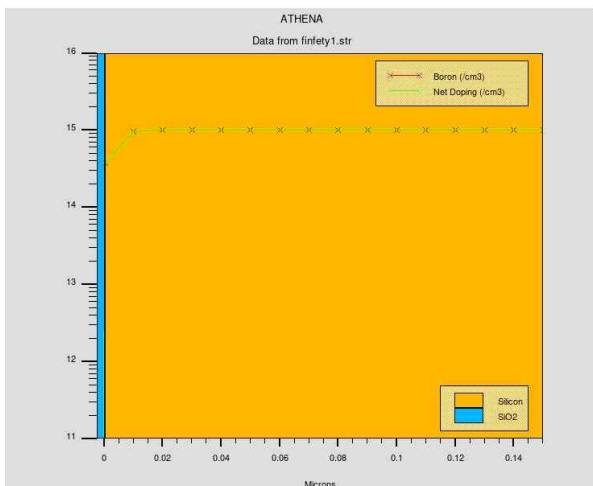
<STI 산화막 증착 0.05um>

③ finfet 최적화 공정 감소

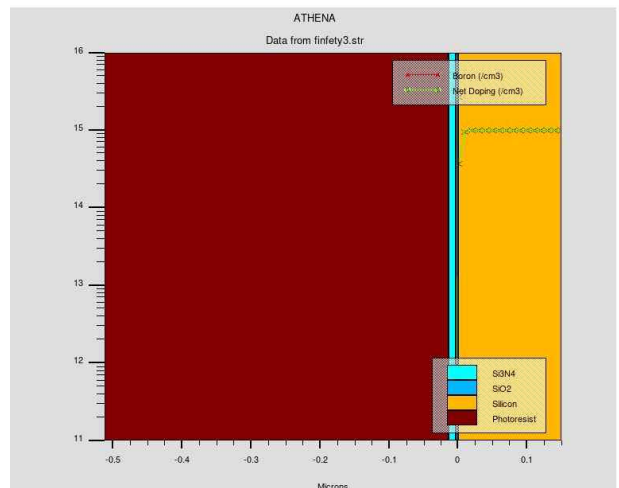
● 금속 공정에서 via를 단순히 뚫는 방식이 아닌 이중 다미신 공정을 도입하여 공정 횟수를 획기적으로 감소시켰다. 이러한 전반적인 공정 감소를 통해 생략된 공정에서 사용된 물질량도 줄일 수 있고, 공정에 사용된 시간 등도 줄일 수 있다.

□ 새로운 finfet 공정 전체 과정

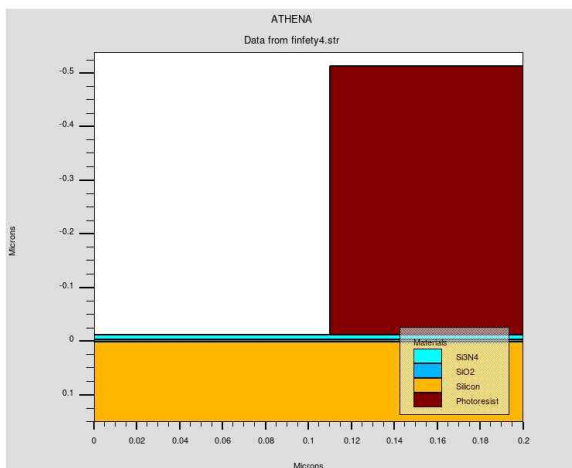
[정면도]



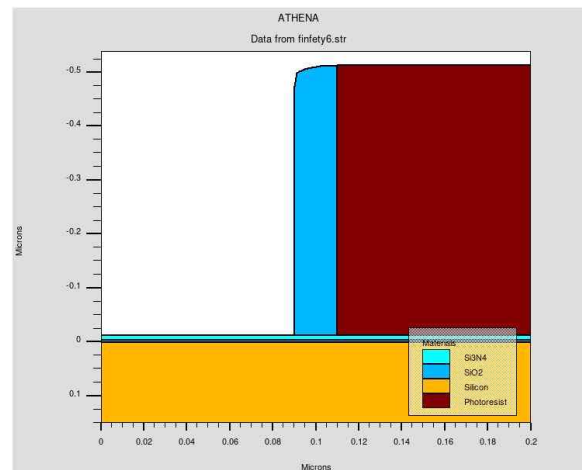
<1. wafer 준비(90도회전)>



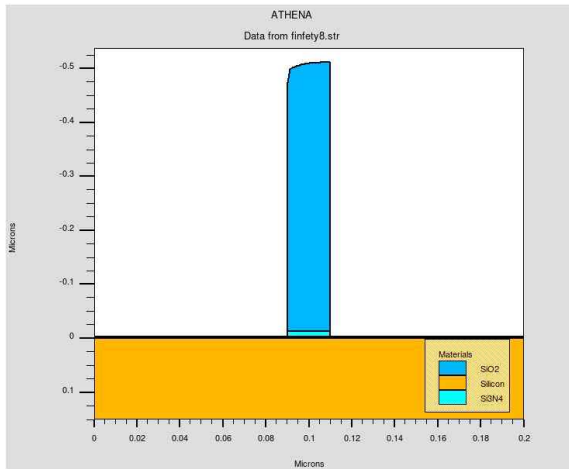
<2. PR 증착(90도회전)>



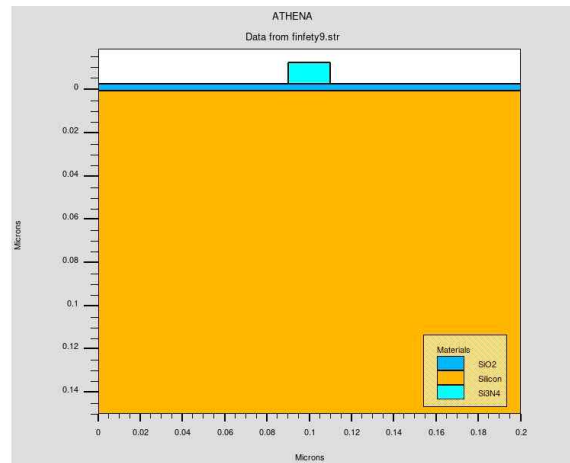
<3. PR strip(fin mask제작과정)>



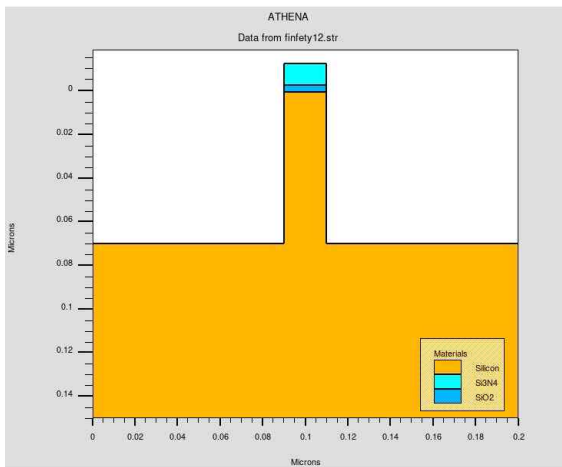
<4. sidewall 산화막 증착>



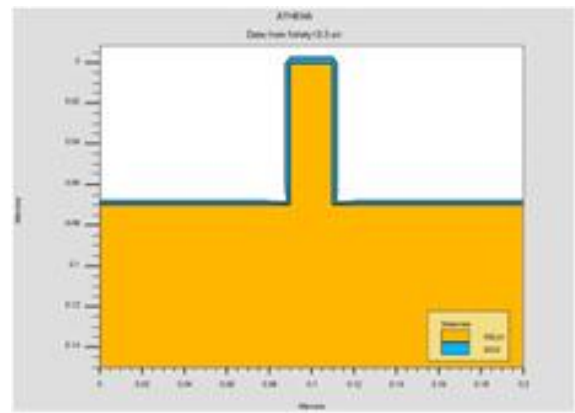
<5. PR 제거>



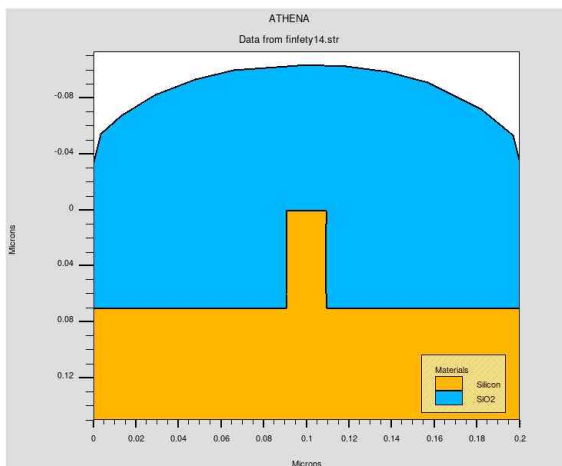
<6. fin mask 제작>



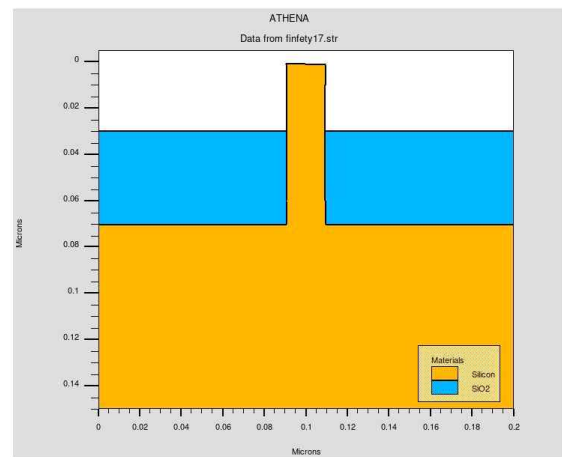
<7. fin 제작>



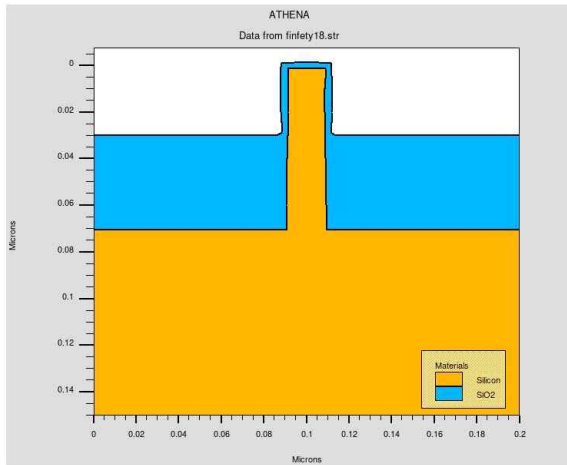
<8. STI 접착용 산화막 800℃로 변경>



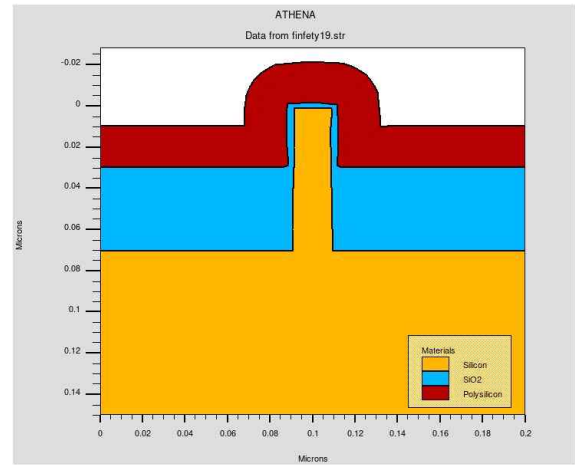
<9. STI 제작용 산화막 0.1에서 0.07um로 감소>



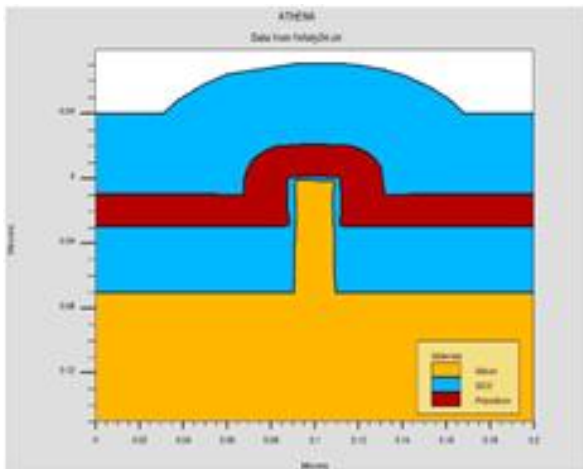
<10. STI 완성>



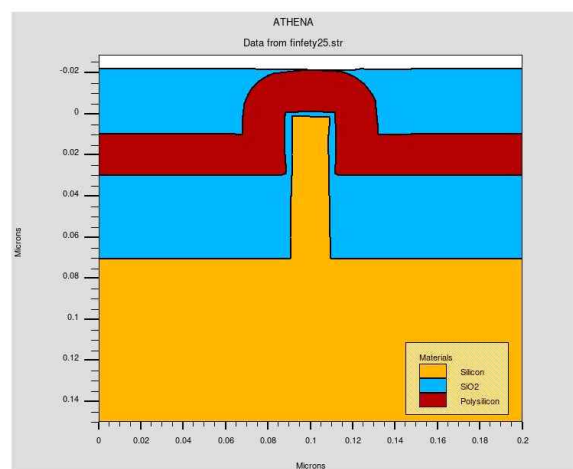
<11. gate oxide 제작>



<12. gate 증착>

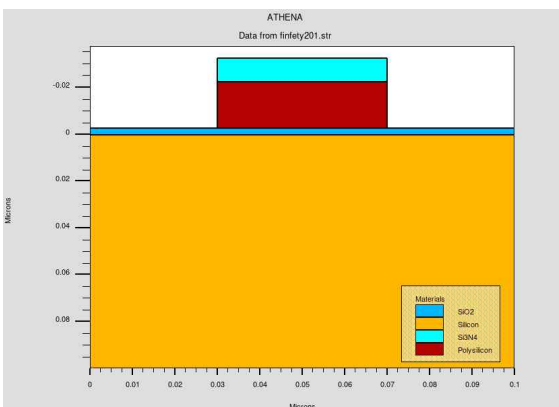


<13. gate 보호 oxide 0.05um로 감소>

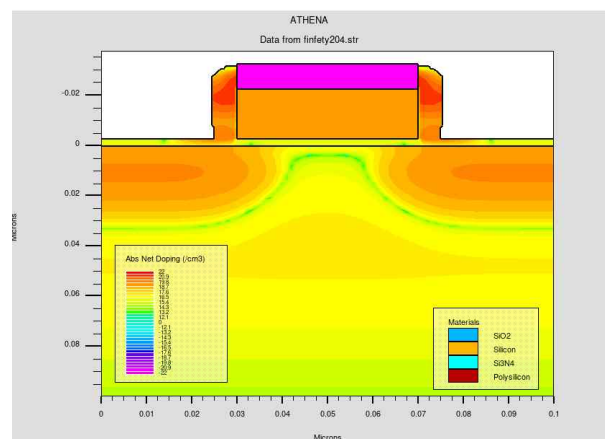


<14. gate 증착>

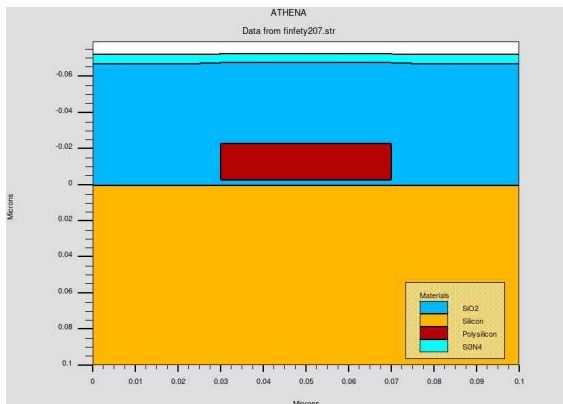
[측면도]



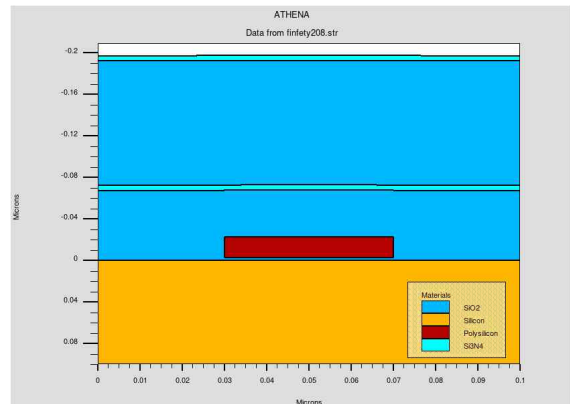
<15. gate 옆 부분 식각 >



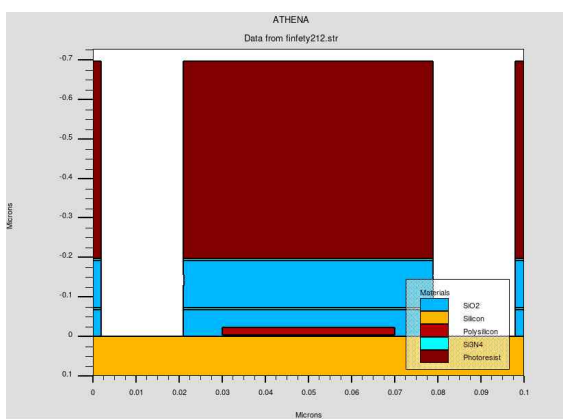
<16. doping arsenic>



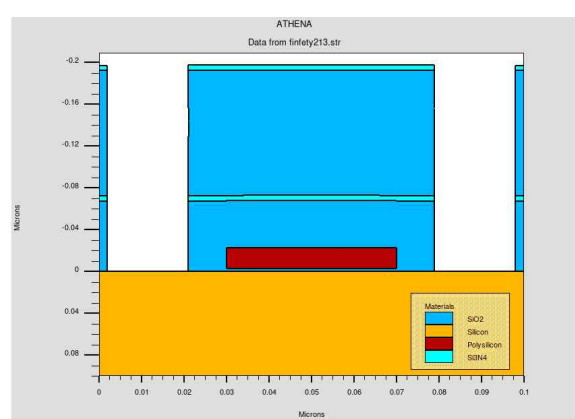
<17. contact metal용 insulator 증착>



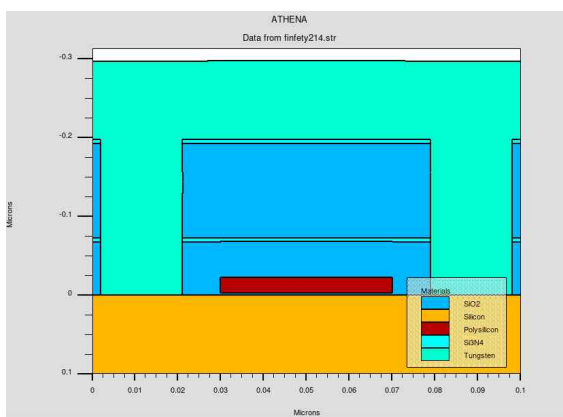
<18. metal층 insulator 증착 >



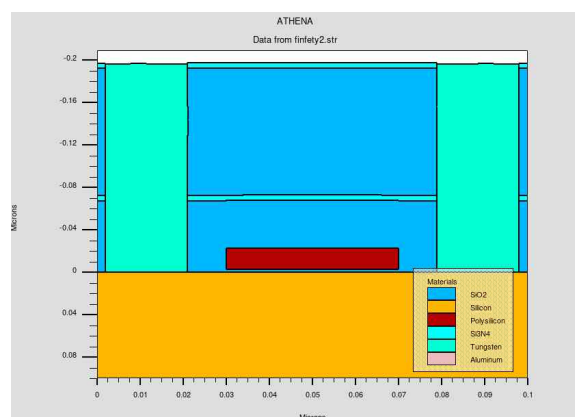
<19. 2개 insulator 동시 식각>



<20. PR 제거>

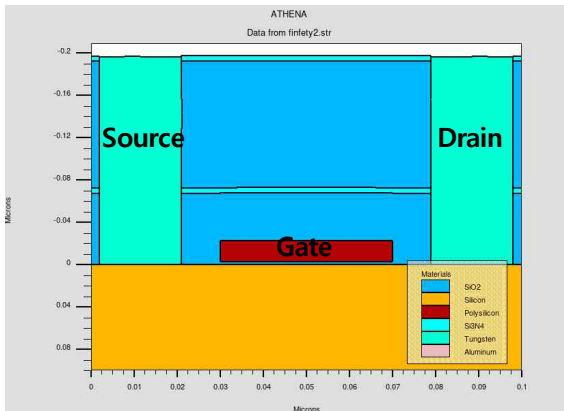


<21. Tungsten 증착>

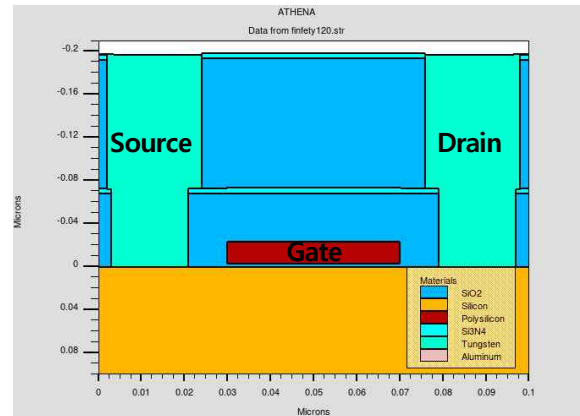


<22. Tungsten cmp & 완성>

■ 전기적 특성 프로그래밍



<기존 finfet>



<새로운 finfet>

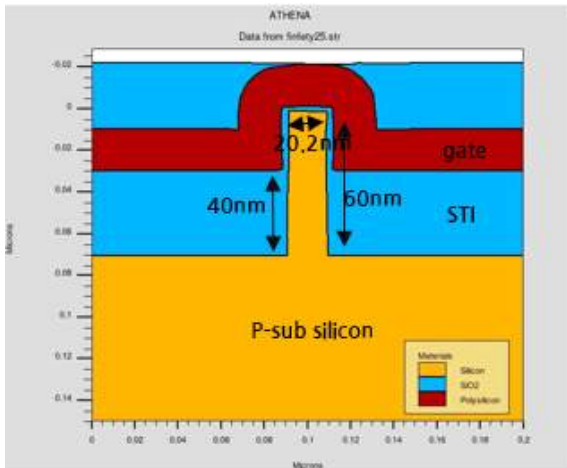
□ 실제 완성된 2개의 소자가 동일한 성능을 나타내는지 알아보기 위해 전기적 특성을 비교해본다. 각 노드의 name은 위의 그림과 같이 정의하였고, 이를 통해 ID-VDS 그래프와 ID-VGS 그래프 그리고 $\log(ID)$ -VGS 그래프를 알아보고 각각의 특성을 비교하도록 한다. 결과는 다음 목차인 최종 작품에서 확인할 수 있다.

4. 최종 작품

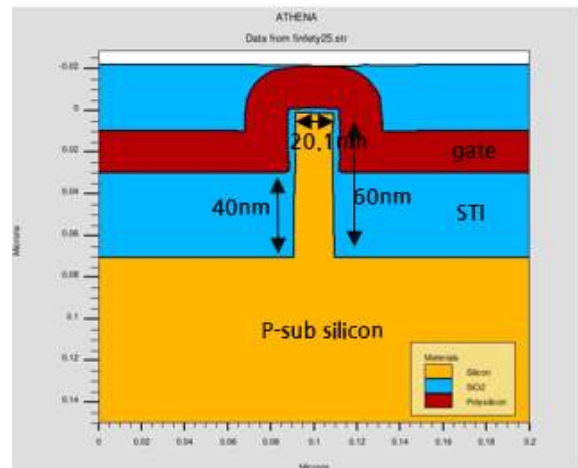
■ 공정 결과 size 비교

<기존 공정>

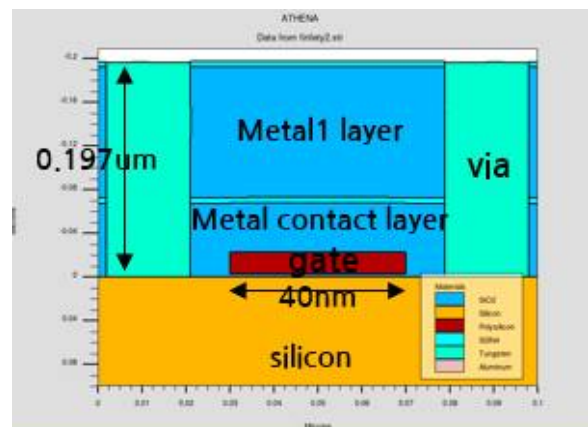
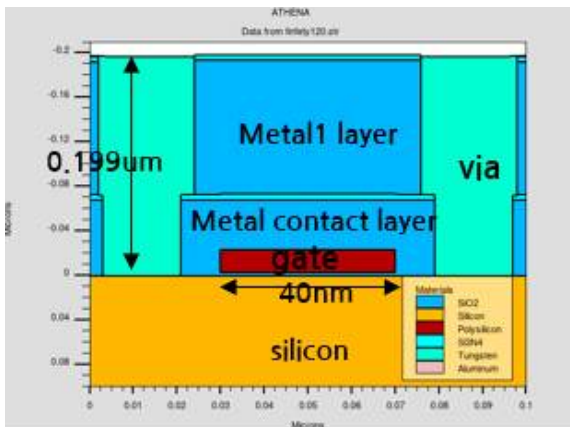
[정면도]



<새로운 공정>



[측면도]



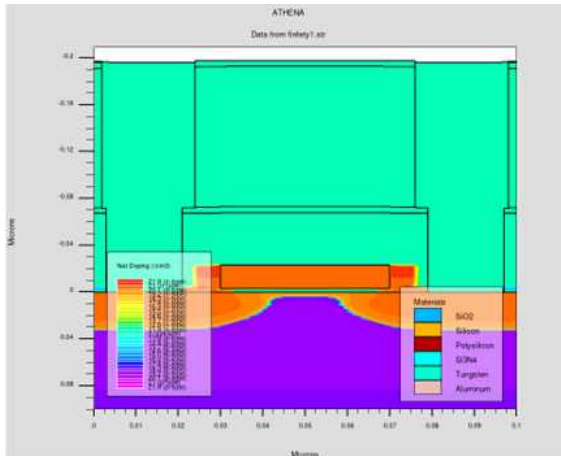
□ size 결과 비교표

	기존 공정	새로운 공정
Width	20.2nm	20.1nm
Length	40nm	40nm
Fin Hight	60nm	60nm
Via Hight	0.199um	0.197um
Gate oxide thick	2.93nm	2.92nm

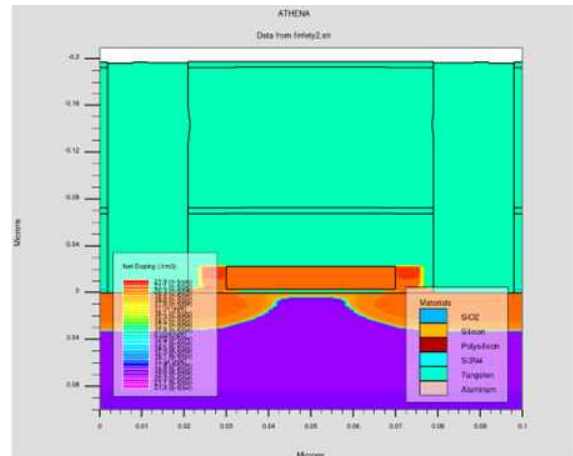
□ 공정 size 비교 결과 기존 공정에서 구한 FET의 전반적인 주요 size와 새로운 공정의 그림을 통해 구한 주요 size가 거의 동일함을 알 수 있다.

■ 도핑 결과 비교

<기존 공정>



<새로운 공정>



□ 도핑 농도 비교 표

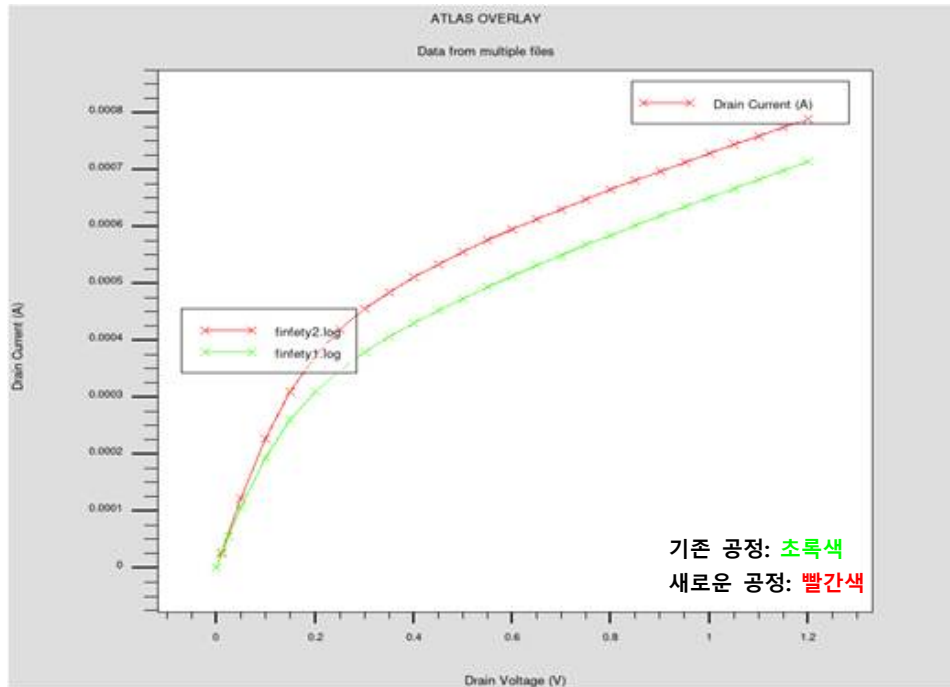
	기존 공정	새로운 공정
source/drain 도핑농도	$1.26 \times 10^{20} cm^{-3}$	$1.99 \times 10^{20} cm^{-3}$
Gate 도핑 농도	$1.00 \times 10^{20} cm^{-3}$	$1.26 \times 10^{20} cm^{-3}$
기판 도핑 농도	$1.7 \times 10^{18} cm^{-3}$	$1.7 \times 10^{18} cm^{-3}$

□ 프로그램을 이용해 농도를 비교해볼 수 있었다. 첫 번째로 source와 drain의 도핑 농도를 비교하였다. 그 결과 가장 높은 도핑농도가 기존 공정에서는 $1.26 \times 10^{20} cm^{-3}$ 이고 새로운 공정에서는 $1.99 \times 10^{20} cm^{-3}$ 으로 새로운 공정에서 조금 더 높은 도핑농도를 확인할 수 있었다.

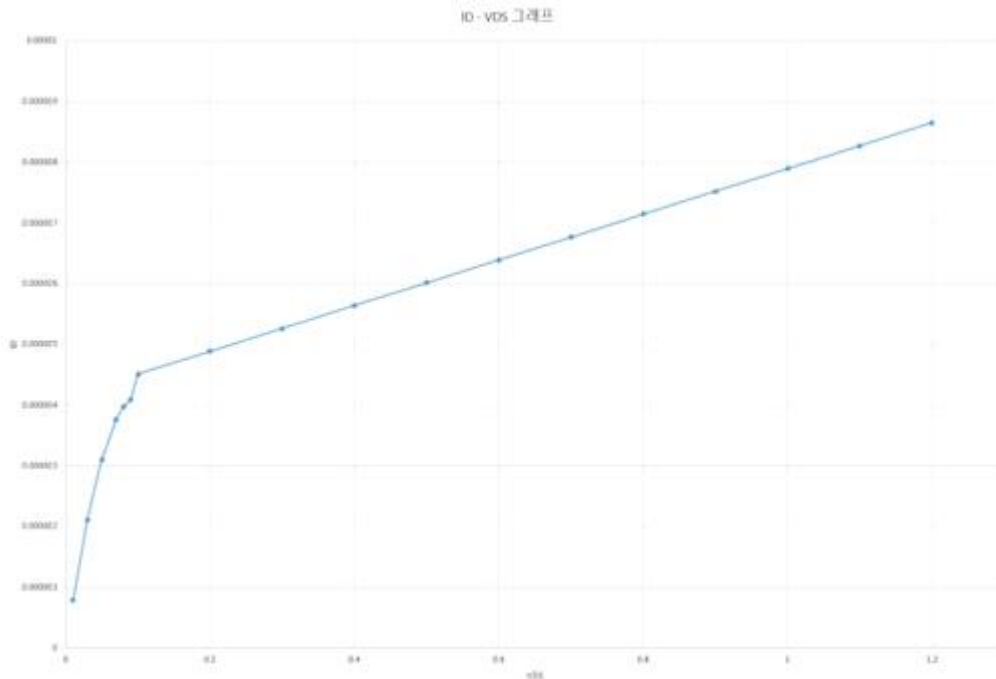
□ 두 번째로 Gate 도핑농도를 확인하였다. 그 결과 기존 공정은 $1.00 \times 10^{20} cm^{-3}$ 로 나타났고 새로운 공정에서는 $1.26 \times 10^{20} cm^{-3}$ 으로 나타났다. 이 결과를 통해 새로운 공정이 조금 더 높았지만 Gate 도핑농도는 거의 비슷하다는 것을 알 수 있다.

□ 세 번째로 기판의 도핑농도를 확인하였다. 결과는 기존 공정과 새로운 공정 모두 $1.7 \times 10^{18} cm^{-3}$ 로 같은 값을 나타내었다. 즉, 기판의 농도는 동일한 것을 알 수 있다.

■ $I_D - V_{DS}$ 측정 결과



< $I_D - V_{DS}$ 그래프 비교>



< $I_D - V_{DS}$ 이론 계산 그래프>

□ 이론식

비 포화 영역: $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$

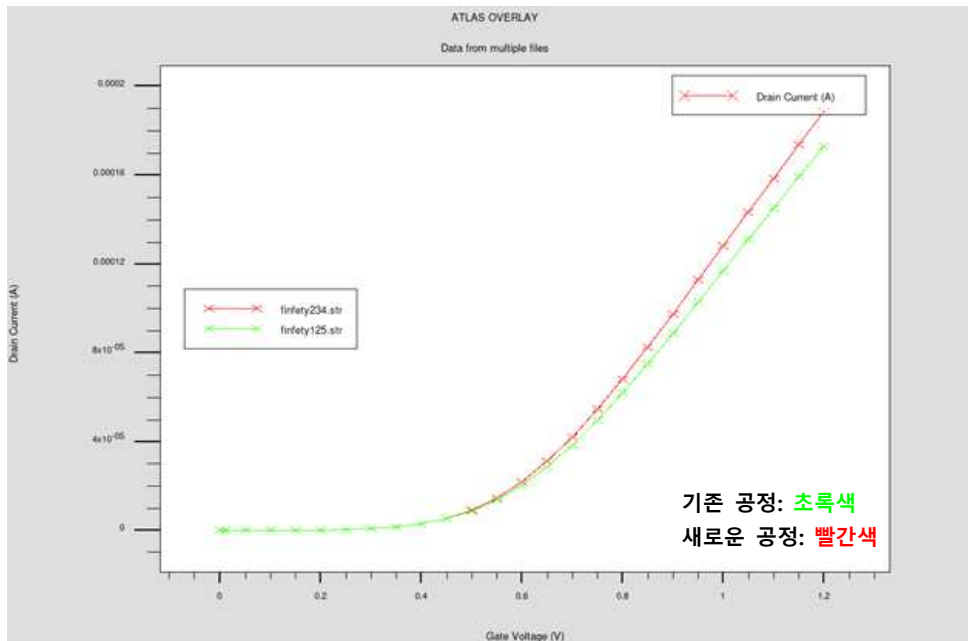
포화 영역: $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2$

□ $I_D - V_{DS}$ 그래프를 비교한 결과 기존 공정과 새로운 공정에서의 결과의 추세가 비슷한 것으로 나타났다. 약간의 차이로 새로운 공정이 기존 공정보다 좀 더 많은 전류가 흐르는데 이는 gate, source, drain 도핑농도가 새로운 공정이 기존 공정보다 더 높기 때문에 발생한 것으로 예측된다.

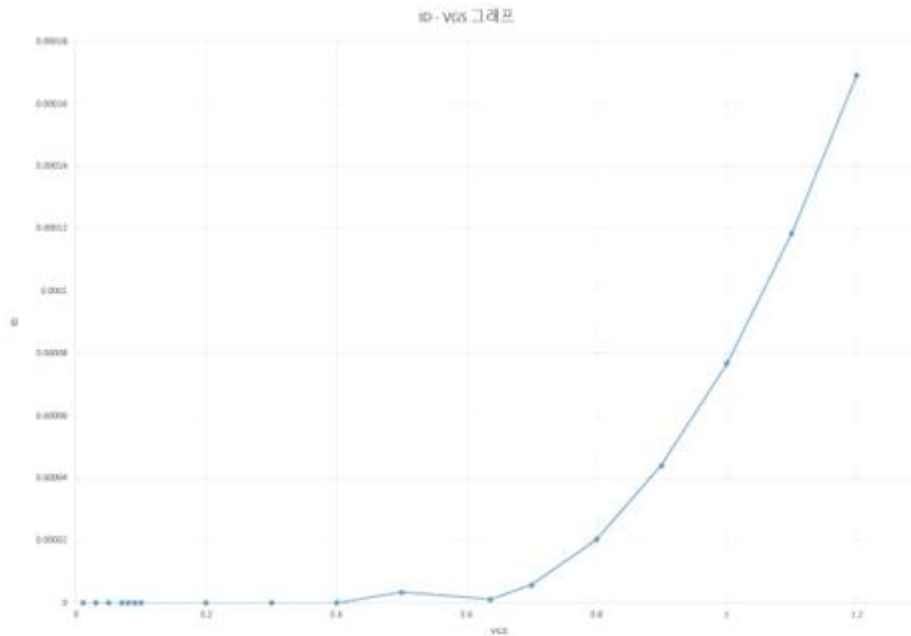
□ $I_D - V_{DS}$ 이론식을 이용하여 그린 그래프와 실제 구한 그래프를 비교한 결과 비슷한 추세를 나타내는 것으로 보아 공정에서 구한 $I_D - V_{DS}$ 그래프가 신뢰할만한 결과임을 알 수 있다.

□ V_{GS} 가 일정할 때, $I_D - V_{DS}$ 그래프를 통해 기존 공정과 새로운 공정이 비슷한 동작을 할 것임을 알 수 있다.

■ $I_D - V_{GS}$ 측정 결과



< $I_D - V_{GS}$ 그래프 비교>



< $I_D - V_{GS}$ 이론 계산 그래프>

□ 이론식

$$I_D - V_{GS} \text{ 계산: } I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2$$

$$\text{문턱 전압: } V_{TH} = V_{FB} + 2\phi_B + \frac{\sqrt{qN_A 2\epsilon_{si} 2\phi_B}}{C_{ox}}$$

□ 문턱전압 결과

	기존 공정	새로운 공정	이론식 계산
문턱 전압(V_{TH})	0.532V	0.537V	0.587V

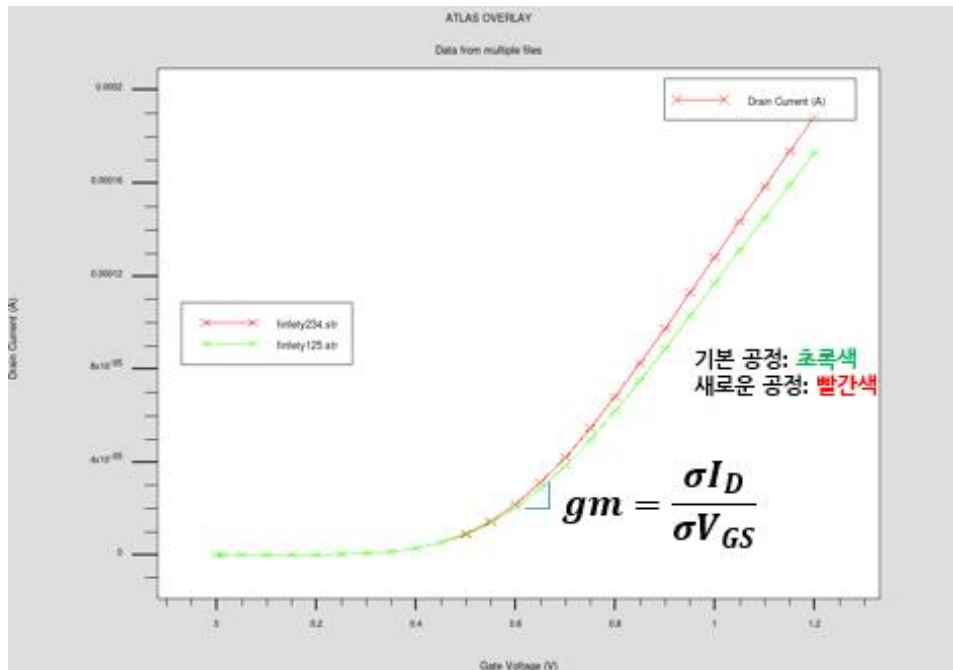
□ $I_D - V_{GS}$ 그래프를 확인한 결과 기존 공정과 새로운 공정이 거의 같은 추세로 전류가 증가하는 것을 확인할 수 있었다. 같은 V_{GS} 전압에서 새로운 공정이 기존 공정보다 더 많은 전류가 흐르고 조금 더 가파르게 증가하는 현상을 보이는 것으로 보아 새로운 공정이 조금 더 좋은 소자임을 알 수 있다.

□ 이론으로 계산하여 그린 $I_D - V_{GS}$ 그래프의 전류 추세 및 전류 값의 결과가 공정에서 구한 $I_D - V_{GS}$ 그래프 결과와 유사한 것으로 보아 본 연구에서 구한 그래프는 신뢰할만한 결과임일 알 수 있다.

□ 소자의 스위치 역할을 하는 문턱전압을 구한 결과 기존 공정과 새로운 공정의 문턱 전압값이 거의 같은 것으로 확인되어 두 소자가 비슷한 동작을 할 수 있을 것이라 예측된다. 또한 이론 계산결과인 0.587V와 근접한 결과를 나타냈으므로 두 결과가 신

뢰할만한 결과임을 나타낸다.

■ 트랜스 컨덕턴스 결과



< $I_D - V_{GS}$ 그래프 이용한 gm 비교>

□ 이론식

트랜스 컨덕턴스: $gm = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D}$

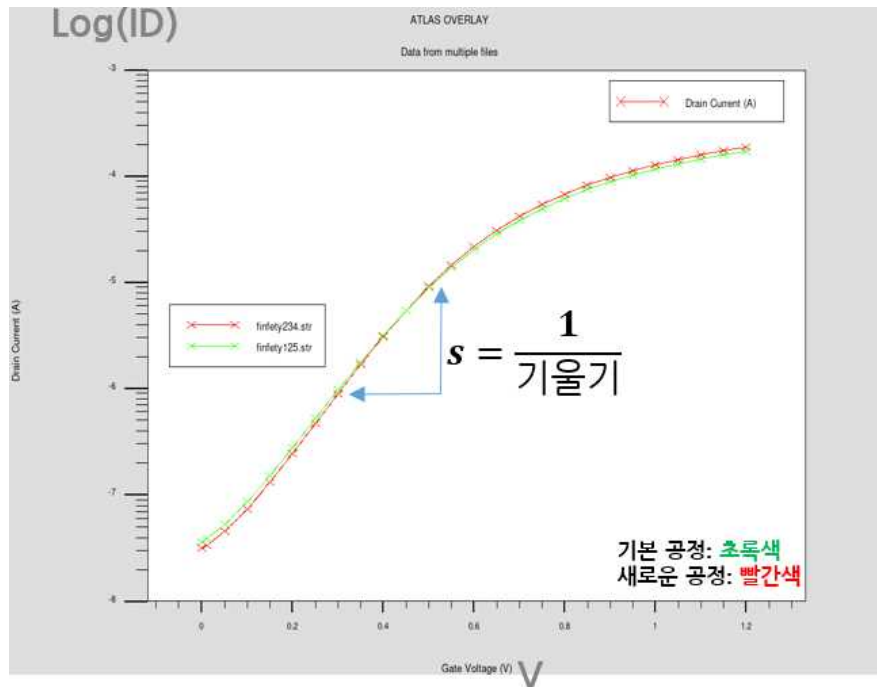
□ 트랜스 컨덕턴스 결과

	기존 공정	새로운 공정	이론식 계산
트랜스 컨덕턴스(gm)	0.157mA/V	0.18mA/V	0.11mA/V

□ 트랜스 컨덕턴스는 V_{GS} 의 변화에 따른 I_D 의 변화로 소자의 증폭기 성능에 있어 중요한 파라미터이다. 기존 공정과 새로운 공정의 트랜스 컨덕턴스를 비교한 결과 비슷한 트랜스 컨덕턴스를 가지는 것을 확인할 수 있다. 이를 통해 두 소자는 비슷한 증폭기 성능을 발휘할 수 있음을 알 수 있다.

□ 이론식을 이용해 계산한 트랜스 컨덕턴스 결과는 0.11mA/V로 두 공정의 결과인 0.157mA/V와 새로운 공정 0.18mA/V와 유사하다. 약간의 작은 오차는 이론 수식이 LEVEL 1의 간략한 수식이기 때문에 발생한 것으로 예상된다. 하지만 이론 결과와 유사한 트랜스 컨덕턴스를 가지므로 공정의 결과가 신뢰할만한 결과임을 알 수 있다.

■ SubThreshold swing 결과



<log(I_D) - V_{GS} 그래프>

□ 이론식

SubThreshold swing: $S = 2.3 \frac{kT}{q} \left(1 + \frac{C_d + C_{it}}{C_i} \right)$

□ SubThreshold swing 결과

	기존 공정	새로운 공정	이론식 계산
트랜스 컨덕턴스(gm)	211mV/decade	203mV/decade	80mV/decade

□ SubThreshold swing은 문턱 전압 이하에서의 누설 전류를 확인하기 위한 성능 지표이다. 문턱 전압 이하에서는 전류가 흐르지 않아야 하는데 leakage에 의해 누설 전류가 발생하게 된다. 이러한 지표인 SubThreshold swing를 비교한 결과 기존 결과와 새로운 결과가 비슷한 누설 전류를 가지는 것을 확인할 수 있었다.

□ SubThreshold swing이 새로운 공정이 기존 공정보다 작은 것으로 보아 누설 전류가 조금 더 적을 것으로 예상되며, 새로운 공정이 오히려 더 좋은 성능을 나타내는 것이라 예측된다.

□ SubThreshold swing의 이론으로 계산한 결과는 80mA/decade로 기존, 새로운

공정과 큰 차이를 보였다. 이는 SubThreshold swing를 계산할 때 커패시터 파라미터를 소자에서 구할 수 없어서 이상적인 커패시터 값을 이용하여 계산하였다. 그 결과 이상적으로 낮은 누설 전류인 80mA/decade가 나타난 것을 확인할 수 있다. 이 결과를 통해 결과의 신뢰를 입증하긴 어려우나 본 연구 이후의 목표로서 결과를 활용할 예정이다.

■ 결과 정리

□ 공정 횟수 표

공정 종류	기존 공정의 횟수	새로운 공정의 횟수
Photolithography	5회	4회
Etching	13회	12회
Deposit	12회	10회
CMP	4회	3회
Diffuse	5회	5회

□ 공정 이용 물질/온도 변화 표

공정 종류	양/온도	양/온도
Deposit 전체 사용량	2.96um	2.08um
temperature	1000도	800도

□ 공정 결과 파라미터 표

특성	계산 값	기존 공정	새로운 공정
g_m (mV/A)	0.11	0.157	0.18
V_t (V)	0.587	0.532	0.537
SS(mV/dec)	80	211	200

■ 결론

□ 공정 횟수를 확인한 결과 전체적으로 공정 횟수가 감소하거나 유지된 것으로 나타났다.

□ 전체적으로 기존 공정에 비해 새로운 공정에서의 공정 횟수가 5회 감소하였고 이를 통해 새로운 공정이 기존 공정보다 더 효율적이고 시간 절약이 가능하다는 것을 알 수 있다.

□ 공정에서 이용한 물질량이 기존 2.96um에서 2.08um로 감소하여 약 0.88um 정도의 물질을 줄일 수 있었다. 이를 통해 공정에서 사용되는 물질 비용 감소와 소자 제작 속도도 조금 더 빨라질 것이다.

□ 열처리 공정의 온도를 최소화하여 1000℃에서 800℃로 줄임으로써 thermal budget을 조금이나마 줄일 수 있었다.

□ 제작된 기존 공정의 소자와 새로운 공정의 소자를 비교한 결과 I_D-V_{DS} 특성과 I_D-V_{GS} 특성이 비슷한 추세를 나타내었고, 트랜스 컨덕턴스(gm), 문턱 전압(V_{TH}), SubThreshold swing의 값이 비슷하게 나타난 것을 보아 두 소자가 비슷한 동작을 할 것임을 알 수 있다. 즉, 공정은 새로운 공정이 기존 공정보다 더 적고, 더 적은 물질량과 온도를 사용하며, 더 빠른 소자 생산이 가능하지만 새로운 공정의 소자와 기존 공정의 소자가 동일한 파라미터를 가져 비슷한 동작이 가능하므로 본 연구에서 제안하는 새로운 공정이 더 효율적인 공정이다.

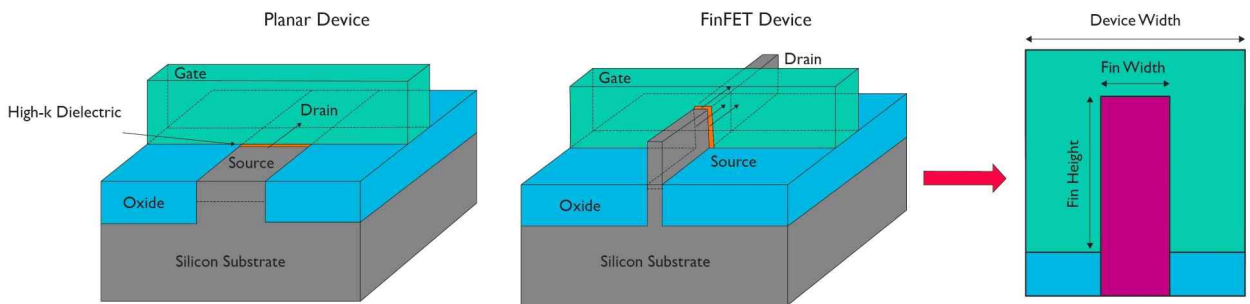
□ 특성 파라미터는 기존 공정과 새로운 공정이 일치하였고, 이론에서 계산한 결과값과 유사한 파라미터 결과를 나타내는 것을 확인하여 이번 연구에서 계산한 결과가 신뢰할만한 결과라고 말할 수 있다.

□ SubThreshold swing의 이론 계산 결과는 이상적인 결과로 앞으로의 연구는 이 값을 목표로 더 좋은 성능의 소자를 개발하도록 노력할 것이다.

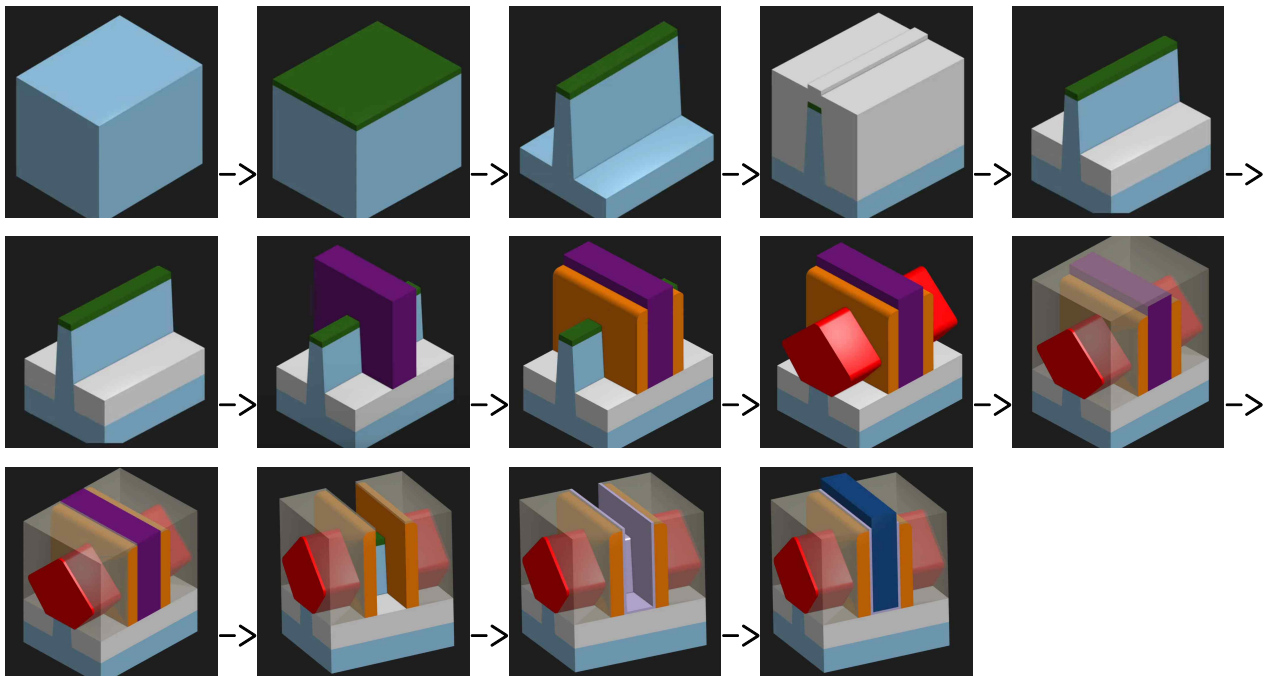
□ 앞으로의 소자 연구에서는 소자의 Length를 더욱 줄여 집적도를 향상시키고, 프로그래밍을 통해 소자 제작에서 발생하는 defect이나 불순물 등을 모델에 추가하여 좀 더 현실적인 소자를 만들도록 할 예정이다.

5. 부록

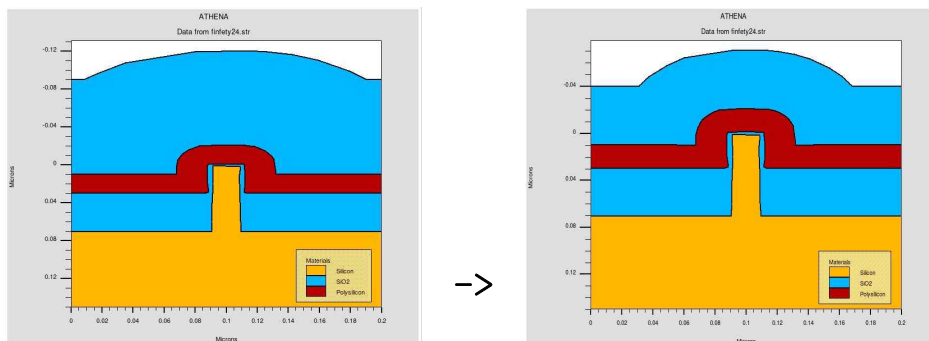
■ 그림 1 : mosfet과 finfet의 차이점



■ 그림 2~14 : finfet의 공정 과정



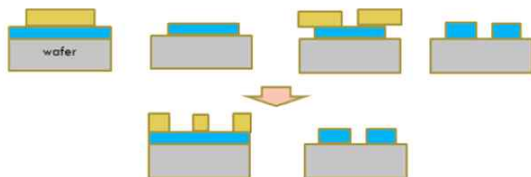
■ 그림 15 : depo 물질 감소 → depo,etch 시간감소



■ 그림 16 : annealing 시간, 온도 감소



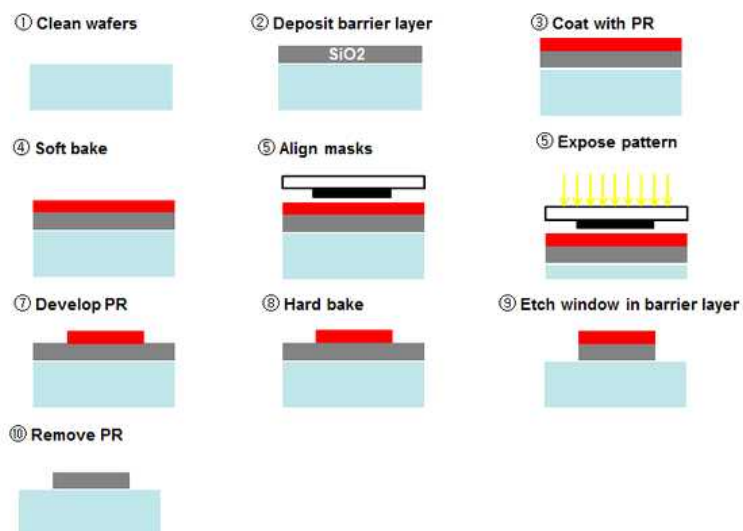
■ 그림 17 : 포토, 식각 공정 횟수 감소



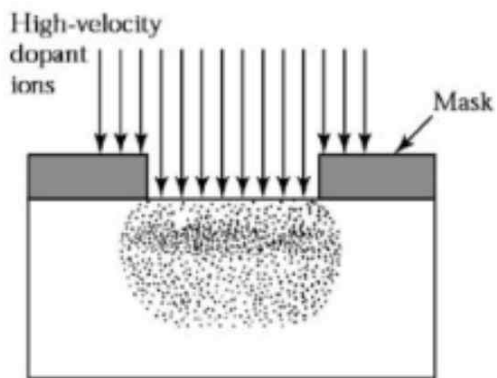
■ 그림 18 : 산화 공정



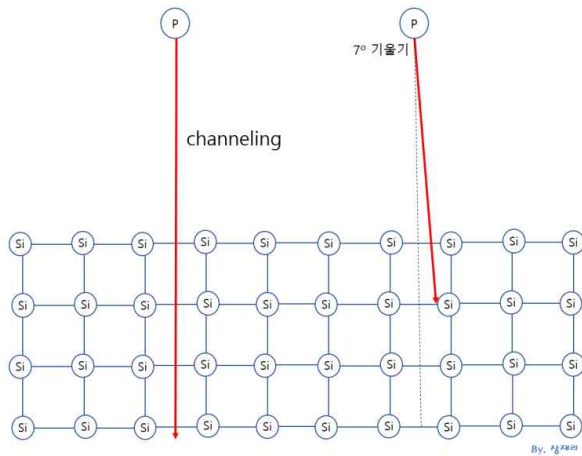
■ 그림 19 : 포토 공정



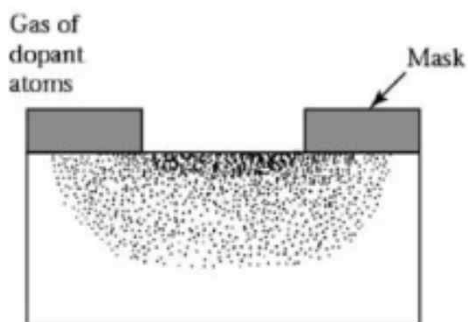
■ 그림 20 : 이온 주입 공정



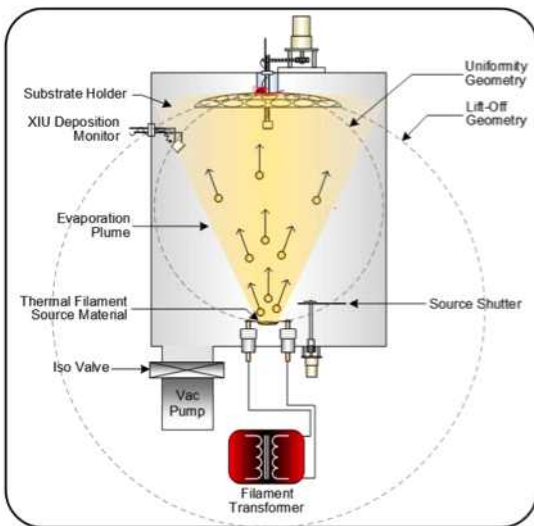
■ 그림 21: 기울기에 따른 이온 주입 공정



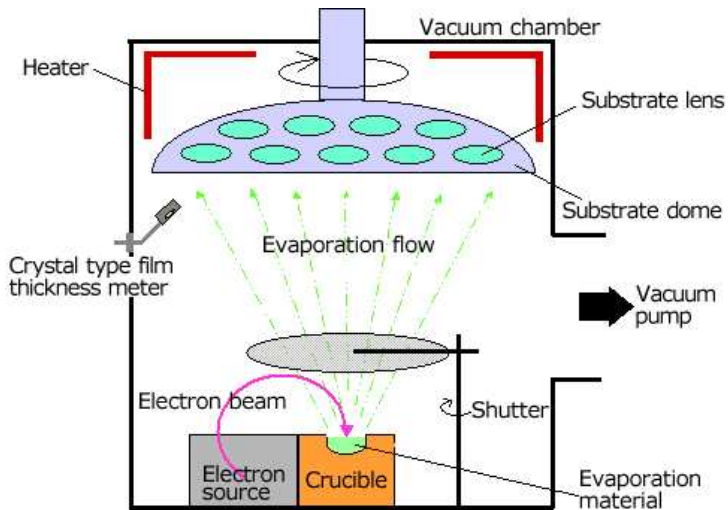
■ 그림 22 : 열 확산 공정



■ 그림 23 : Thermal Evaporation



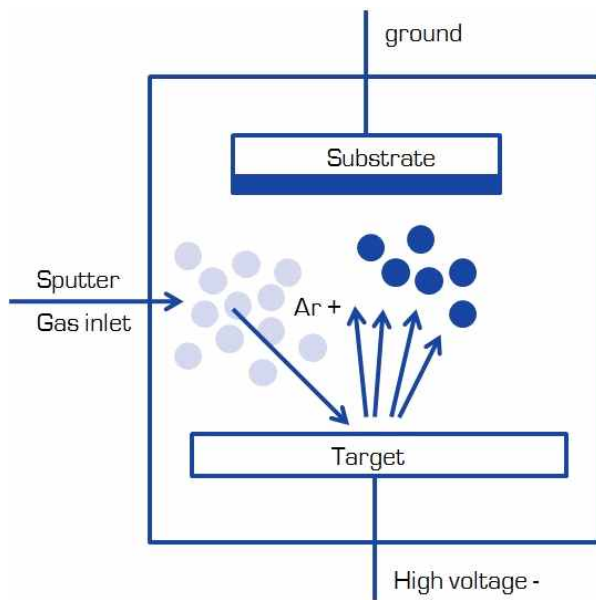
■ 그림 24 : E-beam Evaporation



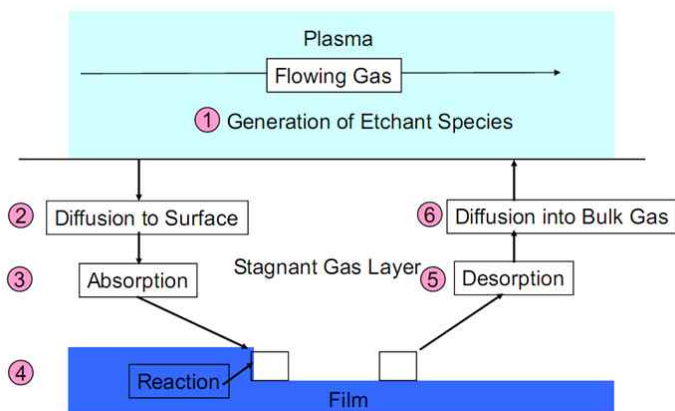
■ 그림 25, 26 : Step coverage good, bad



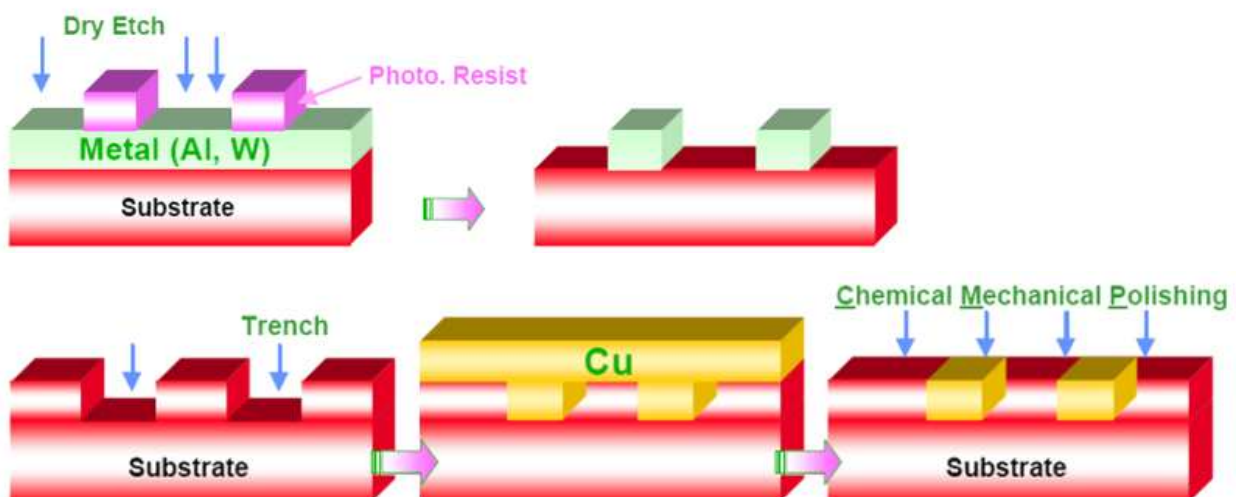
■ 그림 27 : 스퍼터링



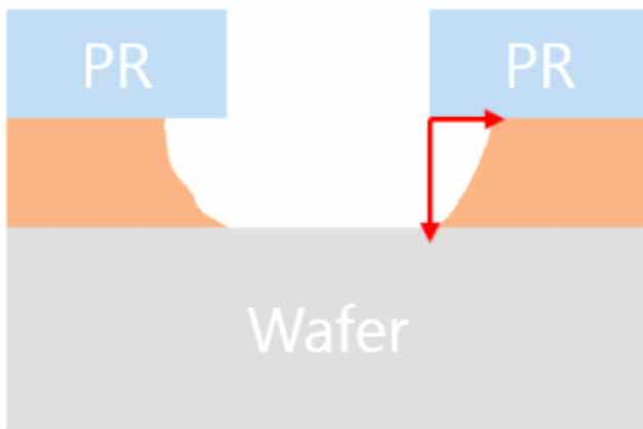
■ 그림 28 : CVD



■ 그림 29, 30 : Al,Cu 금속 배선 공정



■ 그림 31 : 습식 식각



■ 그림 32 : 화학적 식각, 물리적 식각, RIE방식(물리&화학적 식각)

식각 방법	물리적 식각	화학적 식각	물리&화학적 식각
도식도			
Etch profile	비등방성 (Anisotropic)	등방성 (Isotropic)	비등방성 (Anisotropic)
Selectivity	낮은 선택비 (Low Selectivity)	높은 선택비 (High Selectivity)	높은 선택비 (Low Selectivity)
Etch rate	낮은 식각 속도 (Low Etch Rate)	낮은 식각 속도 (Low Etch Rate)	높은 식각 속도 (High Etch Rate)

■ 부록 1 : 기존 공정 프로그램 코드

정면 제작 코드	측면 제작 코드
<pre> go athena line x loc = 0 spac = 0.005 line x loc = 0.2 spac = 0.005 line y loc = 0 spac = 0.005 line y loc = 0.15 spac = 0.005 init orientation=100 c.boron=1e15 space.mul=2 diffus time=2 temp=900 dryo2 structure outfile=finfety1.str </pre>	<pre> go athena line x loc = 0 spac = 0.0005 line x loc = 0.01 spac = 0.0005 line x loc = 0.05 spac = 0.0005 line y loc = 0 spac = 0.0005 line y loc = 0.1 spac = 0.0005 init orientation=100 c.boron=1e15 space.mul=2 # depo oxide thick=0.038 divi=10 </pre>

<pre> tonyplot finfety1.str ##### deposit nitride thick=0.01 structure outfile=finfety2.str tonyplot finfety2.str ##### deposit photoresist thick=0.5 structure outfile=finfety3.str tonyplot finfety3.str ##### etch photoresist left p1.x=0.11 structure outfile=finfety4.str tonyplot finfety4.str ##### deposit oxide thick=0.02 structure outfile=finfety5.str tonyplot finfety5.str ##### etch dry oxide thick=0.02 structure outfile=finfety6.str tonyplot finfety6.str ##### etch photoresist all structure outfile=finfety7.str tonyplot finfety7.str ##### etch nitride left p1.x=0.09 etch nitride right p1.x=0.11 structure outfile=finfety8.str tonyplot finfety8.str ##### etch oxide start x=0 y=-0.513 etch cont x=0 y=-0.012 etch cont x=0.2 y=-0.012 etch done x=0.2 y=-0.513 structure outfile=finfety9.str tonyplot finfety9.str ##### etch oxide left p1.x=0.09 etch oxide right p1.x=0.11 structure outfile=finfety10.str tonyplot finfety10.str </pre>	<pre> # etch oxide thick=0.02 implant boron dose=8e12 energy=100 pears etch oxide all diffus time=2 temp=900 dryo2 hcl=3 implant boron dose=4.7e14 energy=10 tilt=7 b ca n.ion=200000 depo poly thick=0.02 divi=10 deposit nitride thick=0.01 deposit photoresist thick=0.5 etch photoresist left p1.x=0.03 etch nitride left p1.x=0.03 etch poly left p1.x=0.03 etch photoresist all deposit oxide thick=0.006 divi=10 etch dry oxide thick=0.006 ##### implant arsenic energy=10 dose=1.0e16 diffuse time=0.12 temp=900 nitro hcl=3 ##### deposit oxide thick=0.04 divi=10 etch oxide start x=0 y=-0.022 etch cont x=0 y=-0.085 etch cont x=0.3 y=-0.085 etch done x=0.3 y=-0.022 etch nitride all deposit oxide thick=0.045 divi=10 deposit nitride thick=0.005 divi=10 ##### deposit photoresist thick=0.5 divi=10 ##### etch photoresist start x=0.003 y=-0.06 etch continue x=0.003 y=-0.581 etch continue x=0.021 y=-0.581 etch done x=0.021 y=-0.06 </pre>
---	--

<pre>##### etch silicon start x=0 y=0 etch cont x=0 y=0.07 etch cont x=0.09 y=0.07 etch done x=0.09 y=0 structure outfile=finfety11.str tonyplot finfety11.str ##### etch silicon start x=0.11 y=0 etch cont x=0.11 y=0.07 etch cont x=0.2 y=0.07 etch done x=0.2 y=0 structure outfile=finfety12.str tonyplot finfety12.str ##### etch nitride all structure outfile=finfety13.str tonyplot finfety13.str ##### diffus time=2 temp=900 dryo2 deposit oxide thick=0.1 structure outfile=finfety14.str tonyplot finfety14.str ##### etch oxide start x=0 y=-0.105 etch continue x=0 y=0.001 etch continue x=0.2 y=0.001 etch done x=0.2 y=-0.105 structure outfile=finfety15.str tonyplot finfety15.str ##### etch oxide start x=0 y=-0.01 etch continue x=0 y=0.03 etch continue x=0.091 y=0.03 etch done x=0.091 y=-0.01 structure outfile=finfety16.str tonyplot finfety16.str ##### etch oxide start x=0.109 y=-0.01 etch continue x=0.109 y=0.03 etch continue x=0.2 y=0.03 etch done x=0.2 y=-0.01</pre>	<pre>etch nitride dry thick=0.007 etch oxide dry thick=0.1 etch photoresist all deposit TUNGSTEN thick=0.1 divi=10 ##### etch TUNGSTEN start x=0 y=-0.182 etch continue x=0 y=-0.071 etch continue x=0.05 y=-0.071 etch done x=0.05 y=-0.182 ##### deposit oxide thick=0.12 divi=10 deposit nitride thick=0.005 divi=10 ##### deposit photoresist thick=0.3 divi=10 etch photoresist start x=0.002 y=-0.708 etch continue x=0.002 y=-0.190 etch continue x=0.024 y=-0.190 etch done x=0.024 y=-0.708 ##### etch nitride dry thick=0.008 etch oxide dry thick=0.2 ##### etch photoresist all deposit TUNGSTEN thick=0.3 ##### etch TUNGSTEN start x=0 y=-0.197 etch continue x=0 y=-0.5 etch continue x=0.05 y=-0.5 etch done x=0.05 y=-0.197 ##### structure mirror right electrode name=source x=0.004 electrode name=source x=0.016 electrode name=gate x=0.05 electrode name=drain x=0.084 electrode name=drain x=0.096 electrode name=substrate backside structure outfile=finfety1.str</pre>
---	--

<pre> structure outfile=finfety17.str tonyplot finfety17.str ##### diffus time=2 temp=900 dryo2 structure outfile=finfety18.str tonyplot finfety18.str ##### deposit poly thick= 0.02 structure outfile=finfety19.str tonyplot finfety19.str ##### deposit nitride thick=0.01 structure outfile=finfety20.str tonyplot finfety20.str ##### deposit photoresist thick=0.5 structure outfile=finfety21.str tonyplot finfety21.str ##### etch photoresist all structure outfile=finfety22.str tonyplot finfety22.str ##### etch nitride all structure outfile=finfety23.str tonyplot finfety23.str ##### deposit oxide thick=0.1 structure outfile=finfety24.str tonyplot finfety24.str ##### etch oxide start x=0 y=-0.122 etch continue x=0 y=-0.022 etch continue x=0.2 y=-0.022 etch done x=0.2 y=-0.122 structure outfile=finfety25.str tonyplot finfety25.str ##### </pre>	<pre> tonyplot finfety1.str ##### go atlas mesh infile=finfety1.str material material=oxynitride permittivity=8 models consrh cvt fermi bbt.kl STRESS MOBILITY EGLEY.N EGLEY.P method climit=1e-4 itlimit=35 maxtraps=10 output e.mob e.velocity #ID-VGS 그래프 추출용 solve init solve previous solve vdrain=0.01 solve vdrain=0.1 log outf=finfety1.str solve previous solve vgate=0.01 solve vgate=0.05 vstep=0.05 vfinal=1.2 name=g ate extract name="vt" (xintercept(maxslope(curve(ab s(v."gate"),abs(i."drain"))))) ₩ - abs(ave(v."drain"))/2.0) log off tonyplot finfety1.log -overlay finfety1.log -set fi nfety1.set tonyplot finfety1.str -set finfety1.set quit #ID-VDS 그래프 추출용 #go atlas #contact name=gate n.poly #interface qf=3e10 #models cvt srh print numcarr=2 #method climit=1e-4 maxtrap=10 </pre>
---	---

	<pre> #solve vgate=0.3 outf=solve_tmp1 #load infile=solve_tmp1 #log outf=finfety1.log #solve name=drain vdrain=0 vfinal=1.2 vstep=0.05 #extract name="nidsmax" max(i."drain") #extract name="sat_slope" slope(minslope(curve(v."drain",i."drain"))) #tonyplot -overlay finfety1.log -set finfety1.set #quit </pre>
--	---

■ 부록 2 : 새로운 공정 프로그램 코드

정면 제작 코드	측면 제작 코드
<pre> go athena line x loc = 0 spac = 0.005 line x loc = 0.2 spac = 0.005 line y loc = 0 spac = 0.005 line y loc = 0.15 spac = 0.005 init orientation=100 c.boron=1e15 space.mul=2 diffus time=2 temp=900 dryo2 structure outfile=finfety1.str tonyplot finfety1.str ##### deposit nitride thick=0.01 structure outfile=finfety2.str tonyplot finfety2.str ##### deposit photoresist thick=0.5 structure outfile=finfety3.str tonyplot finfety3.str ##### etch photoresist left p1.x=0.11 structure outfile=finfety4.str tonyplot finfety4.str ##### deposit oxide thick=0.02 </pre>	<pre> go athena line x loc = 0 spac = 0.0005 line x loc = 0.01 spac = 0.0005 line x loc = 0.05 spac = 0.0005 line y loc = 0 spac = 0.0005 line y loc = 0.1 spac = 0.0005 init silicon orientation=100 c.boron=1e15 space. mul=2 # depo oxide thick=0.038 divi=10 # etch oxide thick=0.02 implant boron dose=8e12 energy=100 pears etch oxide all diffus time=2 temp=900 dryo2 implant boron dose=4.7e14 energy=10 tilt=7 b ca n.ion=200000 depo poly thick=0.02 divi=10 ##### deposit nitride thick=0.01 deposit photoresist thick=0.5 </pre>

<pre> structure outfile=finfety5.str tonyplot finfety5.str ##### etch dry oxide thick=0.02 structure outfile=finfety6.str tonyplot finfety6.str ##### etch photoresist all structure outfile=finfety7.str tonyplot finfety7.str ##### etch nitride left p1.x=0.09 etch nitride right p1.x=0.11 structure outfile=finfety8.str tonyplot finfety8.str ##### etch oxide start x=0 y=-0.513 etch cont x=0 y=-0.012 etch cont x=0.2 y=-0.012 etch done x=0.2 y=-0.513 structure outfile=finfety9.str tonyplot finfety9.str ##### etch oxide left p1.x=0.09 etch oxide right p1.x=0.11 structure outfile=finfety10.str tonyplot finfety10.str ##### etch silicon start x=0 y=0 etch cont x=0 y=0.07 etch cont x=0.09 y=0.07 etch done x=0.09 y=0 structure outfile=finfety11.str tonyplot finfety11.str ##### etch silicon start x=0.11 y=0 etch cont x=0.11 y=0.07 etch cont x=0.2 y=0.07 etch done x=0.2 y=0 structure outfile=finfety12.str tonyplot finfety12.str ##### </pre>	<pre> ##### etch photoresist left p1.x=0.03 etch nitride left p1.x=0.03 etch poly left p1.x=0.03 etch photoresist all deposit oxide thick=0.006 divi=10 etch dry oxide thick=0.006 ##### implant arsenic energy=10 dose=1e16 diffuse time=0.12 temp=900 nitro ##### deposit oxide thick=0.04 divi=10 etch oxide start x=0 y=-0.022 etch cont x=0 y=-0.085 etch cont x=0.3 y=-0.085 etch done x=0.3 y=-0.022 etch nitride all #structure out=finfety12.str ##### ##### #다마신 스타트 deposit oxide thick=0.045 divi=10 deposit nitride thick=0.005 divi=10 structure outfile=finfety213.str ##### #이중 다마신 layer 제작 deposit oxide thick=0.12 divi=10 deposit nitride thick=0.005 divi=10 #structure out=finfety214.str ##### deposit photoresist thick=0.5 divi=10 etch photoresist start x=0.002 y=-0.190 etch continue x=0.002 y=-0.8 etch continue x=0.021 y=-0.8 etch done x=0.021 y=-0.190 structure outfile=finfety215.str ##### etch nitride dry thick=0.007 etch oxide dry thick=0.2 structure outfile=finfety216.str </pre>
--	---

<pre> etch nitride all structure outfile=finfety13.str tonyplot finfety13.str ##### diffus time=2 temp=800 dryo2 structure outfile=finfety13.5.str tonyplot finfety13.5.str ##### deposit oxide thick=0.07 structure outfile=finfety14.str tonyplot finfety14.str ##### etch oxide start x=0 y=-0.105 etch continue x=0 y=0.001 etch continue x=0.2 y=0.001 etch done x=0.2 y=-0.105 structure outfile=finfety15.str tonyplot finfety15.str ##### etch oxide start x=0 y=-0.01 etch continue x=0 y=0.03 etch continue x=0.091 y=0.03 etch done x=0.091 y=-0.01 structure outfile=finfety16.str tonyplot finfety16.str ##### etch oxide start x=0.109 y=-0.01 etch continue x=0.109 y=0.03 etch continue x=0.2 y=0.03 etch done x=0.2 y=-0.01 structure outfile=finfety17.str tonyplot finfety17.str ##### diffus time=2 temp=900 dryo2 structure outfile=finfety18.str tonyplot finfety18.str ##### deposit poly thick= 0.02 structure outfile=finfety19.str tonyplot finfety19.str ##### deposit nitride thick=0.01 </pre>	<pre> #tonyplot finfety216.str ##### etch nitride dry thick=0.008 etch oxide dry thick=0.2 etch photoresist all structure outfile=finfety217.str #tonyplot finfety217.str ##### deposit TUNGSTEN thick=0.1 ##### etch TUNGSTEN start x=0 y=-0.197 etch continue x=0 y=-0.308 etch continue x=0.05 y=-0.308 etch done x=0.05 y=-0.197 structure mirror right electrode name=source x=0.003 electrode name=source x=0.018 electrode name=gate x=0.05 electrode name=drain x=0.082 electrode name=drain x=0.097 electrode name=substrate backside structure outfile=finfety2.str tonyplot finfety2.str ##### #전기 특성 추출 코드 go atlas mesh infile=finfety2.str material material=oxynitride permittivity=8 models consrh cvt fermi bbt.kl STRESS MOBILITY EGLEY.N EGLEY.P method climt=1e-4 itlimit=35 maxtraps=10 output e.mob e.velocity # ID-VGS 그래프 추출 코드 solve init solve previous </pre>
---	---

<pre> structure outfile=finfety20.str tonyplot finfety20.str ##### deposit photoresist thick=0.5 structure outfile=finfety21.str tonyplot finfety21.str ##### etch photoresist all structure outfile=finfety22.str tonyplot finfety22.str ##### etch nitride all structure outfile=finfety23.str tonyplot finfety23.str ##### deposit oxide thick=0.05 structure outfile=finfety24.str tonyplot finfety24.str ##### etch oxide start x=0 y=-0.122 etch continue x=0 y=-0.022 etch continue x=0.2 y=-0.022 etch done x=0.2 y=-0.122 structure outfile=finfety25.str tonyplot finfety25.str ##### </pre>	<pre> solve vdrain=0.01 solve vdrain=0.1 log outfile=finfety2.str solve previous solve vgate=0.01 solve vgate=0.05 vstep=0.05 vfinal=1.2 name=g ate extract name="vt" (xintercept(maxslope(curve(ab s(v."gate"),abs(i."drain")))) ₩ - abs(ave(v."drain"))/2.0) log off tonyplot finfety2.log -overlay finfety2.log -set fi nfety2.set tonyplot finfety2.str -set finfety2.set #ID-VDS 그래프 추출 코드 #solve init #solve previous #solve vgate=0.3 outf=solve_tmp1 #load infile=solve_tmp1 #log outf=finfety23.log #solve name=drain vdrain=0 vfinal=1.2 vstep=0. 05 #extract name="nidsmax" max(i."drain") #extract name="sat_slope" slope(minslope(curve (v."drain",i."drain"))) #tonyplot -overlay finfety23.log -set finfety23.s et #quit </pre>
--	---

중간 발표 자료

Finfet 종합 공정의 최적화

Optimization of the Finfet Synthesis Process

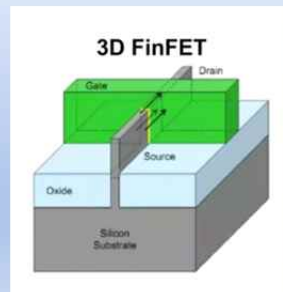
2017035207 이규성

2017035195 김재환

1

작품의 주제 및 목표

- Finfet에 대해 이해하고 SUPREM을 사용하여 Finfet 공정 및 최적화



공정 수 ↓
사용 물질량 ↓
제작 시간 ↓

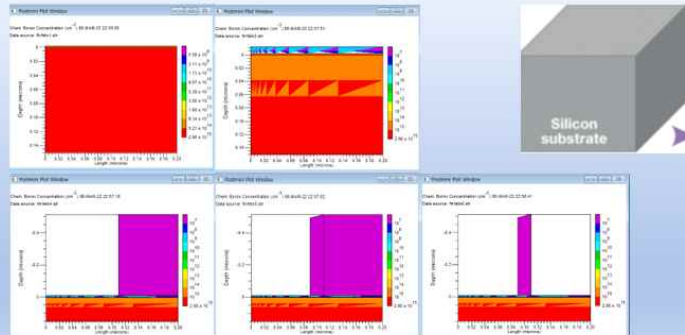
2

제작 과정 시 문제점

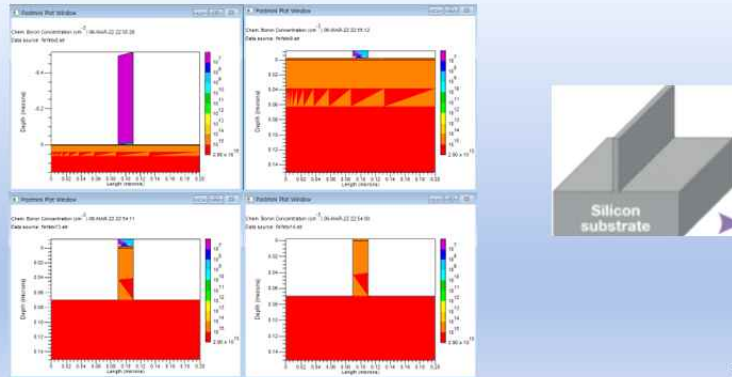
- etch 오류
etch oxide dry -> etch start, done
- diffuse 오류
diffuse time -> deposit oxide
- mask 오류
마스크 제작 -> etch photoresist, nitride, oxide
- 3D plot -> 2D plot(정면도, 옆면도)

3

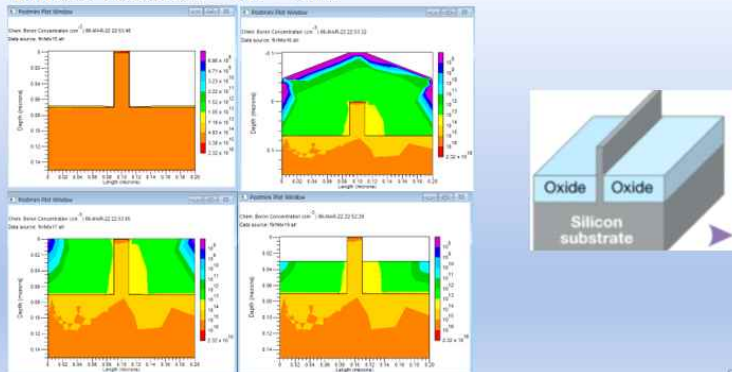
현재까지 Finfet 제작 진행 상황 -정면도- SADP(Self Aligned Double Patterning) - Side Wall 제작 후 etch



Finfet 제작 -정면도- FIN 형태 제작

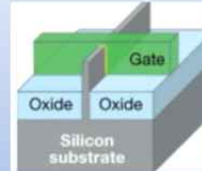
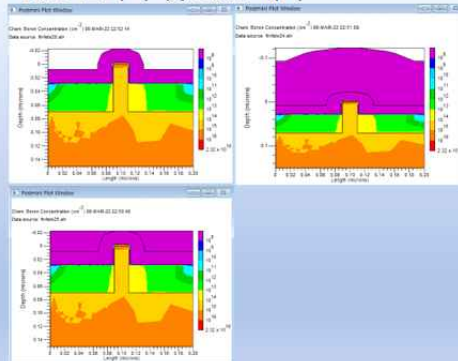


Finfet 제작 -정면도- Diffuse oxidation - STI - CMP



Finfet 제작 -정면도-

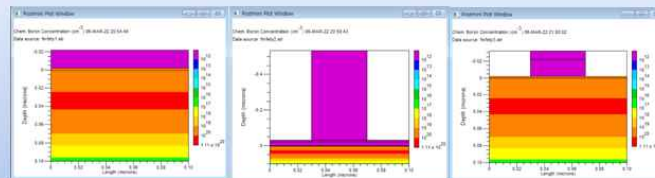
Gate 산화막 및 Gate 제작



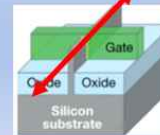
7

Finfet 제작 -옆면도-

Make poly-si gate line

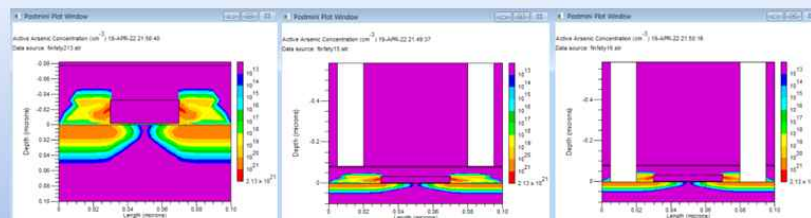


자른 방향



Finfet 제작 -옆면도-

Doping and make contact via

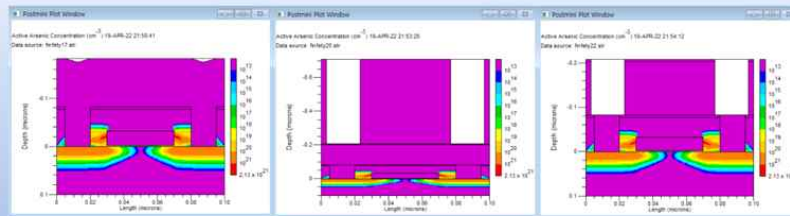


자른 방향

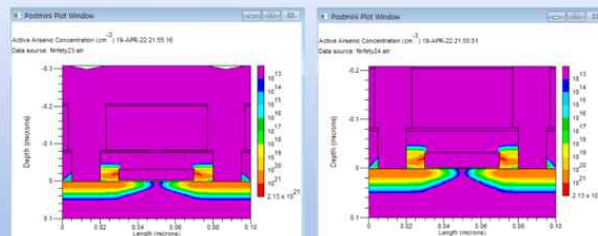


9

Finfet 제작 -옆면도- Metal depo and metal1 via



Finfet 제작 -옆면도- Metal depo and cmp



<완성된 옆모습>

현재 finfet 공정 횟수 및 양/시간

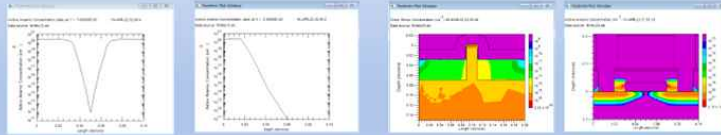
공정 종류	기준 공정 횟수
Photolithography	5회
Etching	13회
Deposit	12회
CMP	4회
Diffuse	5회

공정 종류	양/시간
Deposit 전체 값	0.46um
Total Diffusion time	8min

향후 최종 최적화 방법

- 이중 다마신 공정(Dual Damascene)으로 공정 감소
- 사용하는 depo 물질량 감소
- Diffuse 시간 감소

*이후 도핑 결과와 plot 결과 비교



<기존 도핑결과 및 plot 결과>

13

기말 발표 자료

Finfet 종합 공정의 최적화

2017035207 이규성
2017035207 김재환

1

CONTENTS

1. 작품 목표
2. 현재 진행 상황
3. 결과
4. 앞으로의 계획

2

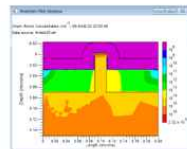
1. 작품 목표

- 현재 가장 많이 사용되고 있는 finfet을 제작하고 재료, 시간, 온도, 공정 수 등을 최적화한다.
- 기존 제작했던 finfet과 최적화가 완료된 finfet을 나란히 놓고 어느 부분이 최적화 되었는지 설명하고 최적화를 하였음에도 기존 finfet과 동일한 결과가 나오도록 한다.
- 가장 많이 사용되는 finfet을 최적화한다는 것은 비용과 시간도 그만큼 투자하고 있다는 뜻으로 최적화가 성공적으로 이루어지게 된다면 동일한 비용과 시간으로 더 많은 finfet을 양산가능하게 만들 것이고 여기서 얻어낸 이익을 가지고 미래의 차세대 기술에 더 투자할 수 있도록 만든다.

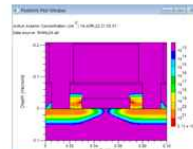
3

2. 현재 진행 상황

- Suprem을 이용하여 기존 finfet 공정 진행 결과



<정면에서 본 기본 finfet>



<측면에서 본 기본 finfet>

- 전기적 특성 확인을 위한 pisces 전환 오류 발생
- 교수님과의 상담 결과 이번에 새로 들어오는 silvaco를 사용하기로 결정

4

2. 현재 진행 상황

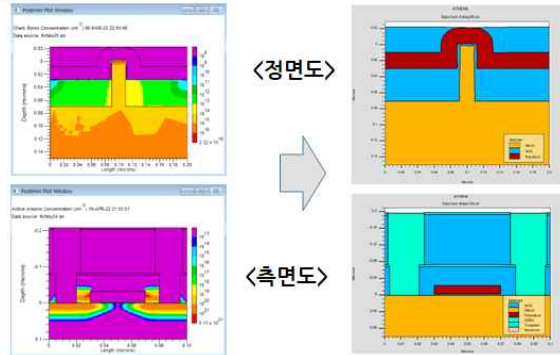
- suprem에서 silvaco로 코드 변경 과정

- Suprem코드에서 go Athena로 변경
- Angle->tilt / space->division 과 같은 명령어 변경
- Tungsten, nitrogen, HCL과 같은 새로운 물질 추가
- 오류가 났었던 코드 복원(deposit->diffusion / etch dry)
- Atlas로 전기적 특성 확인용 코드 추가

5

2. 현재 진행 상황

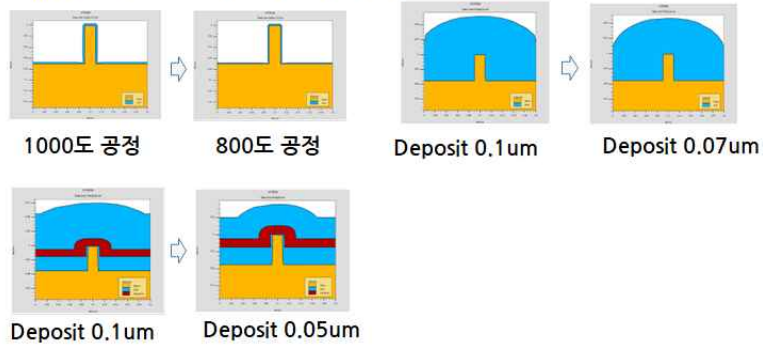
- Plot 변경 결과



6

2. 현재 진행 상황

- Finfet 최적화 진행과정 (온도 감소, 물질량 감소)

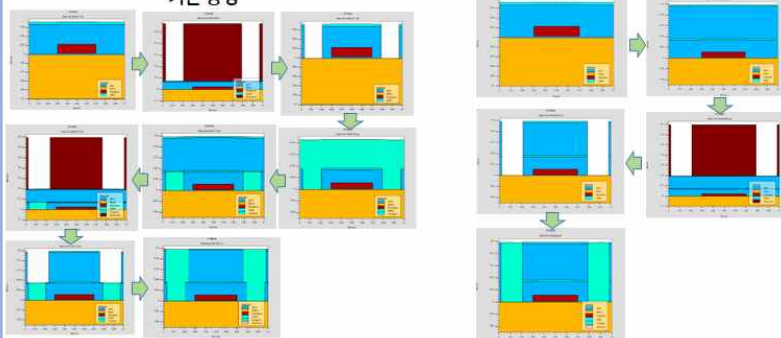


7

2. 현재 진행 상황

- Finfet 최적화 진행과정 (공정 감소)
기존 공정

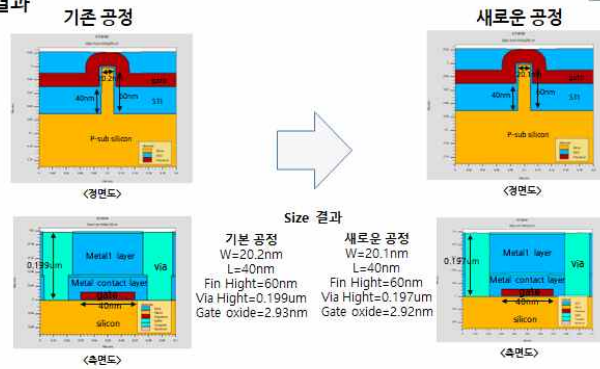
새로운 공정



8

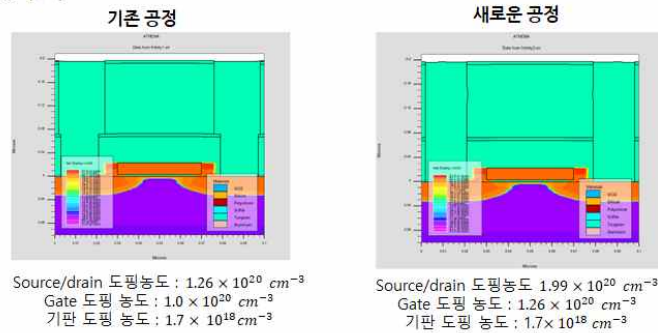
3. 결과

- 공정 결과



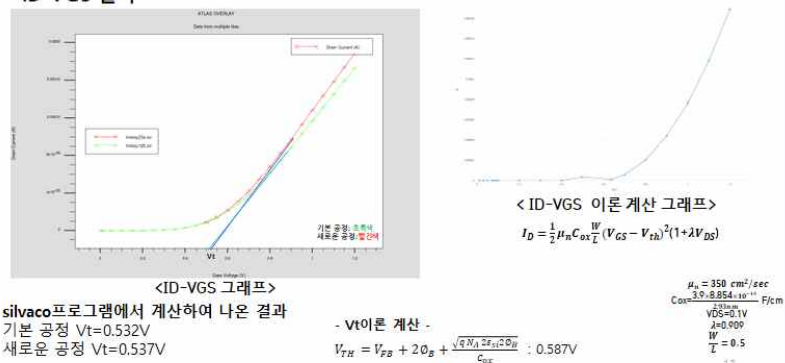
3. 결과

- 도핑 결과



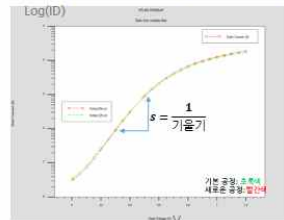
3. 결과

- ID-VGS 결과



3. 결과

- SubThreshold swing 값 / gm 값



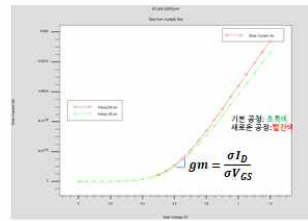
<log(ID)-VGS 특성 그래프>

그래프 결과값

기본 공정 $S=211\text{mV/decade}$

새로운 공정 $S=203\text{mV/decade}$

$S = 2.3 \frac{kT}{q} (1 + \frac{C_d + C_{it}}{C_i})$ 이용 계산 결과 : 80mV/decade



<ID-VGS 특성 그래프>

그래프 결과값

기본 공정 $g_m = 0.157\text{mA/V}$

새로운 공정 $g_m = 0.18\text{mA/V}$

$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D}$ 이용 계산 결과 : 0.11mA/V

3. 결과

- 결과 표

• 공정 결과표

공정 종류	기본 공정의 횟수	새로운 공정의 횟수
Photolithography	5회	4회
Etching	13회	12회
Deposit	12회	10회
CMP	4회	3회
Diffuse	5회	5회

• 공정값

공정 종류	양/온도	양/온도
Deposit 전체 사용량	2.96um	2.08um
temperature	1000도	800도

• 공정 결과 특성표

특성	계산 값	기본 공정	새로운 공정
$g_m(\text{mV/A})$	0.11	0.157	0.18
$V_t(\text{V})$	0.587	0.532	0.537
$SS(\text{mV/dec})$	80	211	200

14

4. 앞으로의 계획

- 부족한 부분 보완
- Silvaco 코드 정리
- 11월 졸업 작품 공개 발표 준비

15

<양식 2>

프로젝트 지도일지

교과목명	종합설계II	개설학기	2022년 1학기
조 원	2017035207 이규성, 2017035195 김재환		

	진행단계	진행사항	앞으로의 계획
프로젝트 수행	() 주제 선정 (기초조사)		
	() 주제 상세조사	현재 suprem을 이용해 finfet 제작 완료	suprem 관련된 오류를 해결하고 기존 공정보다 더 최적화 된 finfet 제작 방법에 대해 연구한다.
	(O) 설계단계 () 중간발표 () 프로젝트 계획서 작성 () 최종발표	finfet 제작 과정 중 프로그램 몇 가지 오류 확인	
	기타 [문제점, 애로사항, 건의사항]		
	현재 suprem 과정 중 식각이 제대로 되지 않는 부분이 존재합니다.		
지도교수 지도내용	SUPREM을 이용한 finfet 공정 설계. dry etch에서의 에러는 etch 사이즈를 줄이거나, 다른 방식의 etch 명령어를 통해 해결. diffusion 에러 역시 시간이나 온도를 약간씩 변화를 주어서 시뮬레이션 수행. silvaco 라이선스 도착시 silvaco를 이용해서 동일한 공정설계도 진행. 기존 standard 공정대비 포토공정 숫자, diffusion 숫자/온도 저감효과에 대해서 정량화 하여 중간발표 때 활용.		

* 팀 단위로 작성

2022 . 3 . 8 .

지도교수: 강 문 희 [서명]

프로젝트 지도일지

교과목명	종합설계II	개설학기	2022년 1학기
조 원	2017035207 이규성, 2017035195 김재환		

	진행단계	진행사항	앞으로의 계획
프로젝트 수행	() 주제 선정 (기초조사)	공정 최적화한 finfet이 거의 제작 완료됨 전기적인 특성을 확인하기 위한 mesh 작업에서 mesh를 동작시키는 방법을 찾지 못함.	제작 완료함과 동시에 기존 finfet 과 공정 비교를 할 예정 전기적 특성을 확인할 방법을 찾아 보도록 할 예정
	() 주제 상세조사		
	() 설계단계		
	(O) 중간발표		
프로젝트 수행	() 프로젝트 계획서 작성	기타 [문제점, 애로사항, 건의사항]	중간 발표에서 추가사항인 전기적인 특성을 알아보기 위해 방법을 찾아보았지만 설정 방법을 알아내지 못해 전기 특성을 확인하지 못하고 있습니다. 그래서 대안으로 pscs 사용에 대해 질문하고자 합니다.
	() 최종발표		
지도교수 지도내용	suprem에서 mesh는 되지만 오류가 많고 노드가 잘 안 잡히므로, 대신 이번에 들어오는 silvaco를 이용해 코드를 옮겨서 전기적인 특성을 알아볼 것. silvaco는 예제를 참고하여 공부해보도록 방법 제시.		

* 팀 단위로 작성

2022 . 5 . 10 .

지도교수: 강 문 희 [서명]

프로젝트 지도일지

교과목명	종합설계II	개설학기	2022년 1학기
조 원	2017035207 이규성, 2017035195 김재환		

	진행단계	진행사항	앞으로의 계획
프로젝트 수행	() 주제 선정 (기초조사)		핀펫 측정값과 이론값 비교
	() 주제 상세조사	최종발표 전에 면담을 하여 기존의	핀펫과 최적화 된 핀펫의 차이점을
	() 설계단계	사진으로 비교할 수 있도록 하고	Slivaco 코드 정리
	() 중간발표	어느부분에서 공정 최적화가 되었	11월의 전시회까지 부족한 점 보완
	() 프로젝트 계획서 작성	는지 상세히 설명하였다.	11월의 전시회 준비
	(O) 최종발표		
	기타 [문제점, 애로사항, 건의사항]		
	silvaco를 이용하여 ID-VGS, ID-VDS 그래프로 나타내고 기존 공정과 새로운 공정의 소 자들을 비교해보았지만 아직 부족한 거 같습니다. 소자들을 비교하기 위해서는 어떤 파 라미터들을 비교하는 것이 좋을지에 대해 궁금합니다.		
지도교수 지도내용	기존 공정법 vs. damascene공정을 적용하여 제작한 finfet의 특성비교. 제작한 핀펫에 대한 V_{TH} , gm, Subthreshold swing, ID-VGS, ID-VDS 등 반도체가 제대로 동작하는지 확인 할 수 있는 특성을 측정하여 측정값과 이론값을 비교하고 그래프와 수 치로 나타낼 것.		

* 팀 단위로 작성

2022 . 6 . 7 .

지도교수:

강 문 희

[서명]

<양식 3>

회 의 록

일 시		장 소	
참석자		작성자	
안 건			

회의 내용	
----------	--