

計算機アーキテクチャ レポート2

(2007 年 11 月 19 日課題)

提出様式: 回答はA4用紙で、様式は自由。下記の内容を1 ページ目の最初に書く。

**** 計算機アーキテクチャレポート2 学籍番号 氏名 ****

提出方法: 課題を配布した講義の次週の講義時に提出。二重聴講など講義を欠席する場合は、情報事務室(G棟4階)に提出。

その他: 解答を後に配布するので、提出する前に解答をコピーして保管しておくこと。解答はWebに表示する。

[問1] 4ビットの直列演算回路を構成する機能ブロックであるシフトレジスタおよび加算回路をDフリップフロップ、論理和ゲート、論理積ゲート、否定を用いて構成せよ。詳細については、計算機アーキテクチャ講義ノート2の5頁を参照すること。

[問2] $A \times B = -a_{n-1}B2^{n-1} + a_{n-2}B2^{n-2} \cdots \cdots a_1B2^1 + a_0B2^0$ となることを証明せよ。(講義ノート2 13頁を参照。)

[問3] 通常の加算器 CPA(桁上げ伝播加算器 carry propagate adder)が 2 入力 1 出力であるのに対して、桁上げ保存加算器 CSA(carry save adder)は 3 つの 2 進数 $A=(a_{n-1}, a_{n-2}, \dots, a_1, a_0)$, $B=(b_{n-1}, b_{n-2}, \dots, b_1, b_0)$, $C=(c_{n-1}, c_{n-2}, \dots, c_1, c_0)$ を入力として 2 つの 2 進数 $S=(s_{n-1}, s_{n-2}, \dots, s_1, s_0)$, $C=(c_{n-1}, c_{n-2}, \dots, c_1, 0)$ を出力する。

$$\text{ただし、} s_i = x_i \times y_i \times z_i \quad c_{i+1} = x_i \cdot y_i + (x_i + y_i) \cdot z_i$$

(※は排他的論理和、+は論理和、 \cdot は論理積を示す)。

[問 3-1] k 個の 2 進数の和を①CSA と CPA を併用して構成した場合と②CPA のみを用いて構成場合、必要となるハードウェア量 (ゲート数) を比較せよ。ただし CSA と CPA の ハードウェア量の比は 1 対 2 とする。

[問 3-2] 9 個の 2 進数 A,B,.....,H,I の和を計算する回路を、CPA と CSA を組み合わせて構成せよ。ただし、計算時間が最少となるように構成せよ。また、その時の計算時間はいくらか。ただし、CSA と CPA の計算時間は、それぞれ 10nsec と 50nsec とする。

[問4] 図1は、4ビット桁上げ先見加算器の構成図である。

[問 4-1] p_{10} 、 g_{10} について p_0 、 g_0 、 p_1 、 g_1 を用いた論理式で示せ。

[問 4-2] c_1 を p_0 、 g_0 、 c_0 を用いた論理式で示せ。また、 c_2 を p_{10} 、 g_{10} 、 c_0 を用いた論理式で示せ。

[問 4-3] $-5 + 5$ を計算する時のすべての入出力 ($a_i, b_i, c_i, p_i, g_i, s_i (i=0 \sim 3)$ と $p_{10}, p_{32}, g_{10}, g_{32}$) の値を示せ。

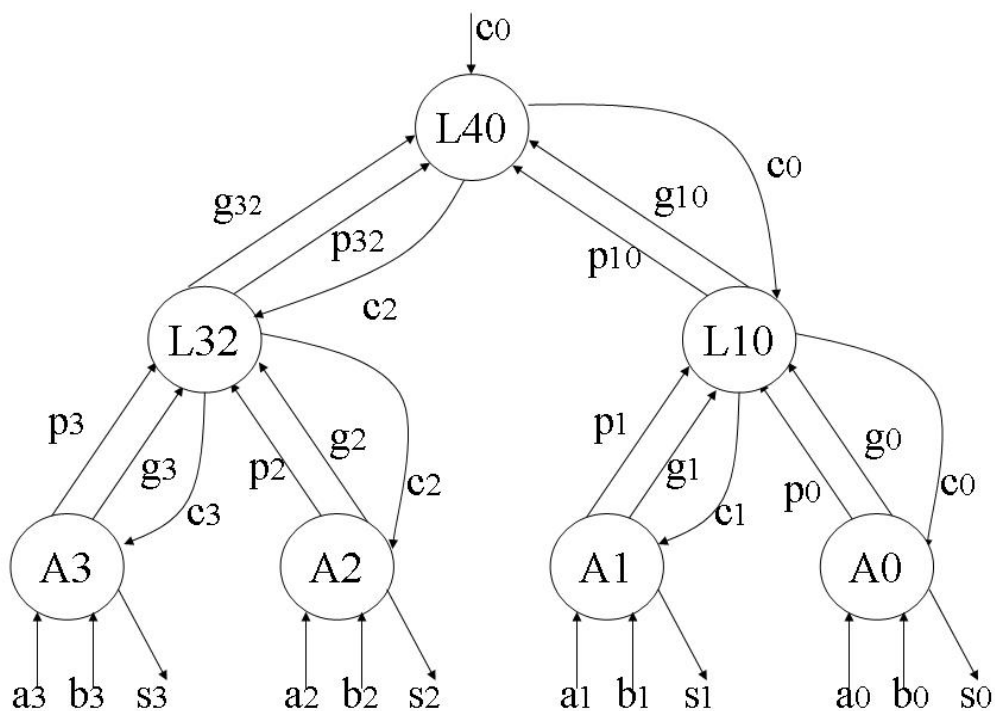


図1 4ビット桁上げ先見加算器