

実施日 平成 24 年 2 月 7 日

計算機アーキテクチャ

平成 23 年度期末試験

問題1 【配点13点】

n ビットの系列 $X_n = (x_{n-1}, x_{n-2}, \dots, x_1, x_0)$, $x_i \in \{0, 1\}$, $n \geq 2$ が2の補数系で表す整数を $(X_n)_{2C}$ と書くことにすれば、次式が成立する。

$$(X_n)_{2C} = -x_{n-1} \cdot 2^{n-1} + x_{n-2} \cdot 2^{n-2} + \dots + x_1 \cdot 2^1 + x_0 \cdot 2^0 \quad (1)$$

(1-1) 8ビットの系列 X_8 で表現できる数 $(X_8)_{2C}$ の範囲(最大値と最小値)を十進整数で示せ。

(1-2) $(X_8)_{2C} = -96$ となる8ビットの系列 X_8 を式(1)から導出せよ。

(1-3) Y_8 を X_8 の各ビットを反転したものとする(即ち、 $Y_8 = (y_7, y_6, \dots, y_1, y_0)$ $y_i = 1 - x_i$) 時、
 $-(X_8)_{2C} = (Y_8)_{2C} + 1$ となること(すなわち2の補数表現では、 $-A$ は A のビット表現を反転し1を加えたものであること)を示せ。

問題2 【配点13点】

8ビットの浮動小数点2進数表現 $X_8 = (x_7, x_6, \dots, x_1, x_0)$ (ただし、 x_7 は符号ビット(1の時負)、 (x_6, x_5, x_4) が指数部で指数のバイアスを3(3余り表現)、 (x_3, x_2, x_1, x_0) が仮数部の絶対値で正規化され最上位ビットの1は省略されるものとする。(0, 0, 0, 0, 0, 0, 0, 0)は0とする。)において下記の問いに答えよ。

例: 10進数7.5は、2進数表現で111.1となる 1.111×2^2 であり、符号ビットは正であり $x_7 = 0$ 、指数部はバイアスを足した5となり $(x_6, x_5, x_4) = (1, 0, 1)$ 、仮数部は最上位ビットの1は省略されるので $(x_3, x_2, x_1, x_0) = (1, 1, 1, 0)$ となる。

(2-1) 表現できる正の数の最大値はいくらかを示せ、又その時のビット表現を示せ。

(2-2) 表現できる負の数の最大値はいくらかを示せ、又その時のビット表現を示せ。

(2-3) 指数部が(1, 0, 1)の時の ulp(units in the last place: 表現できる数の間隔)はいくらか。また絶対誤差(元の実数値と表現された数の差の最大値)はいくらか。

問題3 【配点30点】

ロードストア型計算機(RISCマシン:reduced instruction set computer)はCISCマシン(complex instruction set computer)に比べて、パイプラインの乱れを減少させることにより高速化を図っている。下記は、ロードストア型計算機MIPSの命令体系と命令実行ステップ(実行フェーズ)とパイプラインの動作原理である。

R形式: $rd \leftarrow (rs) \text{ OP } (rt)$ (演算命令)	31 25 20 15 10 5 0	OP rs rt rd shamt funct
I'形式: $rt \leftarrow M[(rb)+offset]$ or $M[(rb)+offset] \leftarrow (rt)$ (ロード命令/ストア命令)	31 25 20 15 0	OP rb rt offset
J形式: $PC[28:0] \leftarrow target \times 4$ (無条件分岐)	31 25 0	OP target
J'形式: if (rs)OP(rt), then $PC \leftarrow (PC)+offset$ (条件分岐)	31 25 20 15 0	OP rs rt offset

OP: 操作符号 funct: 操作符号の拡張部
rs: ソースレジスタ1 rt: ソースレジスタ2またはデスティネーションレジスタ
rd: デスティネーションレジスタ rb: ベースレジスタ
offset: アドレス偏位置 target: 飛び越しアドレス
shamt: シフト桁数

主なMIPS R2000/R3000の命令語の形式

フェーズ	演算命令	ロード命令	ストア命令	分岐命令
IF	命令の読み出し、PCの更新			
ID	命令の解読、レジスタの読み出し			
EX	演算の実行	アドレス計算	アドレス計算 データをMDRへ転送	アドレス計算 分岐条件の判定
MA	—	メモリからの読み出し	メモリへの書き込み	分岐の場合PCを更新
WB	結果のレジスタ書き込み		—	—

MIPS R2000/R3000の命令実行ステップ

	サイクル								
	1	2	3	4	5	6	7	8	9
命令1	IF	ID	EX	MA	WB				
命令2		IF	ID	EX	MA	WB			
命令3			IF	ID	EX	MA	WB		
命令4				IF	ID	MA	EX	WB	
命令5					IF	ID	MA	EX	WB

命令に着目したパイプライン制御の表現

(3-1) 下記の文は、この表をもとに CISC マシンに比べて、パイプラインの乱れがいかにかに少ないかについて説明したものである。上記の図を参考にして、㉑から㉗の空白に入る言葉は何か？ 下記の用語 1 から選べ。【配点 1 点×12】

なお、レジスタはレジスタファイルの形式であり読み書きに 1 フェーズ要する。レジスタファイルは読み出し回路を 2 つ、書きこみ回路を 1 つ有して、同時に 2 つの読み出しと書き込みを行うことができる。またメモリアクセスはプログラム用とデータ用の 2 つが用意されており、同時に 2 つのメモリアクセスが行える。

- i. 2 つのレジスタからの読み出しと (㉑) を同時に行うことができ (㉒) フェーズと (㉓) フェーズの処理がパイプラインの乱れを起こすことはない。
- ii. 命令読み出し: (㉔) が 4 バイトと固定であり、PC の更新に (㉕) の判定が不要であり、(㉖) と PC の更新を並列して同時に行うことが可能である。
- iii. 命令の解読: 読み出しのレジスタ指定フィールドが命令によって異なる (命令の 25-21 ビットのフィールドと 20-16 ビットのフィールド) であり、(㉗) をせずともレジスタの読み出しができ、(㉘) とレジスタファイルからの読み出しを並列して同時に実行できる。
- iv. 演算の実行: 演算とアドレス計算をともに必要とする命令はなく、(㉙) でアドレス計算をしても (㉚) を使用するのは EX フェーズのみであり、パイプラインの乱れは生じない。
- v. データ用メモリアクセス: (㉛) フェーズのみでデータへの読み書きが行われるため、データ用メモリへのアクセスに関する (㉜) は生じないのでパイプラインの乱れは生じない。

用語 1

IF、ID、EX、MA、WB

命令の読み出し、PC の更新、命令の解読、レジスタの読み出し、演算の実行、アドレス計算、メモリからの読み出し、メモリへの書き込み、結果のレジスタ書き込み、命令語長、算術演算回路 (ALU)、時間関係の逆転、排他制御、キャッシュメモリの不一致

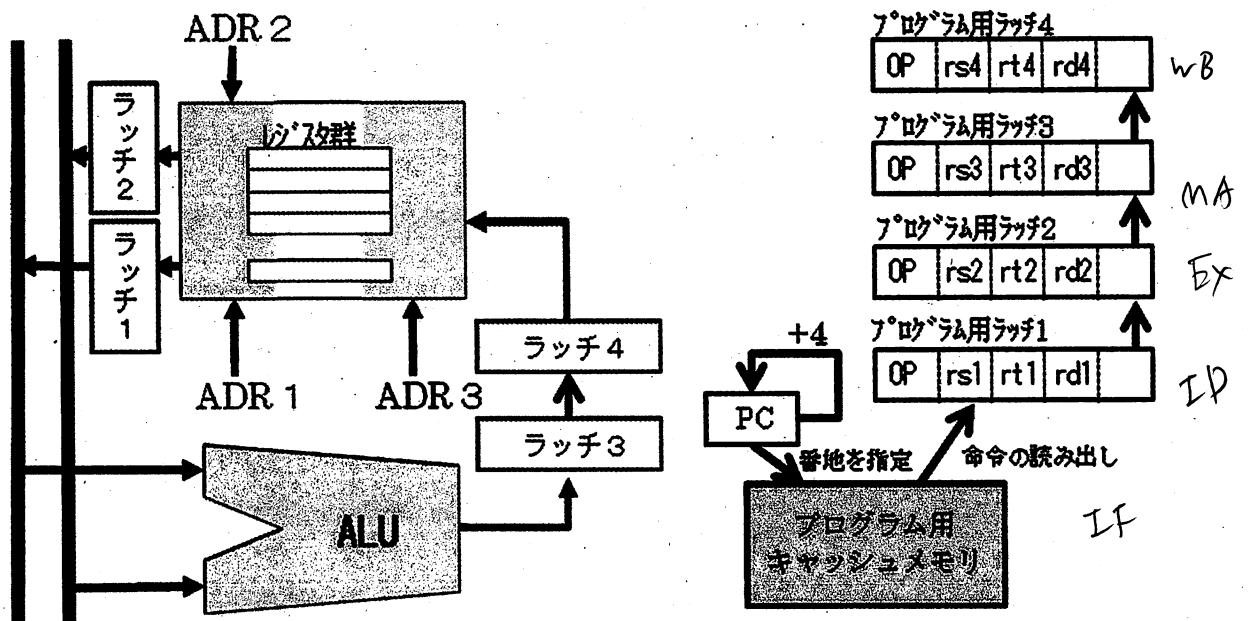
(3-2) 下記の文は、R 形式の命令実行について、パイプラインの乱れをなくするための回路設計について説明したものである。次ページの図を参考にして、㉑から㉗の空白に入る言葉は何か？ 下記の用語 2 から選べ。【配点 3 点×6】

ラッチは、あるフェーズの終了時点にデータを取り込み、次のフェーズの間その内容を保持するものである。例えば、プログラム用ラッチ 1 は、IF フェーズの終了時に命令を取り込み、次の ID フェーズの間内容を保持する。レジスタ読み書きに対してレジスタ番号を指定するため、ADR 1 には (㉑)、ADR 2 には (㉒)、ADR 3 には (㉓) を入力する。ラッチ 1 とラッチ 2 は、(㉔) の間データを保持する。またラッチ 3 は (㉕) の間、ラッチ 4 は (㉖) の間データを保持する。

用語 2

rs1, rs2, rs3, rs4, rt1, rt2, rt3, rt4, rd1, rd2, rd3, rd4

IF フェーズ、ID フェーズ、EX フェーズ、MA フェーズ、WB フェーズ



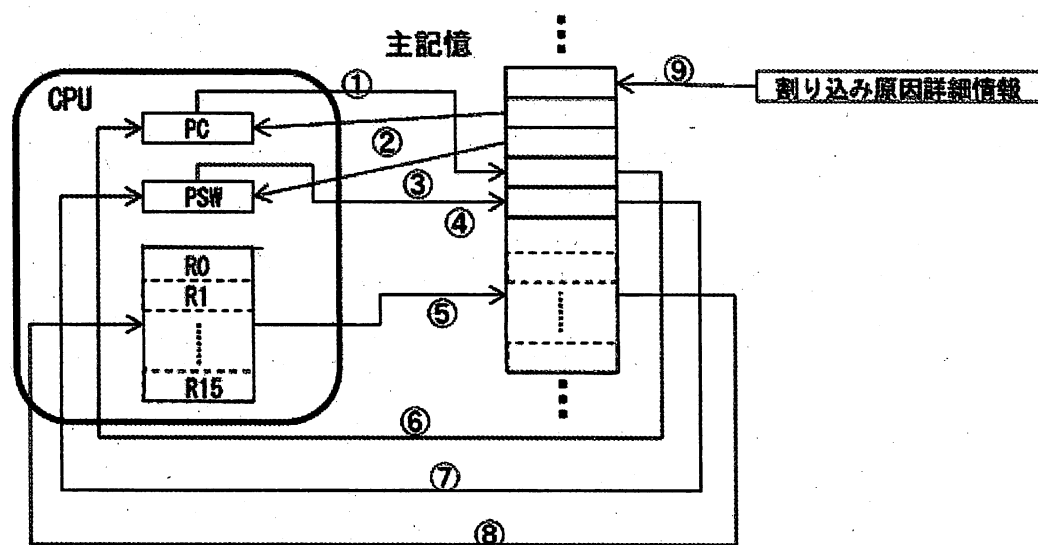
問題4 【配点 16 点】

割り込みとは、あるプログラム（割り込まれたプログラム）が実行の途中に何かの契機で実行を中断し他のプログラム（割り込みプログラム）が走行することである。下記の図は、ある計算機で割り込み関係のデータ転送に関係して行われるデータ転送を矢印（→）で示したものである。

(4-1) 割り込みが起こった時に、割り込みプログラムの割り込み処理を行うまでに必要となるデータ転送を時間順に→の番号で示せ。

(4-2) 割り込み処理が終了した時に、あるプログラムへの復帰に必要となるデータ転送を時間順に→の番号で示せ。

(4-3) 説明文中の何かの契機にあたる要因で思いつくものを4つあげ、その内容を文章で説明せよ。



問題5 【配点 28 点】

図2は、キャッシュメモリ構成法の群連想方式の例を示したものである。群連想方式は、完全連想方式と直接マップ方式の中間の方式であり、キャッシュメモリのブロック枠を n 行 \times m 列に構成する。 $(m$ が 1 の時は完全連想方式、 n が 1 の時は直接マップ方式となる。) メインメモリ (主記憶) も m 個の群に分け、それぞれを 1 列のブロックに割り当てる。すなわち、群 i に属するメインメモリのブロックの写しはキャッシュメモリでの群 i の n 個のブロック枠のどれかに作られる。 n を明示するときは、 n ウェイ群連想方式という。今、キャッシュメモリの容量が 64K バイト、主記憶の容量が 4G バイトのメモリ系において、1つのブロックの大きさが 64 バイトの 8 ウェイ群連想方式を採用した時の以下の問いに答えよ。ただし、アドレス方式はバイトアドレッシング、1K=1024、1M=1024K、1G=1024M とする。

- (5-1) メインメモリのアドレス長は何ビット必要か？
- (5-2) キャッシュメモリのブロック枠はいくつとなるか？
- (5-3) 群の個数はいくつか？
- (5-4) メインメモリのアドレス指定において、ブロック内アドレス、群番号、群内ブロック番号の指定は各々何ビットか？
- (5-5) ディレクトリを構成するための連想記憶は x ビット \times y エントリーが z 個必要となる。 x 、 y 、 z の値はいくらか？ また、エントリーの内容を説明せよ。
- (5-6) n ウェイ群連想方式が完全連想方式に比べて優れている点を示せ。
- (5-7) n ウェイ群連想方式が直接マップ方式に比べて優れている点を示せ。

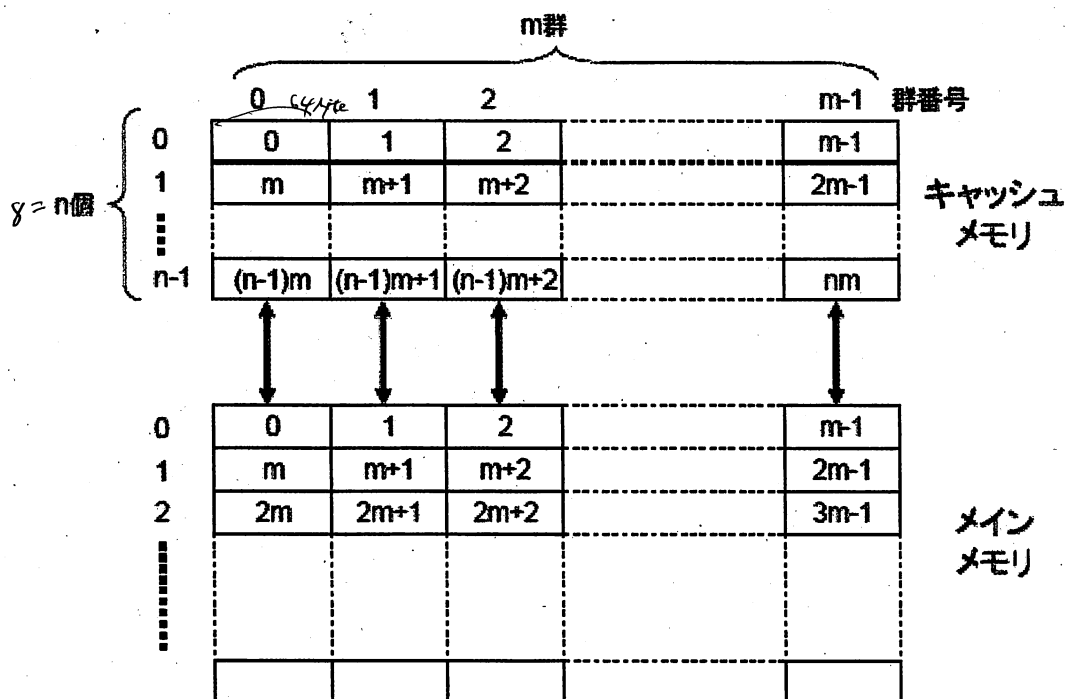


図2 群連想方式

i :1ブロック