

電子回路：第12回 MOSトランジスタ

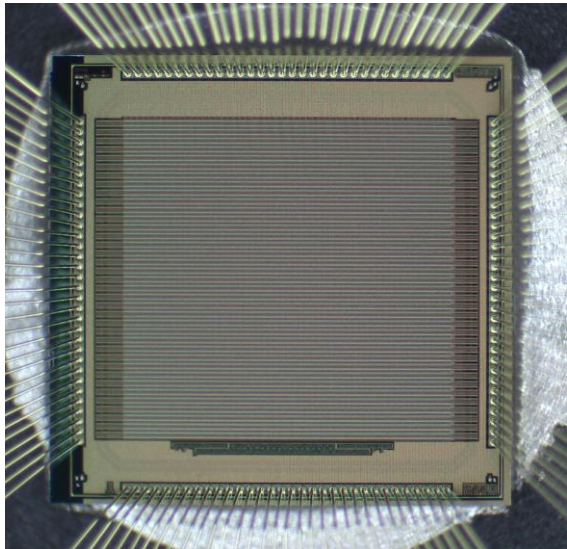
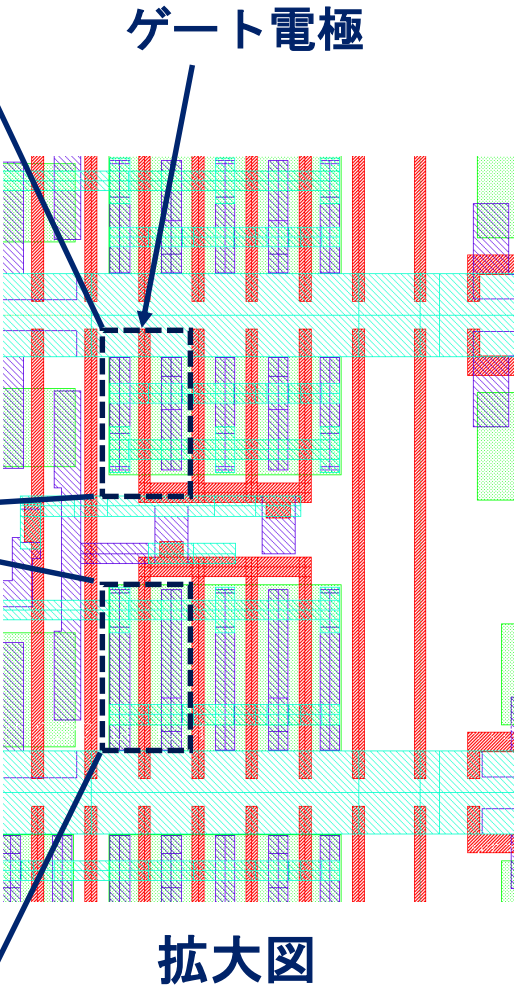
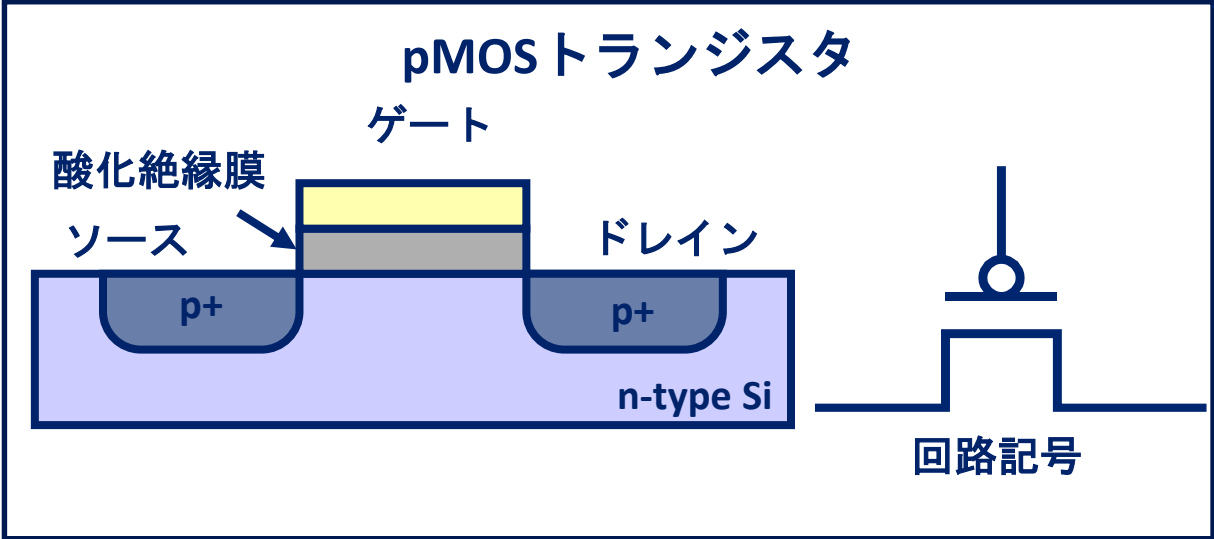
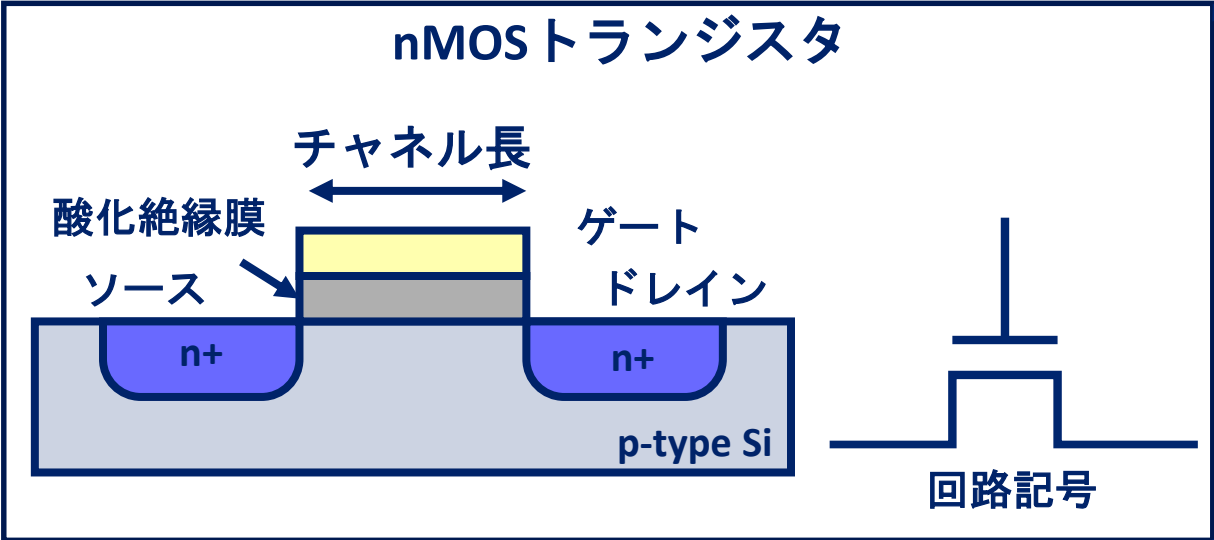
基礎工学部情報科学科

栗野 皓光

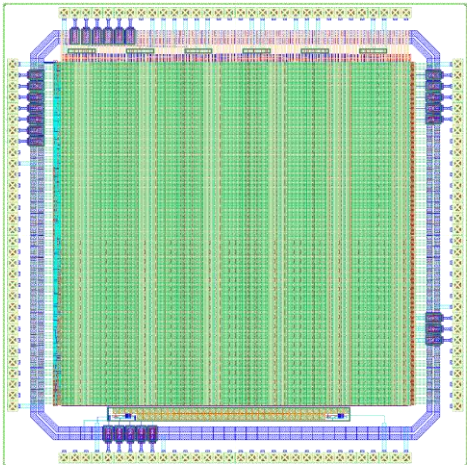
awano@ist.osaka-u.ac.jp



Metal Oxide Semiconductor Field-Effect Transistor (MOS-FET)



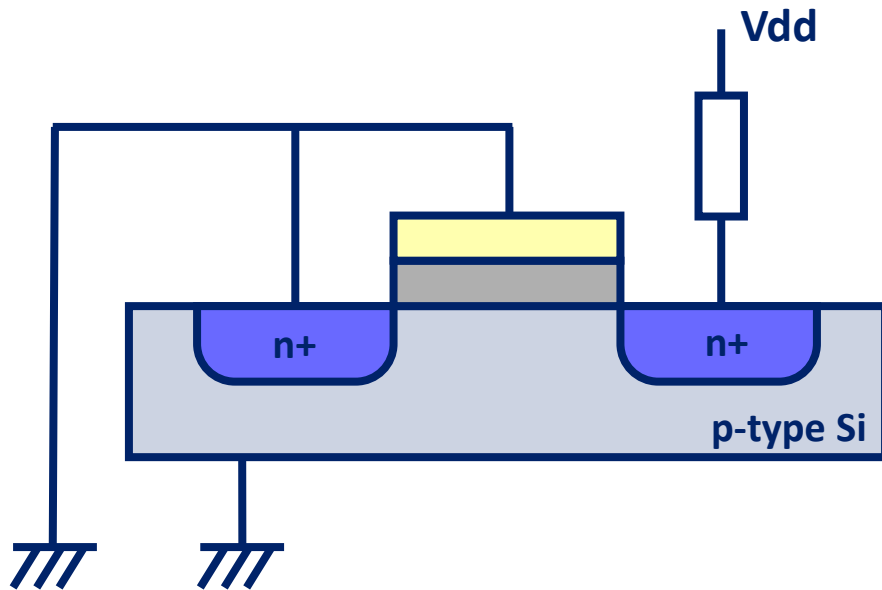
研究室で設計したチップ



レイアウト

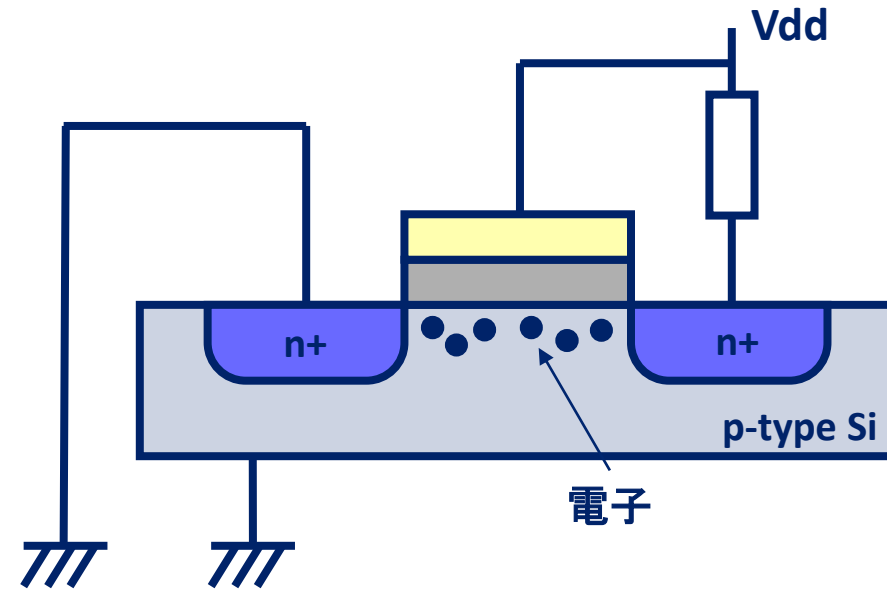
nMOSトランジスタの動作

ゲートに**負**電圧を印加



ソース・ドレインはp型基板で絶縁
⇒電流は流れない (OFF状態)

ゲートに**正**電圧を印加

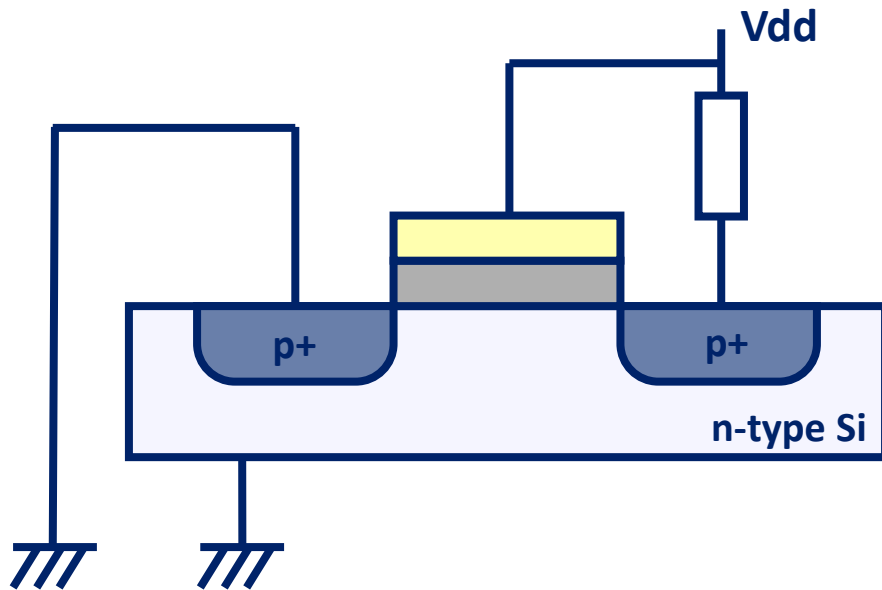


ゲートが作る電界に電子が引き寄せられ、逆にホールは
追い出されることで電子の多い領域が形成
⇒ドレイン・ソース間が導通 (ON状態)



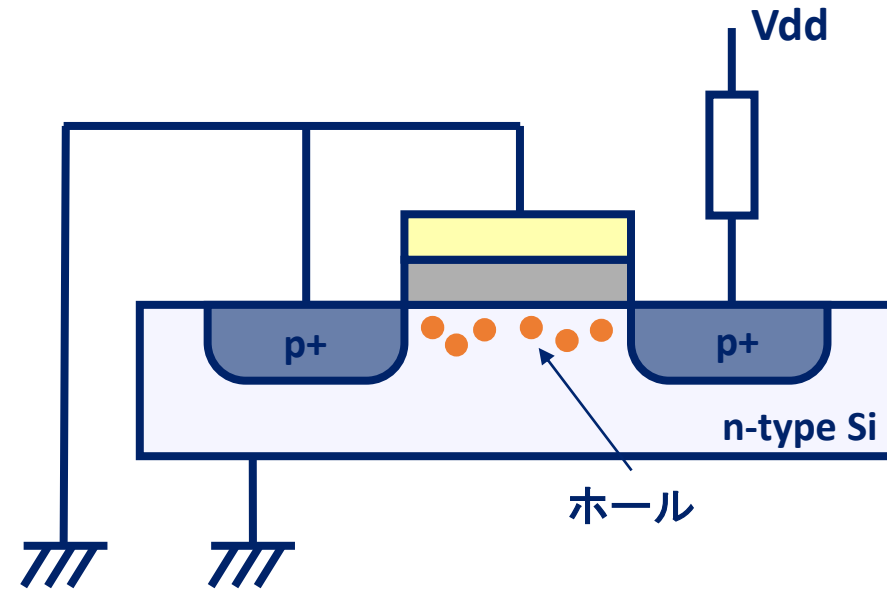
pMOSトランジスタの動作

ゲートに**正**電圧を印加



ソース・ドレインはp型基板で絶縁
⇒電流は流れない (OFF状態)

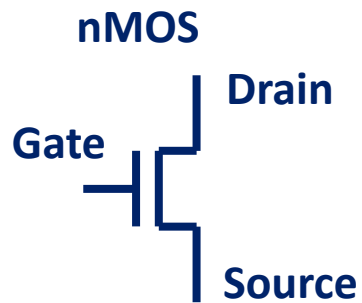
ゲートに**負**電圧を印加



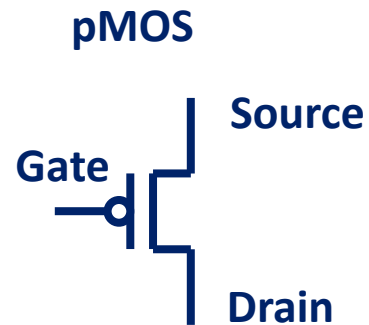
ゲートが作る電界にホールが引き寄せられ、ホール過多の領域が形成される⇒ドレイン・ソース間が導通 (ON状態)



スイッチとしてのMOSトランジスタと論理ゲート



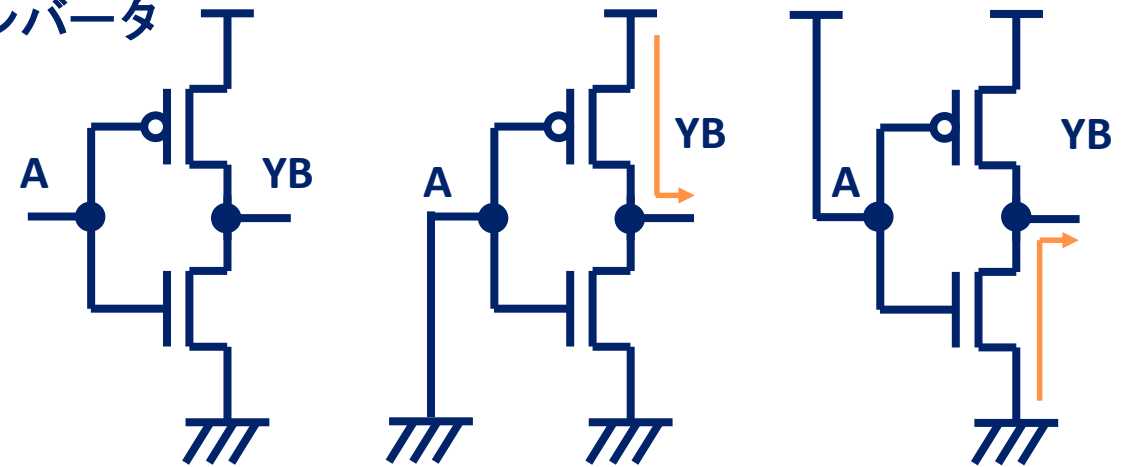
Gate	Source-Drain
H	ショート (ON)
L	オープン (OFF)



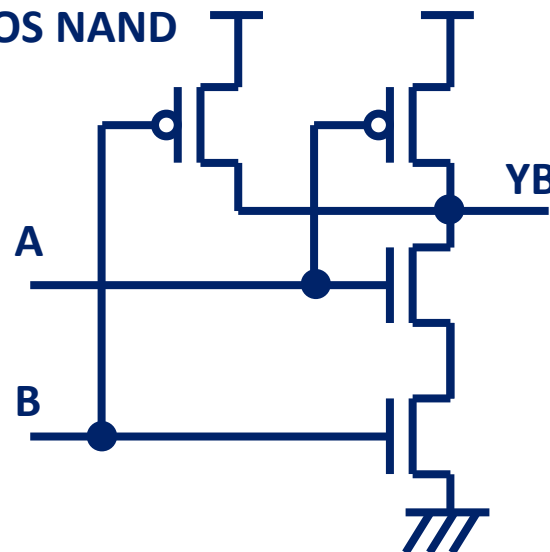
Gate	Source-Drain
H	オープン (OFF)
L	ショート (ON)

- 正確には V_{GS}
- 一般にnMOSのソースは0V・pMOSのソースは電源に繋ぐのでゲート電圧だけで議論して良い

CMOSインバータ

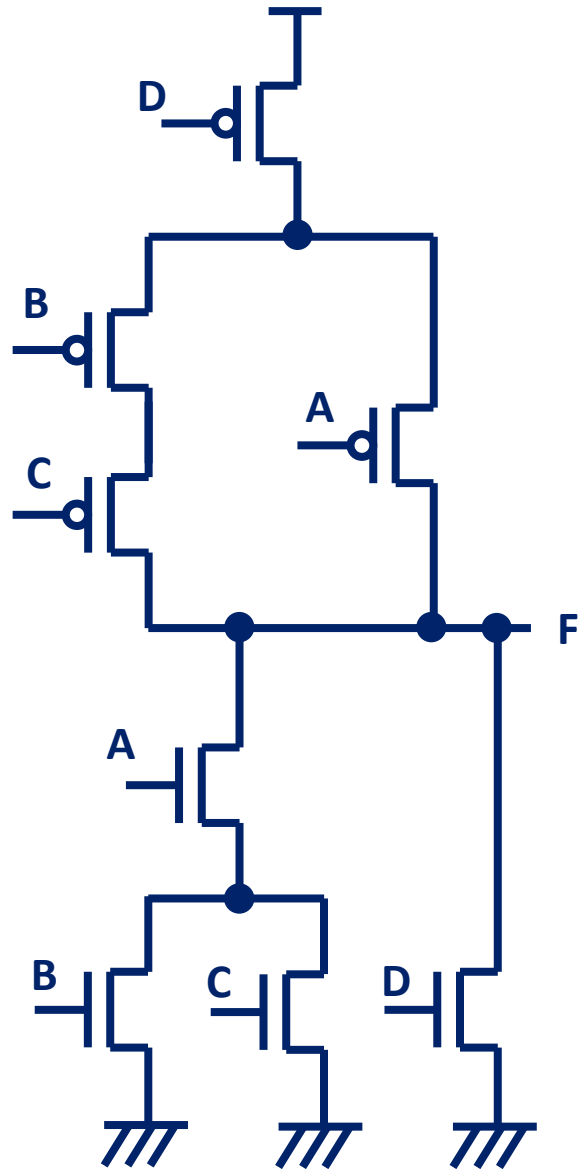


CMOS NAND



- A・Bがともに“H”
直列接続のnMOSがONしYB=“L”
- A・Bのどちらかでも“L”
並列に接続されたpMOSがONしYB=“H”

回路図⇒ブール式の変換



□ pMOSに着目する場合

直列⇒AND・並列⇒ORに注意すると

$$F = \bar{D} \cdot (\bar{B} \cdot \bar{C} + \bar{A})$$

□ nMOSに着目する場合

$$\bar{F} = A \cdot (B + C) + D$$

↑
論理否定に注意 (nMOSがONの時は出力は“L”)

$$\text{よって } F = \overline{A \cdot (B + C) + D} = (\bar{A} + \bar{B} \cdot \bar{C}) \cdot \bar{D}$$



ブール式⇒回路の変換

pMOS・nMOSの接続を変えることで任意の論理関数を実現可能

以下のブール式をCMOS回路に変換

$$F = \overline{A + B \cdot C}$$

1. 入力毎に論理否定が入った形に式変形しpMOS部分を作る

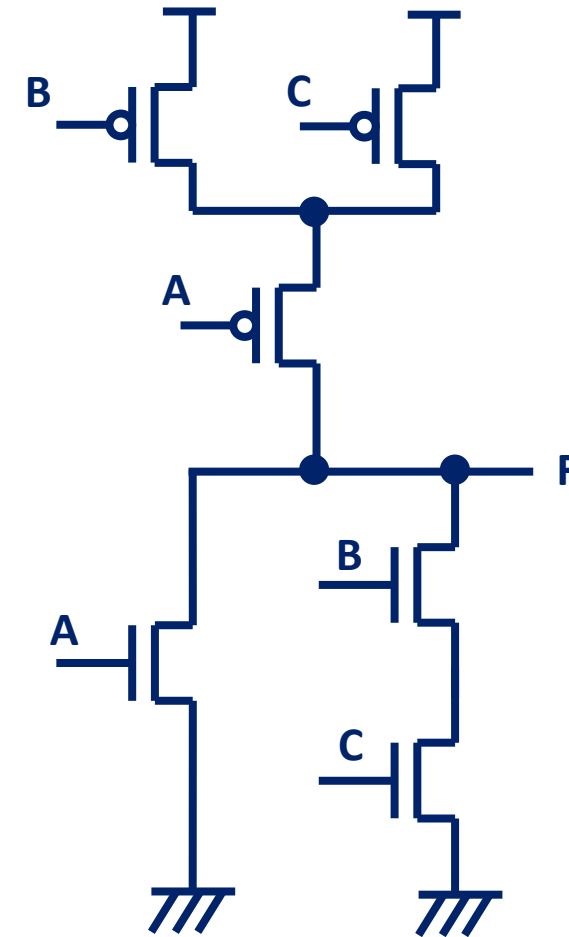
$$F = \overline{A + B \cdot C} = \overline{A} \cdot (\overline{B} + \overline{C})$$

□ AND⇒直列繋ぎ（全ての条件が満たされた時に導通）

□ OR⇒並列繋ぎ（どれか一つでも満たされれば導通）

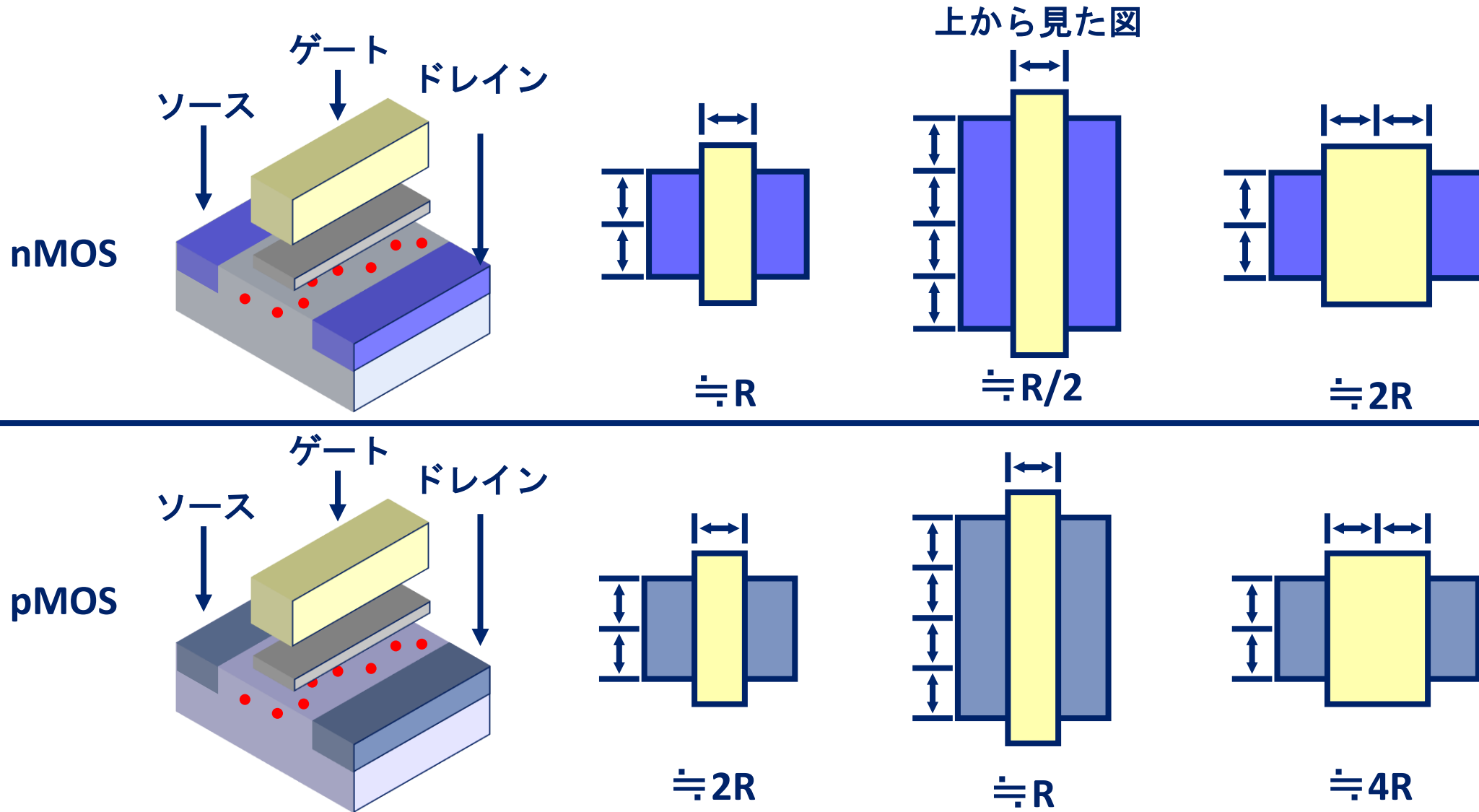
2. Fの論理否定を用いてnMOS部分を作る

$$\overline{F} = A + B \cdot C$$



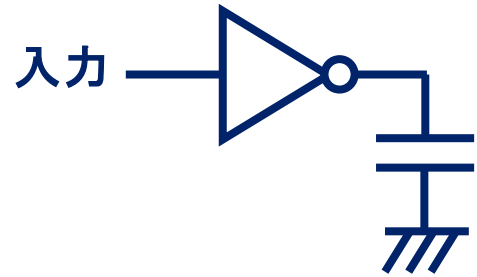
トランジスタのサイズ調整

pMOSトランジスタはnMOSトランジスタの**ほぼ倍の抵抗**を持つ

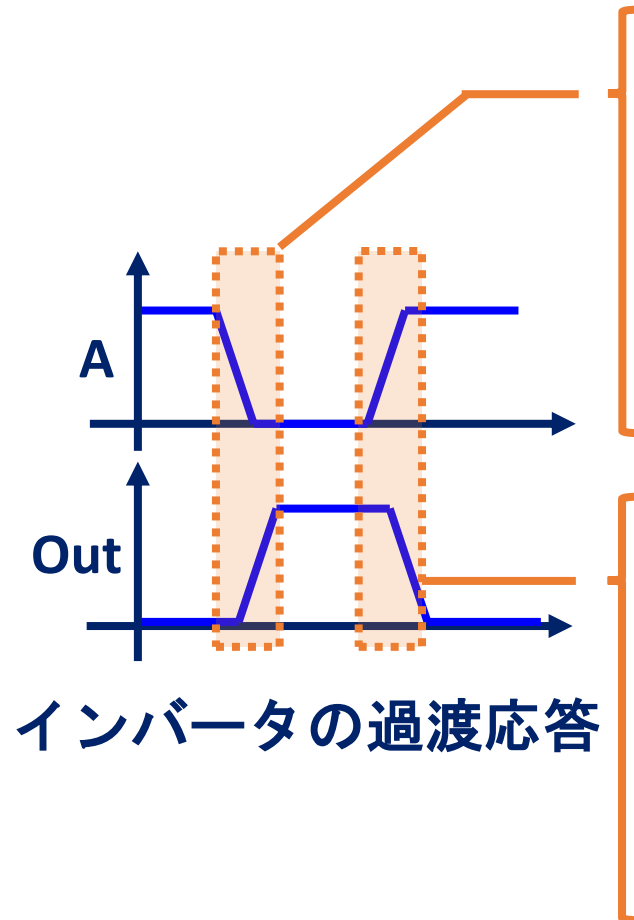
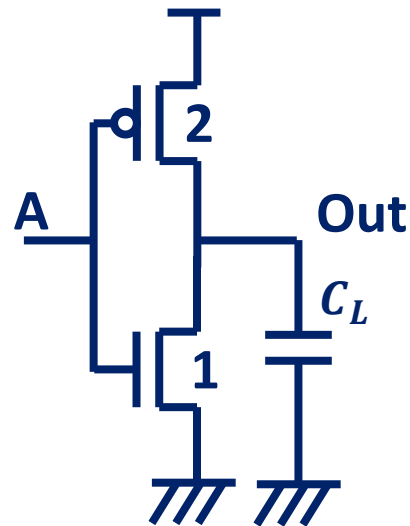


インバータのトランジスタサイジング

立上りと立下りで遅延時間を揃えるためにはpMOSのチャネル幅を倍にする

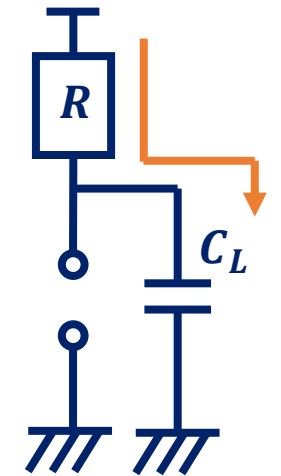


トランジスタレベルの回路図



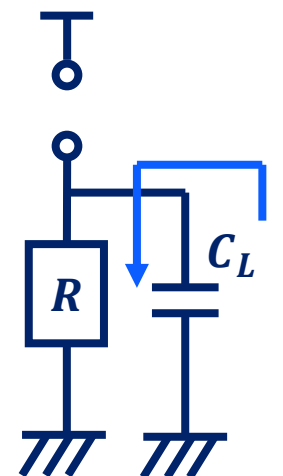
□ 立上り時の等価回路

- pMOSを通して負荷容量が充電される
- pMOSのチャネル幅は倍なので、等価抵抗はR



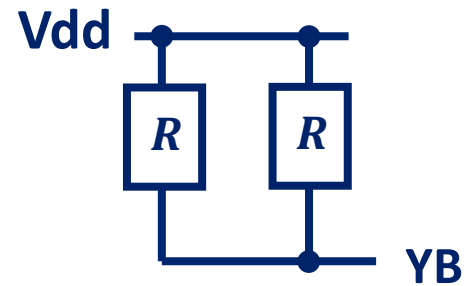
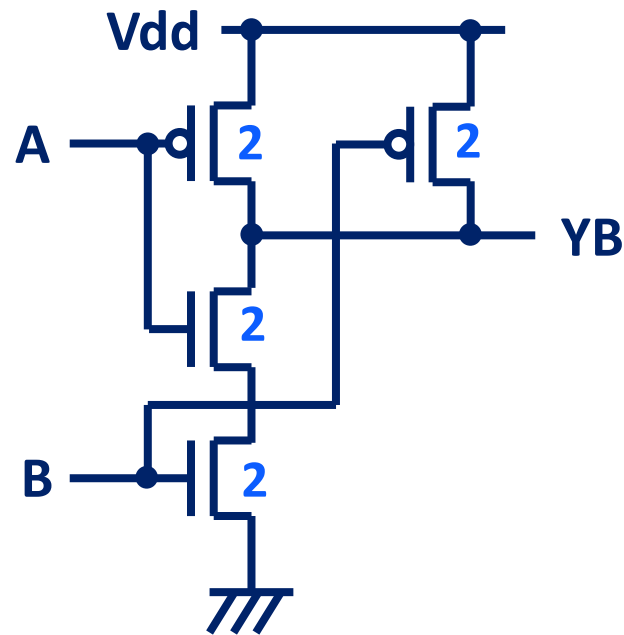
□ 立下り時の等価回路

- nMOSを通して負荷容量が放電される
- nMOSの等価抵抗はR



NANDトランジスタサイジング

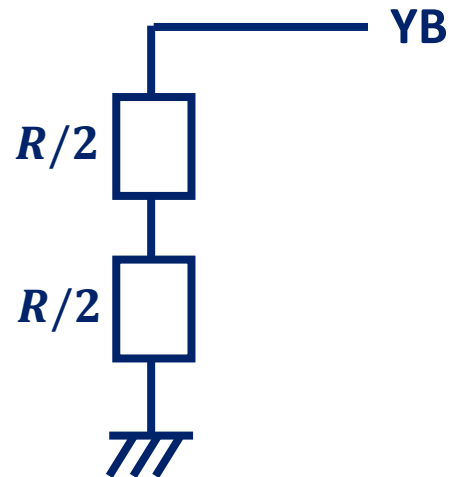
□ 立上りの等価回路



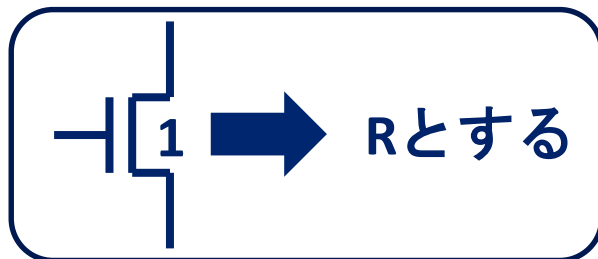
- 入力A・Bがともに“0”の時は、2つのpMOSが同時にON
- 等価抵抗は全体で $R/2$ となるが、最悪遅延を想定するために片方のみが“0”の場合を考える

➡ 等価抵抗は R

□ 立下りの等価回路

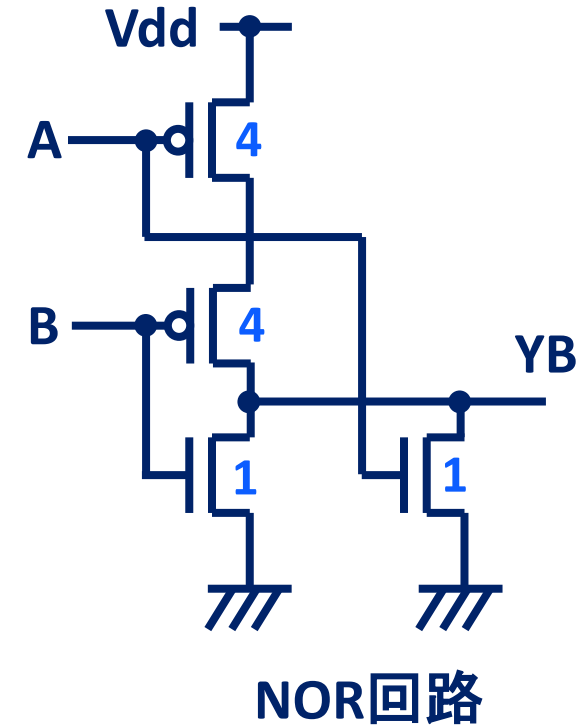


- nMOS側は直列に繋がっている所以抵抗値も2倍
- pMOS側の抵抗と揃えるためには、**nMOSも2倍の幅**にしておけば良い



トランジスタサイジングアルゴリズム

- N 個のトランジスタが直列に接続
=> 各々のサイズを N 倍
- 並列接続されたパスは独立に考える（最悪遅延の想定）
- nMOSトランジスタのサイズを先に決定する



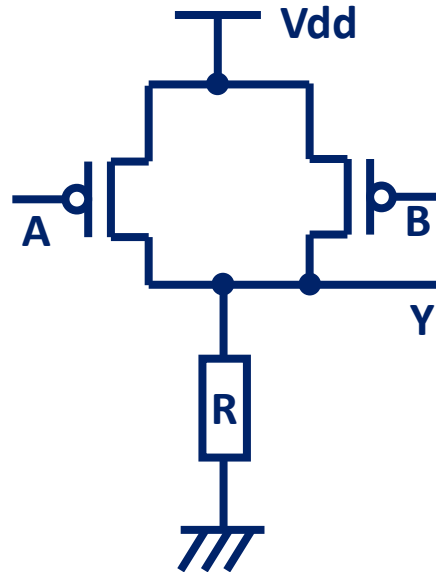
何故CMOS回路が使われるのか？

- 世界初のマイクロプロセッサであるIntel 4004はpMOSのみで論理回路を組んでいた
 - 半導体製造技術が未成熟だったため、同じシリコンウェハにpMOS・nMOSを集積することが難しかった

真理値表

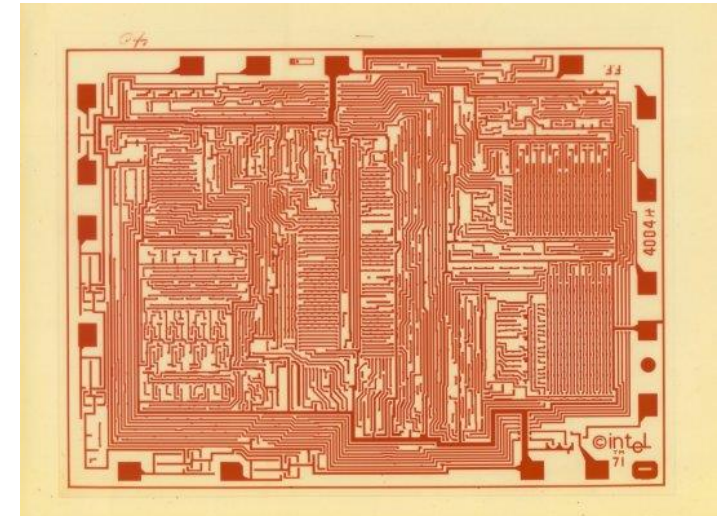
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

pMOSのみを用いたNAND回路



4004のメタルマスク

<https://tech.nikkeibp.co.jp/it/article/Watcher/20070702/276465/>



- “logic-1”を出力している間はDC電流が電源からトランジスタ・抵抗を介してグラウンドに流れ込んでしまう
=>消費エネルギーが非常に大きい
- 半導体製造技術の発展とともに、CMOS回路が一般的に使われるようになった

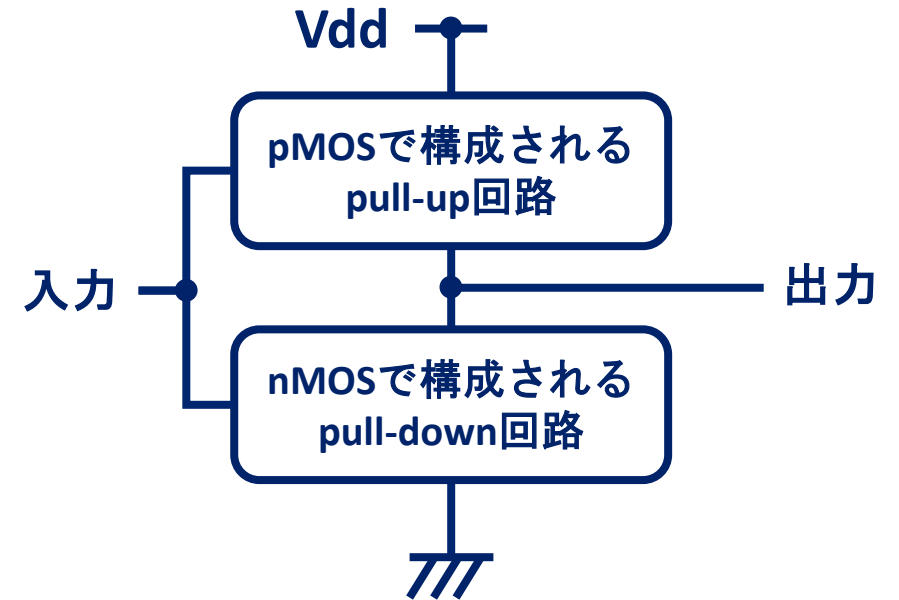


その他の回路方式

- 今までの説明はStatic CMOSを前提にしてきた
 - 出力を“1”に釣り上げるpull-up回路 (pMOS)
 - 出力を“0”に引き下げるpull-down回路 (nMOS)
 - pull-upとpull-downは排他的に動作
 - 出力が“1”ならpMOSのみ導通
 - 出力が“0”ならnMOSのみ導通
- ⇒必ずどちらかは閉じているので、
直流消費電力が無い
- 面積や遅延などを考慮して、他の回路方式が使われることもある
 - Static方式の仲間
 - Pas-transistor logic系
 - Pseudo-nMOS logic
 - Dynamic方式

□ CMOS論理ゲートの基本構成

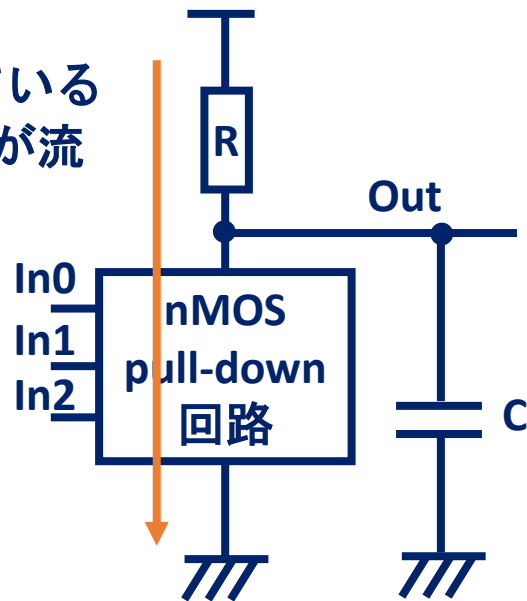
- pMOSとnMOSが相補的 (Complementary) に動作
- 片方がONのとき、もう片方はOFF



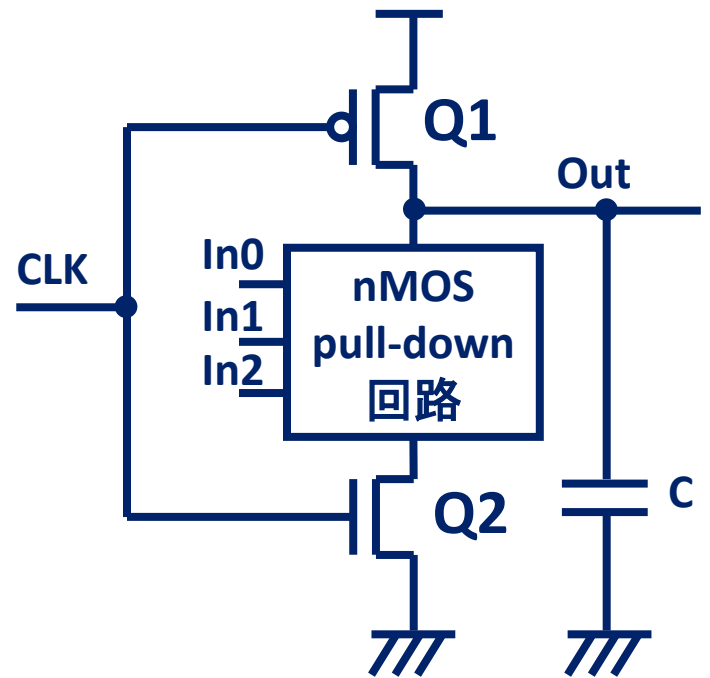
ダイナミックロジック

- pMOSまたはnMOSだけで論理回路を作ろうとすると直流電力を消費してしまう
⇒必要な時だけ電源と繋ぐスイッチを付加（＝ダイナミック回路）

“0”を出力している
間は貫通電流が流
れてしまう



nMOSのみで構成
した論理回路



ダイナミック・ロジック
で構成した論理回路

- 2つのトランジスタ（Q1・Q2）でnMOSのpull-down回路を挟み込んでいる
- Q1・Q2が相補的にONすることで、貫通電流を流さない方式

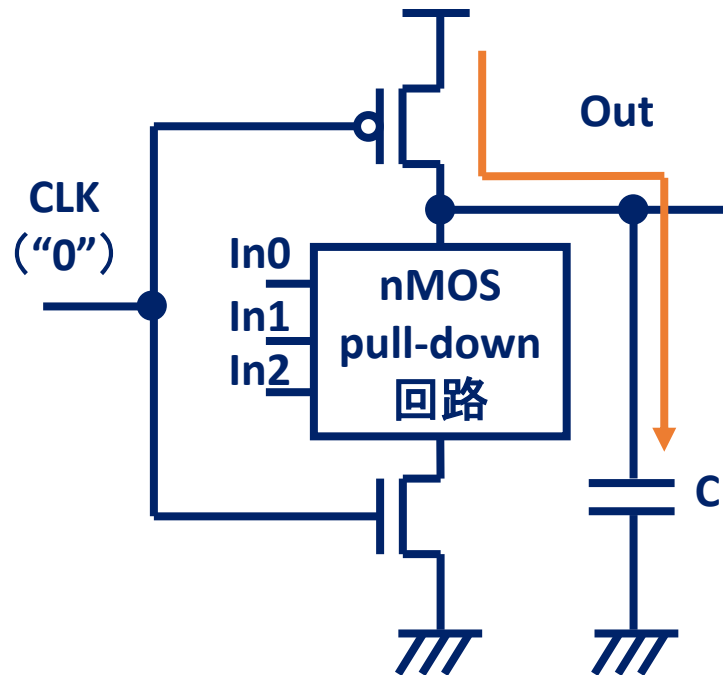


ダイナミック・ロジックの動作

2つのフェーズから成る

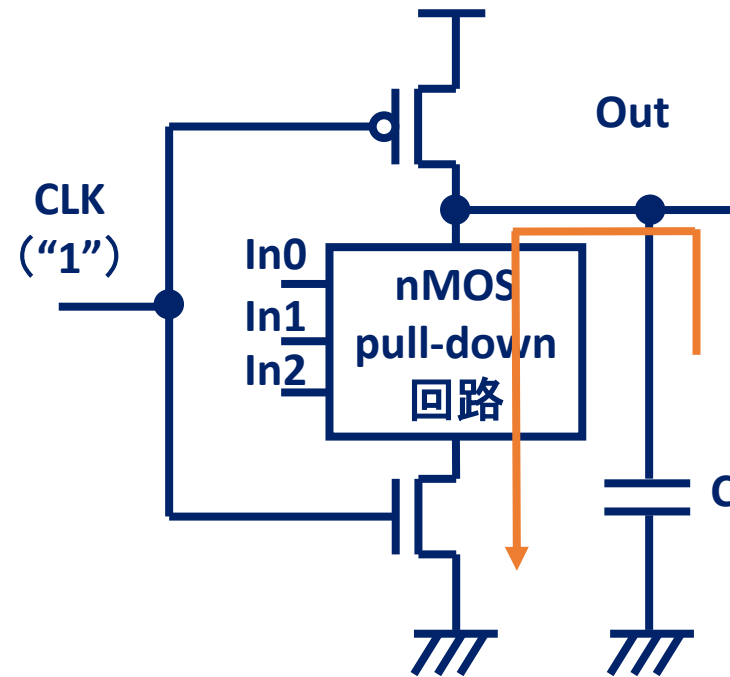
□プリチャージ

- CLKに“0”を入力すると上部のpMOSがONしてコンデンサを充電
- この時、下部のnMOSはOFFしているため貫通電流は流れない



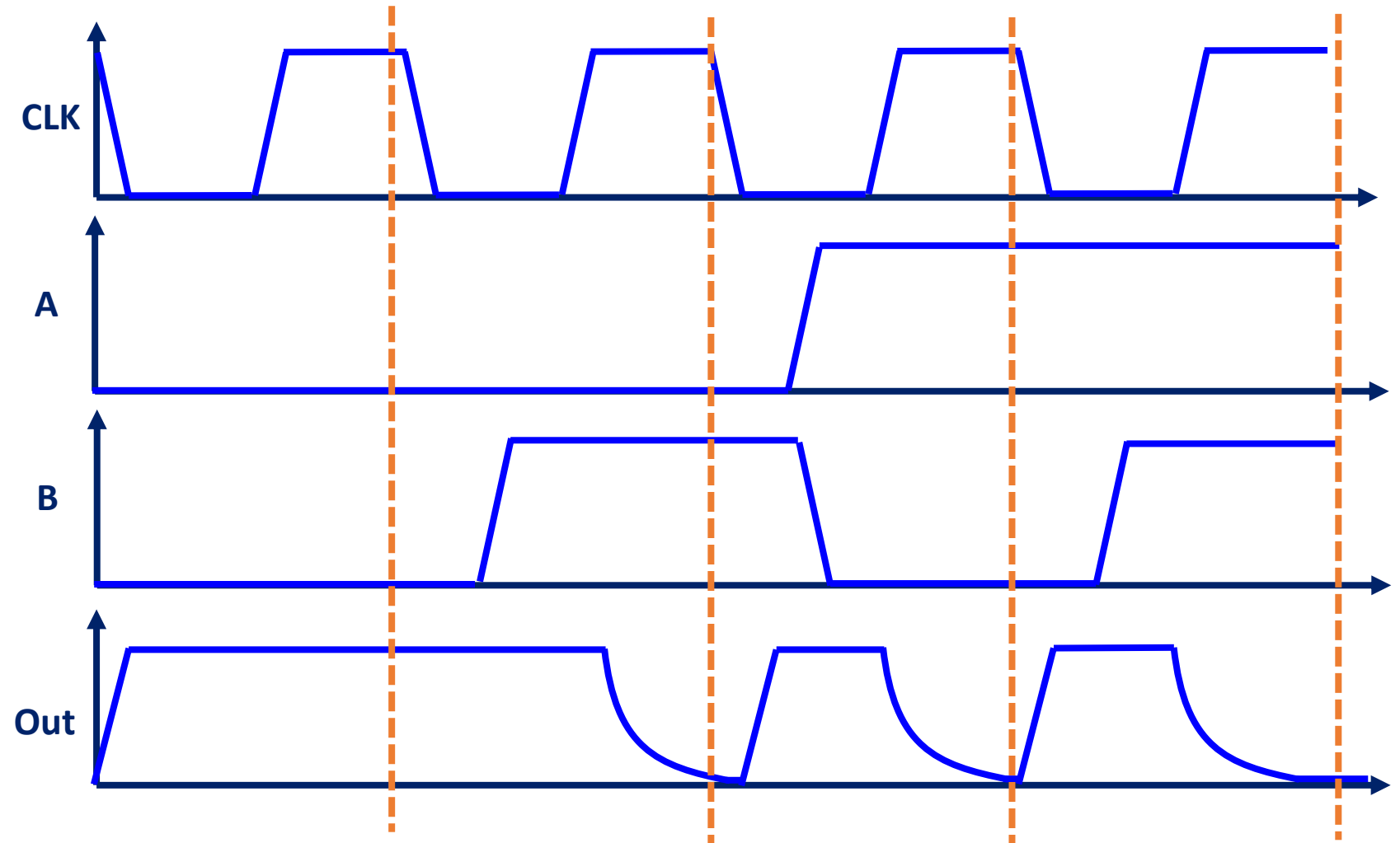
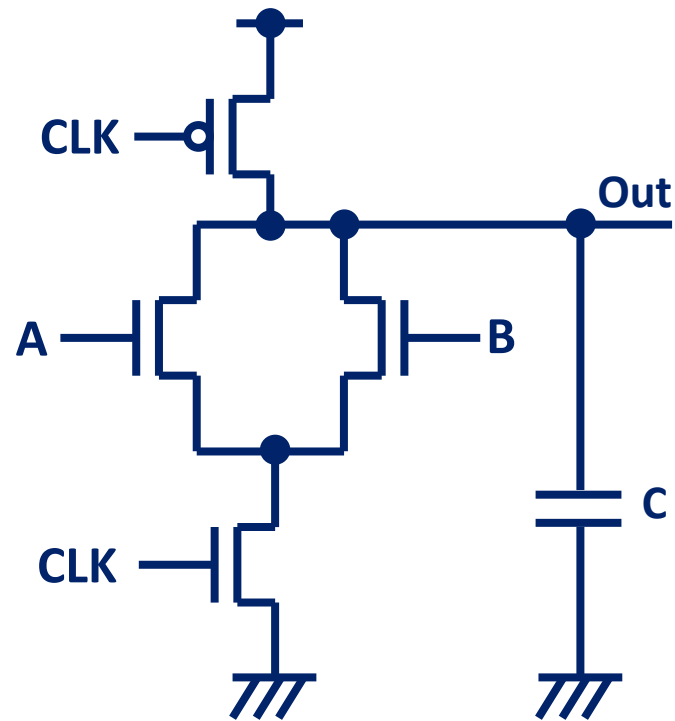
□評価

- CLKに“1”を入力すると下部のnMOSがON
- この時、出力が“0”であればpull-down回路が導通し、コンデンサを放電する
- 出力が“1”ならばpull-down回路は導通しないのでコンデンサは充電されたまま
- 同時に上部のpMOSはOFFするので、やはり貫通電流は流れない



ダイナミック・ロジックで構成したNOR回路

ダイナミックNOR

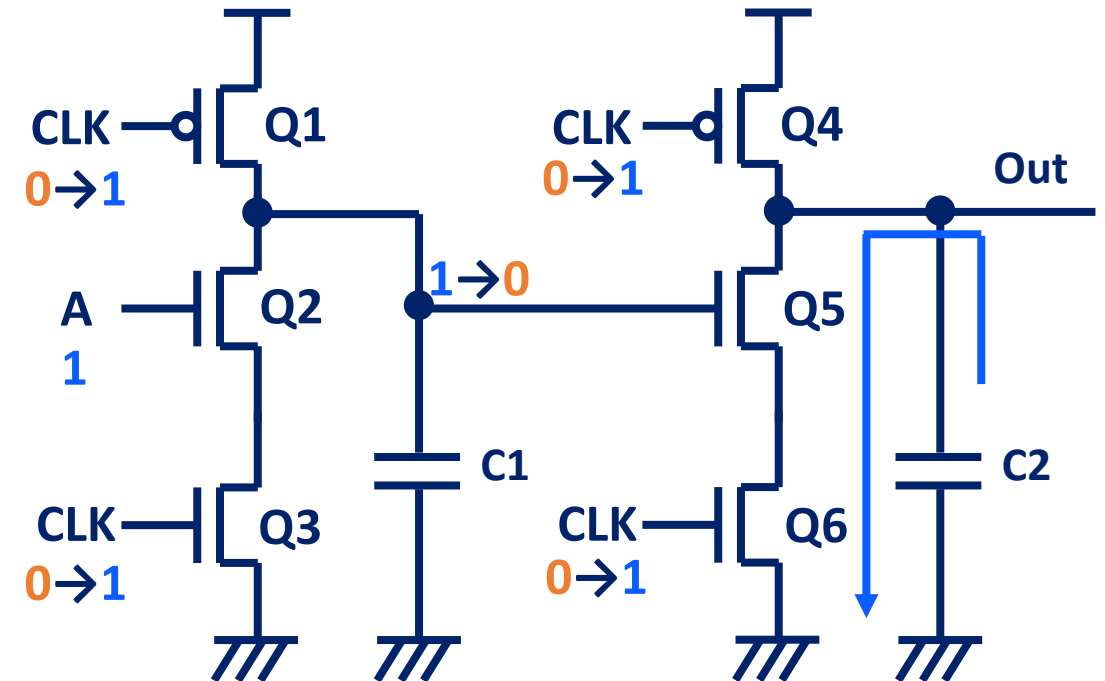


評価フェーズ（CLK="1"の時）にOutの値を取り出せばNORになる



ダイナミック・ロジックの問題点

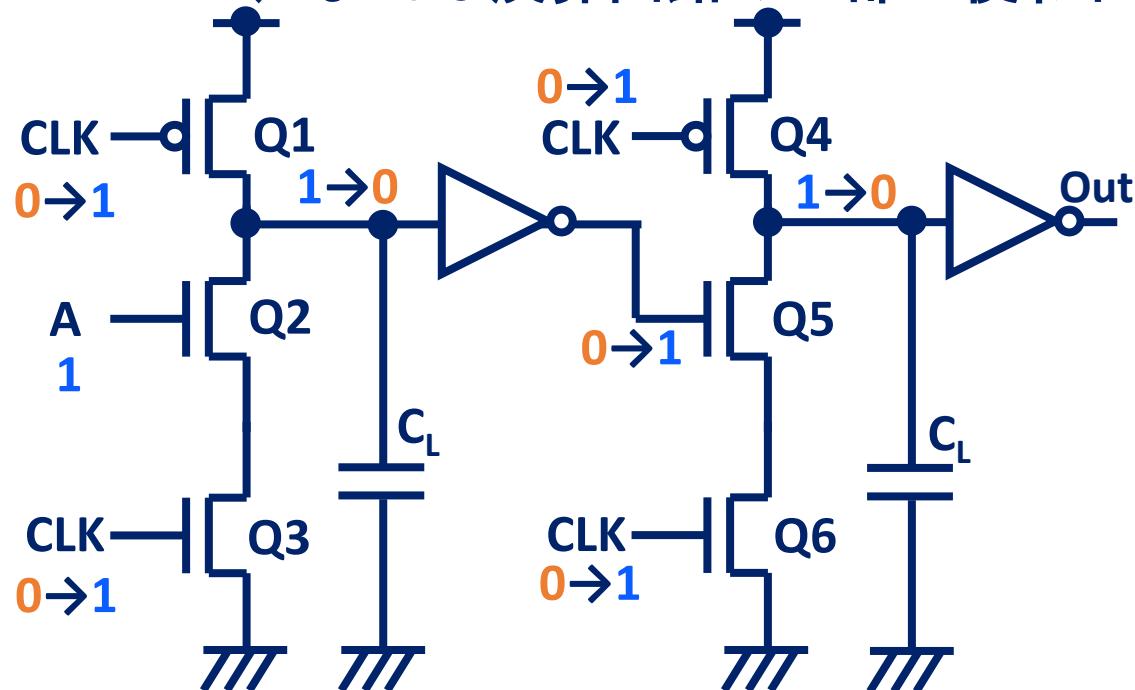
- 前述のダイナミック・ロジックはカスケード接続できない
 - 無理やり繋いでみると...
 - 初段のプリチャージ時に後段のQ5が意図せずにONしてしまう
=> C2が十分に充電されない
 - 初段の評価フェーズでもQ5はONしたまま
=> C2が放電されてしまう
=> 後段の回路は常に“0”を出力
-



評価フェーズの開始直後はQ5・Q6がともにONしている
→C2が意図せず放電されてしまう

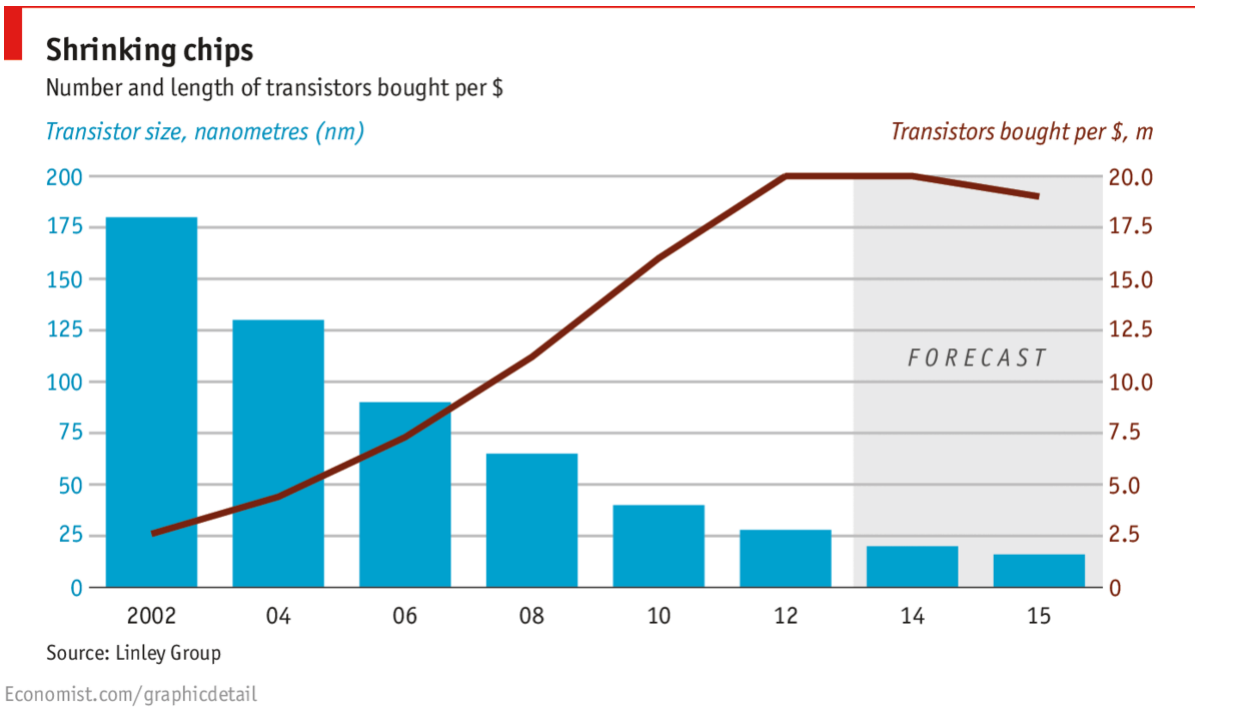
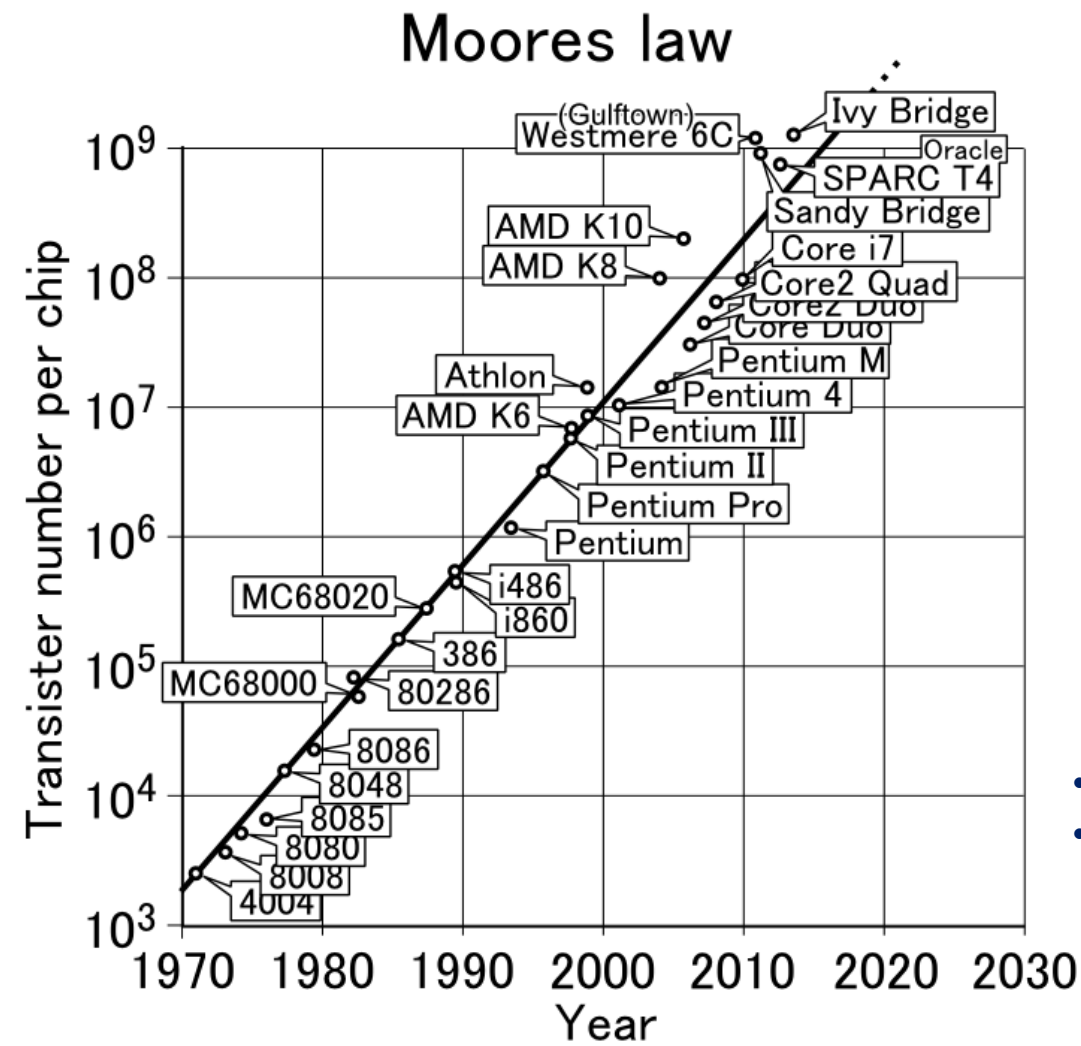
ドミノ論理回路

- 解決策：プリチャージ中の“1”が伝播しないようにインバーターを挟む
⇒ドミノ論理回路と呼ばれる
- ダイナミック・ロジックのその他の課題
 - 低いクロック周波数で誤動作する
 - CLKが遅いと漏れ電流で C_L が放電されてしまい，“1”出力を維持できない
 - 自動配置配線との相性が悪い
- 商用プロセッサにおけるドミノ論理回路
 - 第2世代Pentium4（Northwood）までは演算回路の一部に使われていた



プロセッサの飛躍的な性能向上と将来のコンピューティング

- ムーアの法則：
集積回路上のトランジスタ数は「18か月毎に倍になる」



<https://www.economist.com/graphic-detail/2013/12/30/less-is-moore>

- ムーアの法則の経済的な終焉
- 新概念コンピューティングの研究が活性化
 - IEEEもPost Moore時代のコンピューティングを検討する団体を設立

