

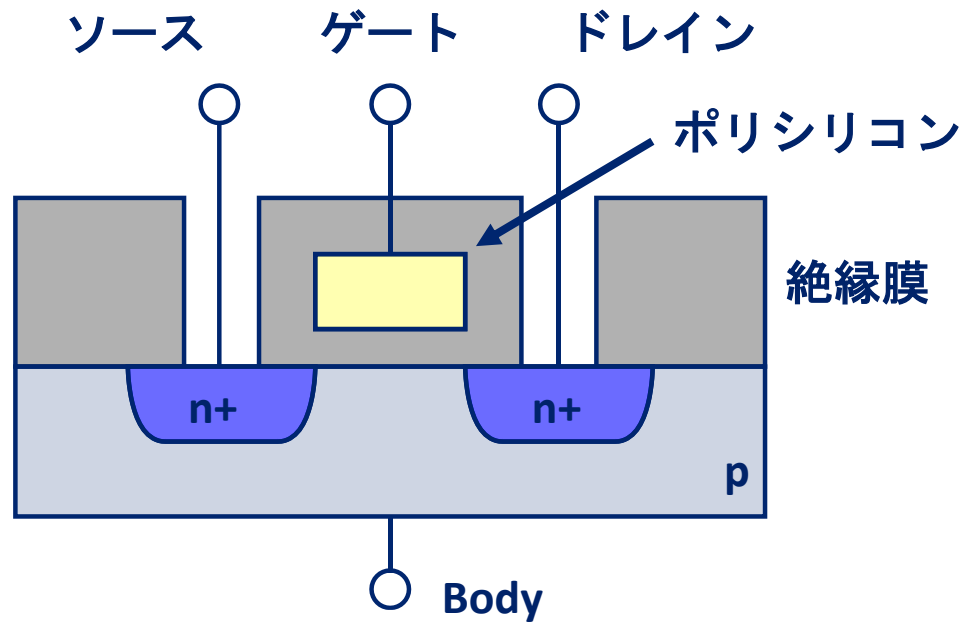
電子回路：第14回 CMOSレイアウト・再構成可能回路

基礎工学部情報科学科

栗野 皓光

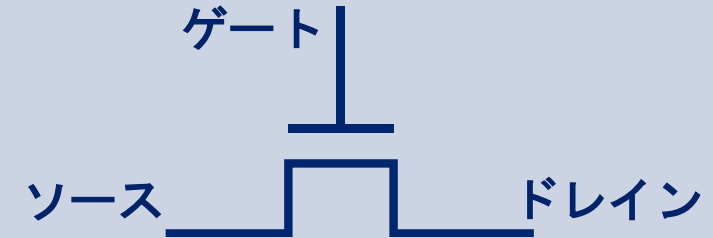
awano@ist.osaka-u.ac.jp





断面図

回路記号



一般的にはbodyは0Vに接続するため省略することが多い

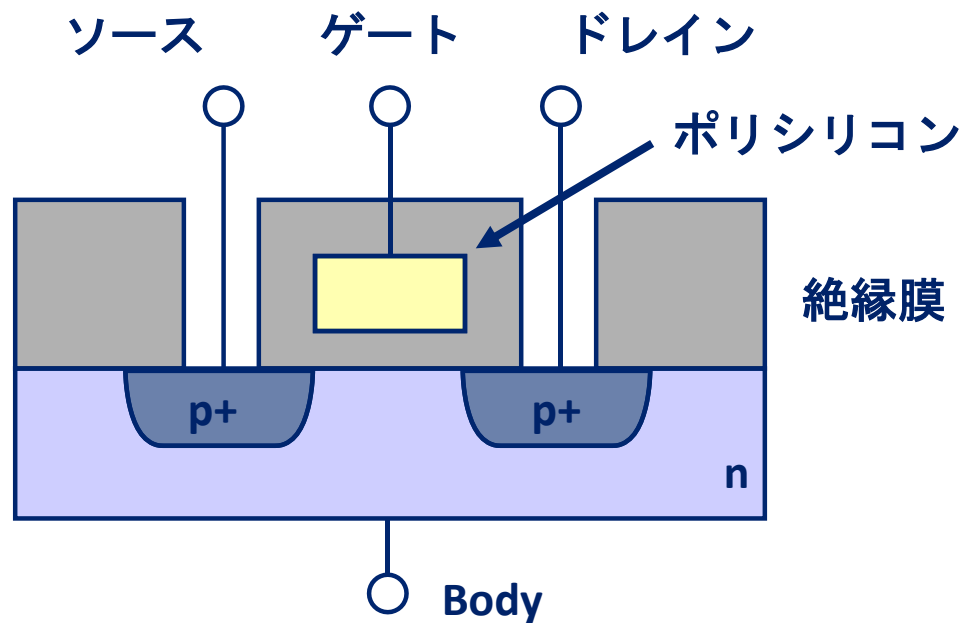
動作



ゲート: 0V
スイッチOFF

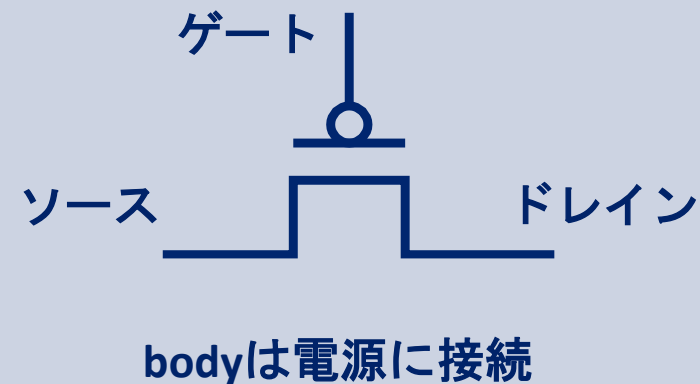


ゲート: 電源電圧
スイッチON



断面図

回路記号



動作



ゲート: 0V

スイッチOFF

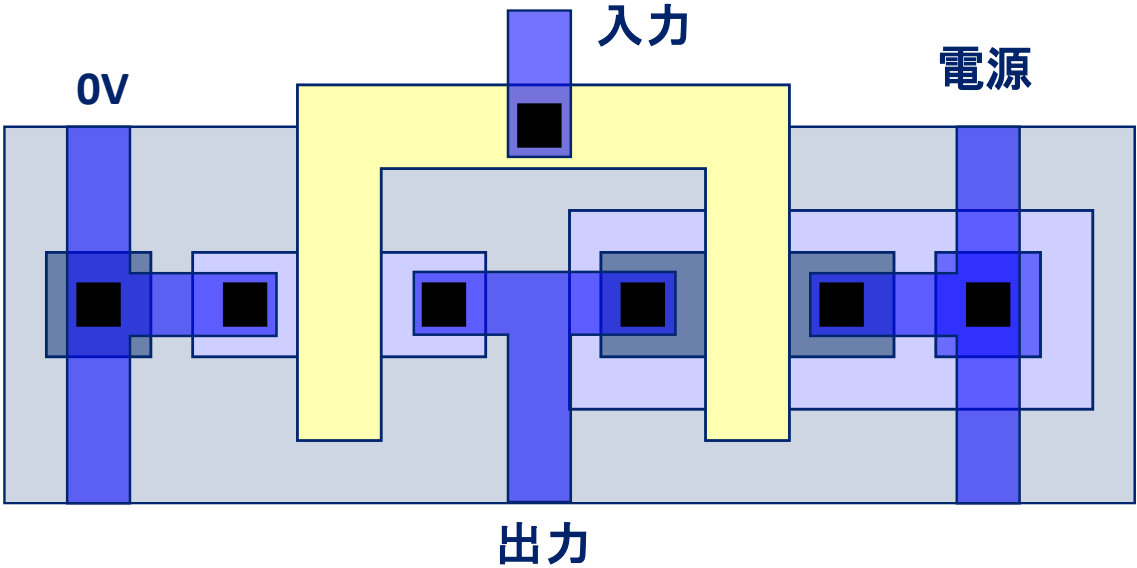


ゲート: 電源電圧

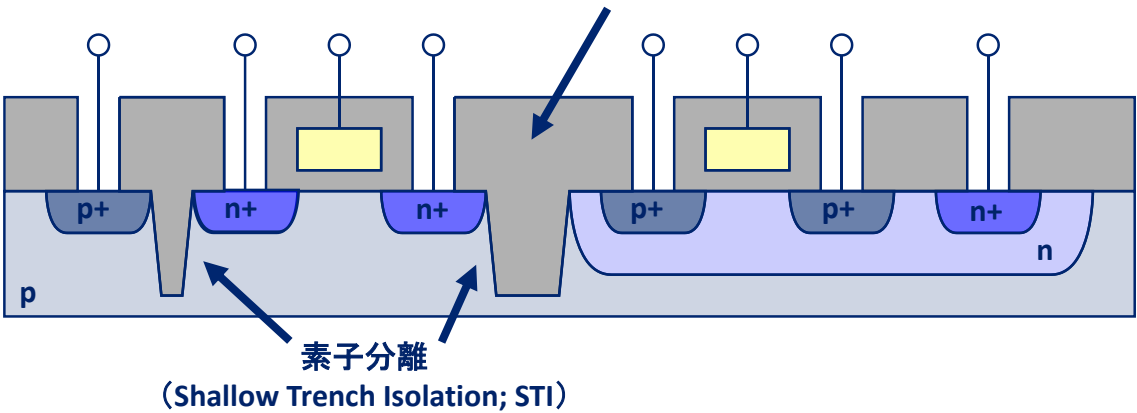
スイッチON

CMOS (Complementary MOS) 回路：論理反転素子

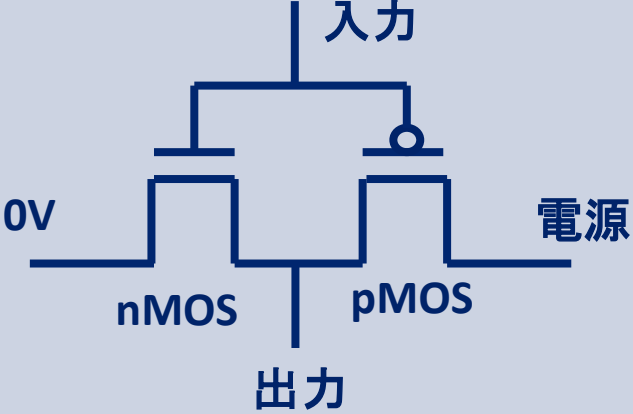
鳥瞰図 (レイアウト)



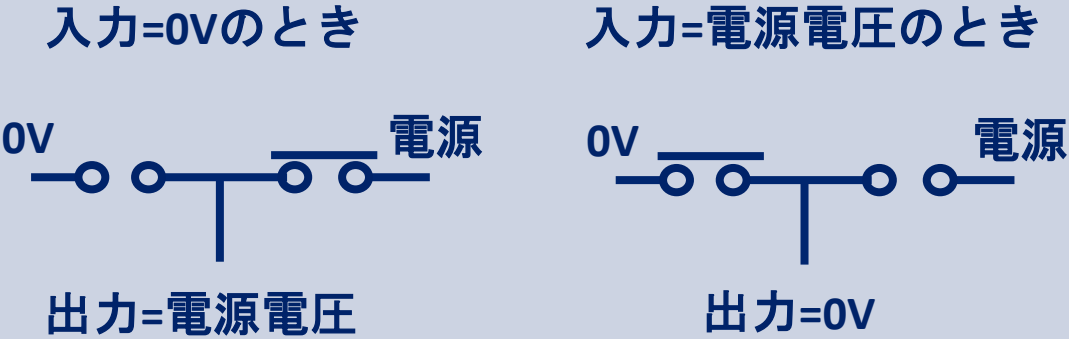
断面図



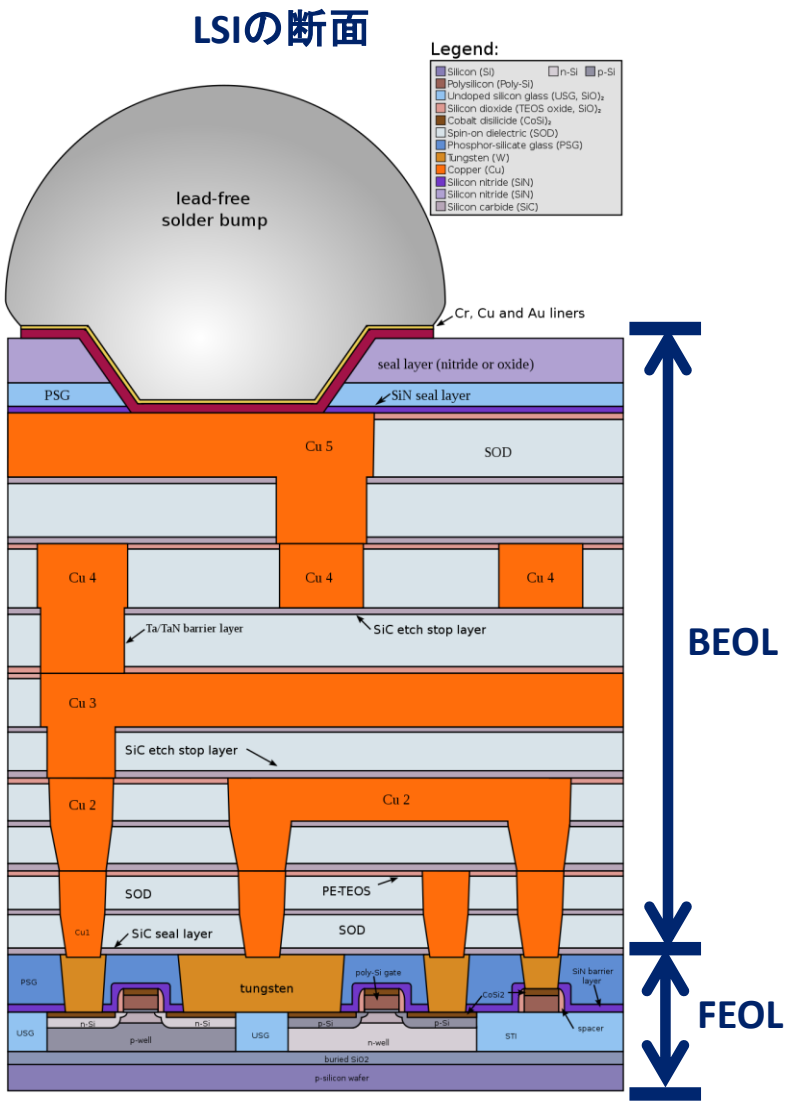
回路図



動作



LSI製造工程の概要



前工程：トランジスタ成型 (Front end of line; FEOL)

酸化

拡散

イオン注入

エッチング

後工程：金属配線成型 (Back end of line; BEOL)

金属膜
形成

層間絶縁膜
形成

エッチング

組み立て

ダイシング

ボンディング

テスト

一般的なLSIの製造フロー

製造者

回路設計者

マスク
データ

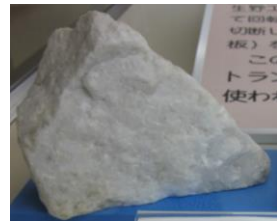
レイアウト

テスト
データ

完成チップ

Cmos-chip structure in 2000s / Cepheiden / CC BY 2.5 /
https://en.wikipedia.org/wiki/Back_end_of_line

シリコンウエハの製造



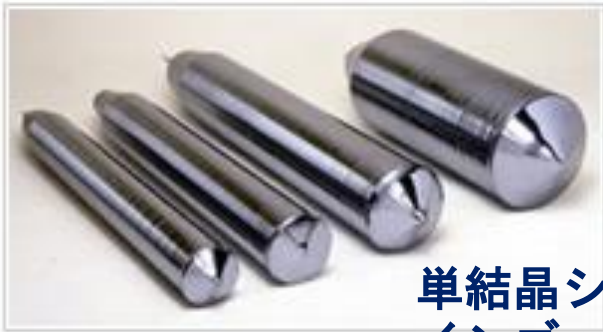
珪石

高純度化



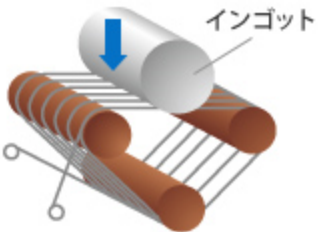
多結晶シリコン
純度：99.999999999%
(イレブンナイン)

多結晶シリコンを単結晶シリコンに作り変える

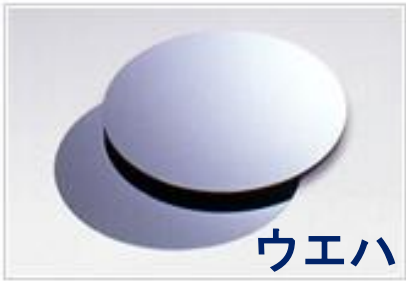
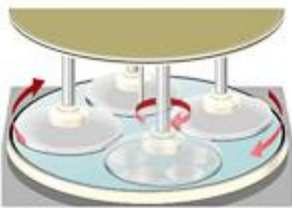


単結晶シリコンインゴット

スライス

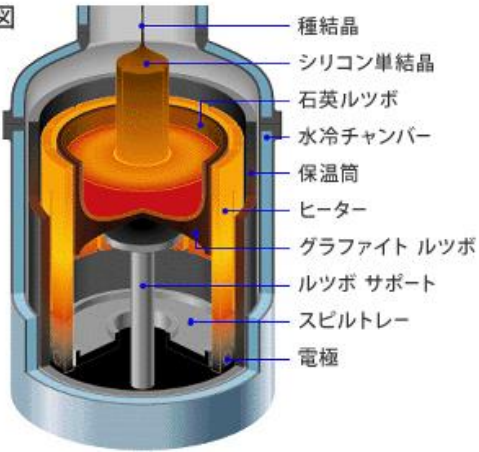


研磨

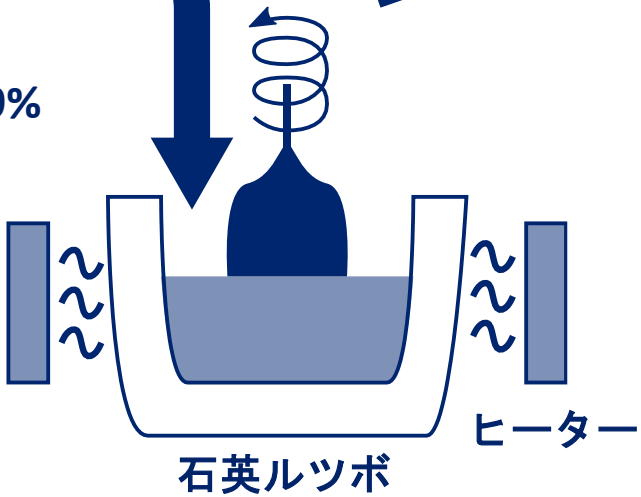


ウエハ

CZ炉 構造図



炉の構造図



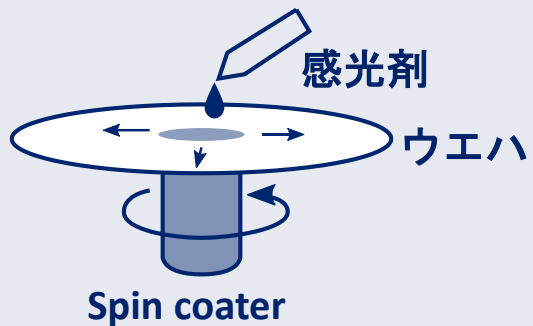
溶解したシリコンに種結晶をつけて回転させながら引き上げる

液面はシリコンの融点
(1420℃) に保つ

http://www.sumcosi.com/products/process/step_01.html

LSI製造プロセスの原理

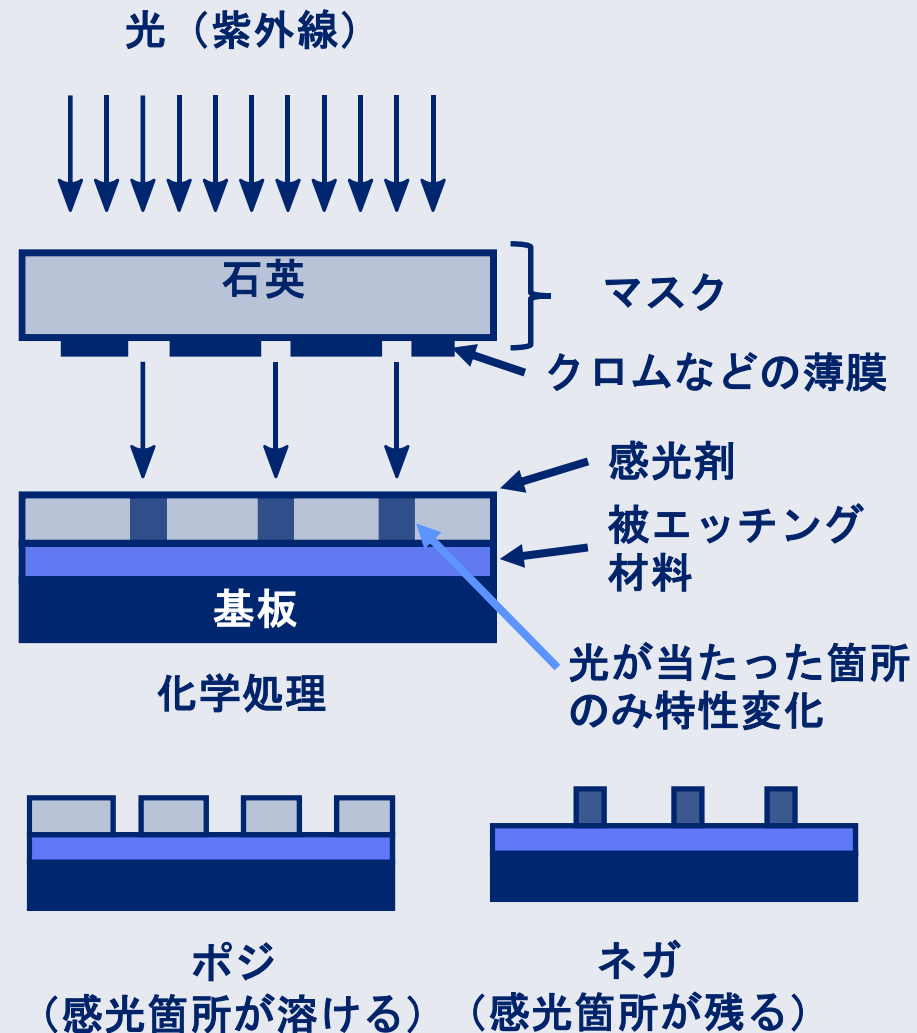
感光剤の塗布



ウエハに感光剤を
垂らし高速回転

遠心力で薄い均一な
膜が出来る

リソグラフィー (Lithography)



エッチング (Etching)

腐食剤によって不要部分を除去し、目的の形状を作りこむ

等方性:

被エッチング材料を垂直・水平に均一にエッチング

代表例: ウェットエッチング (薬液を利用)



異方性:

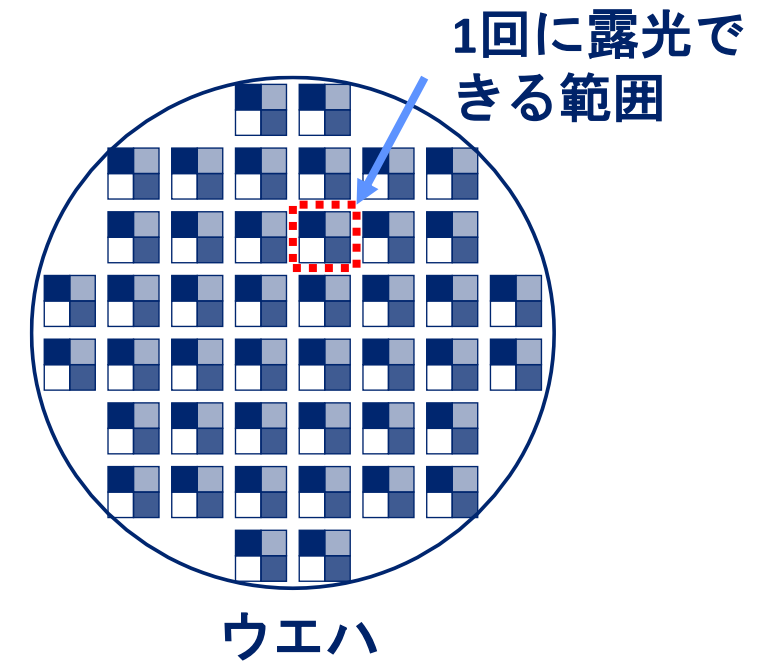
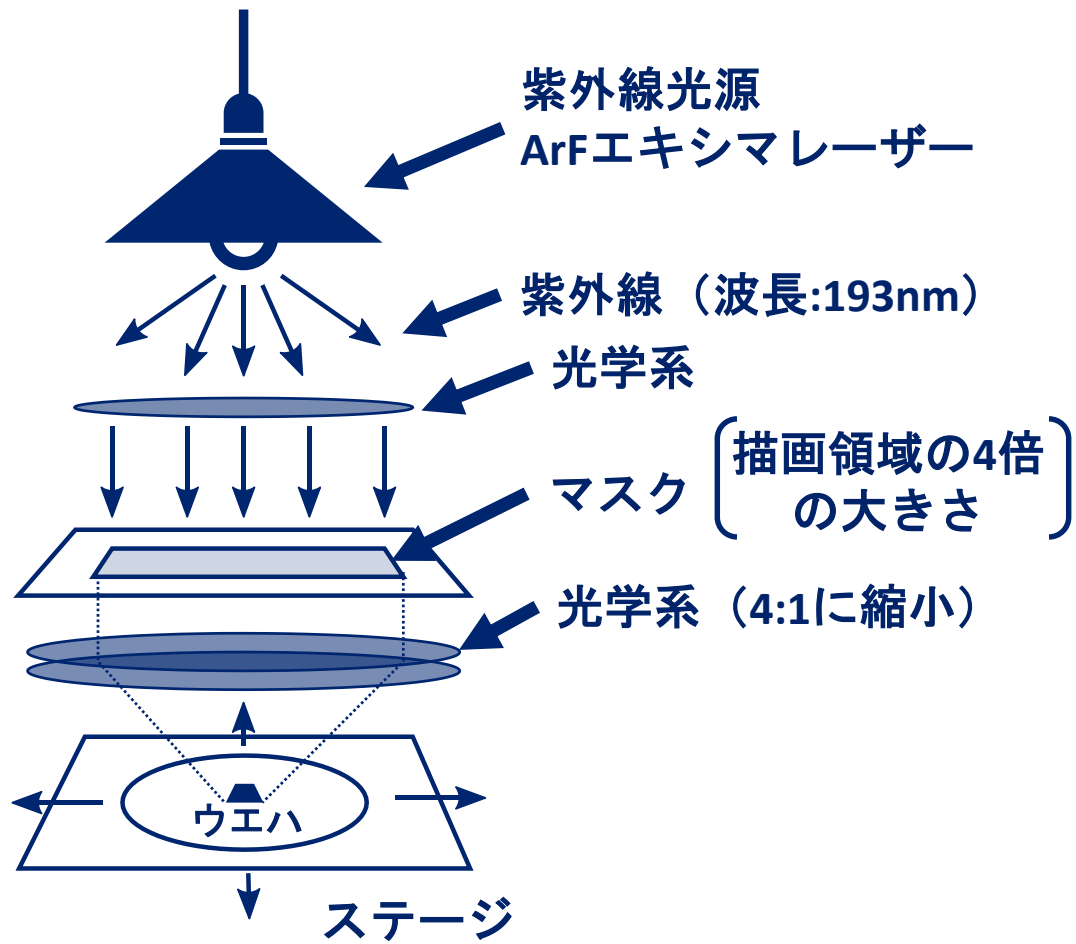
垂直方向のみにエッチングし、垂直な側壁を持つパターンを形成できる

代表例: ドライエッチング (腐食性ガスを利用)

LSI用の微細加工に適している



露光装置（ステッパ）

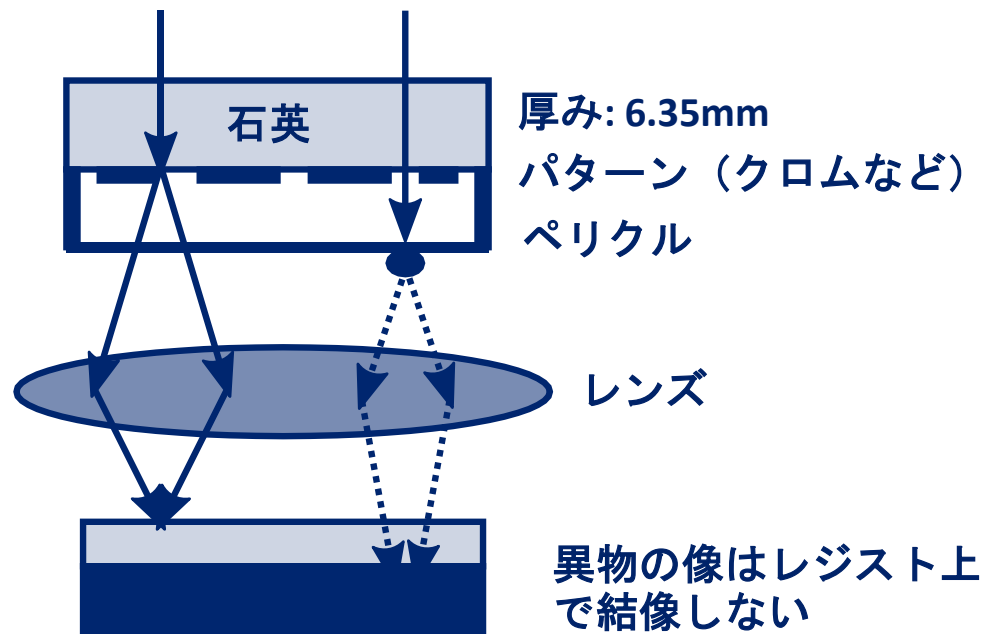


ステージを移動させながらウエハ
全面に図形を転写する

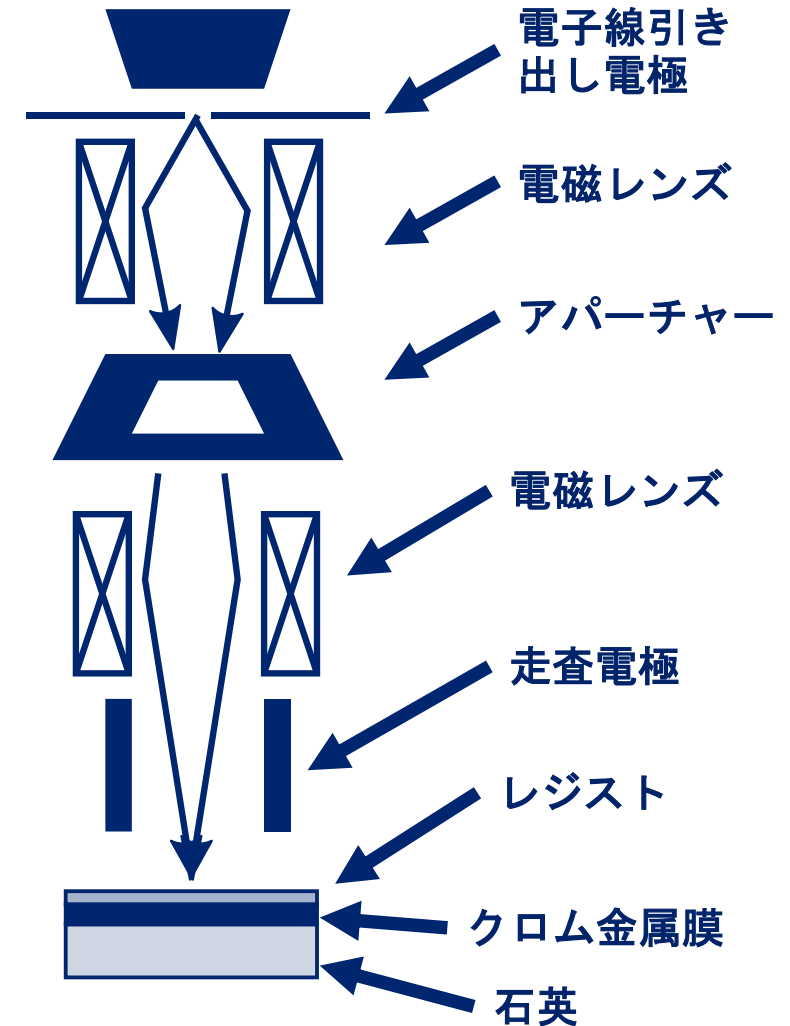
フォトマスクの構造と作り方

1. マスク自身の重みによるたわみが起きないように厚い石英で出来ている
2. 表面を保護するためのフィルム（ペリクル）が貼り付けてある

ペリクルに異物が付着しても、ウェハの焦点から外れ結像しない



フォトマスクは電子ビームで描画

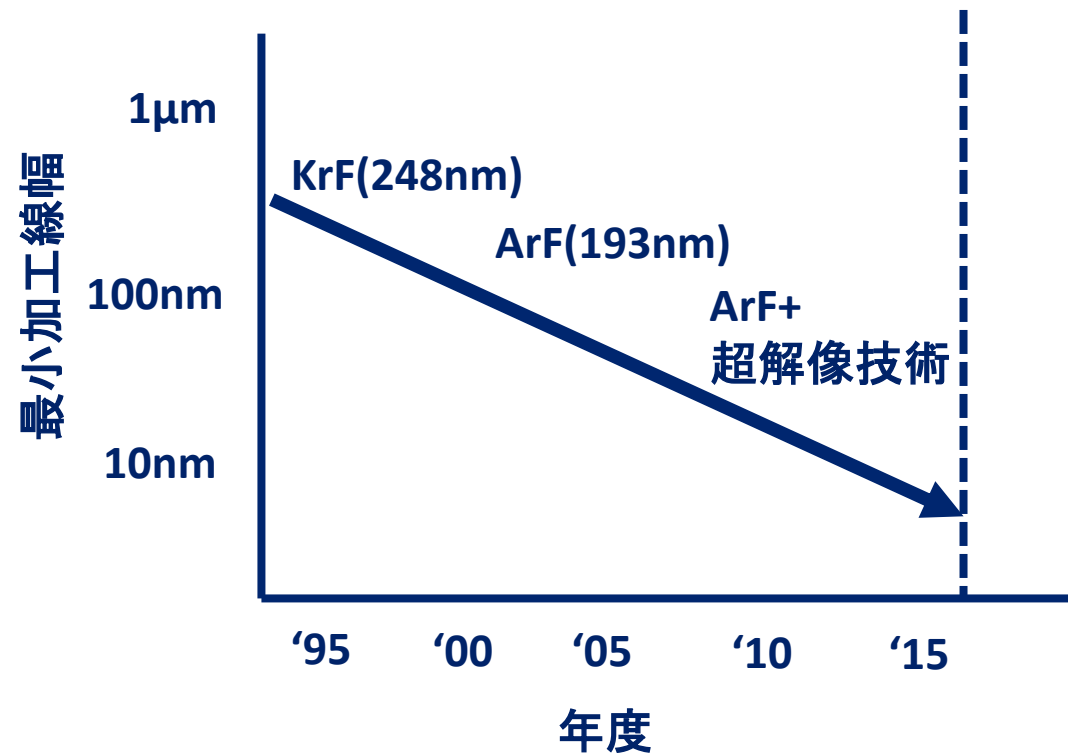


超解像技術：波長より細かいパターンの描写

技術的な問題で、露光用の光の波長は193nmから下げ止まっている



波長以下の加工精度を実現するために様々な“超解像”技術が導入され、ArF光源の延命が図られている



開発中

- EUV（13.5nmの極端紫外線を使用）
- ナノ・インプリント
- 電子ビーム描画
- 自己組織化リソグラフィ



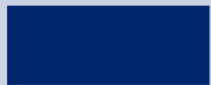
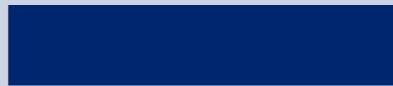
超解像技術：マスクの工夫

露光波長以下の微細パターンではマスク形状が正しく転写されない

➡ 意図した形状を転写できるようにマスクを変形させる
光近接効果補正 (Optical Proximity Effect Correction; OPC) と呼ぶ

OPCなし

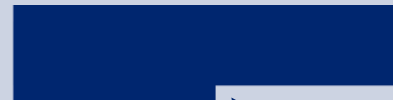
マスク形状



実際に出来る形状



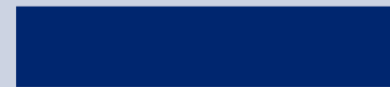
角が丸まる



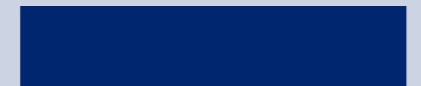
線が太る

OPCあり

マスク形状



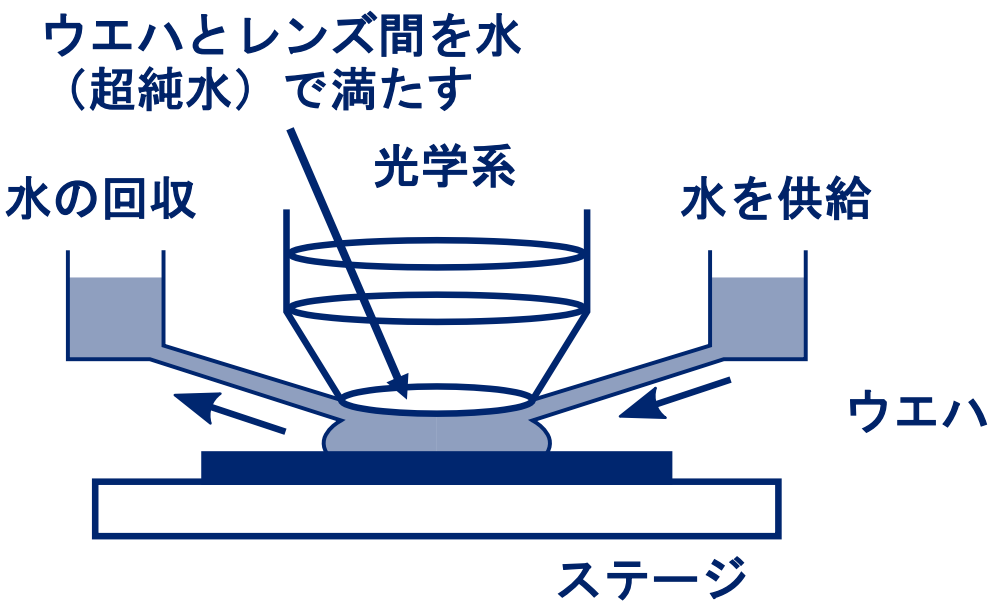
実際に出来る形状



超解像技術：液浸露光・Double Patterning

液浸露光

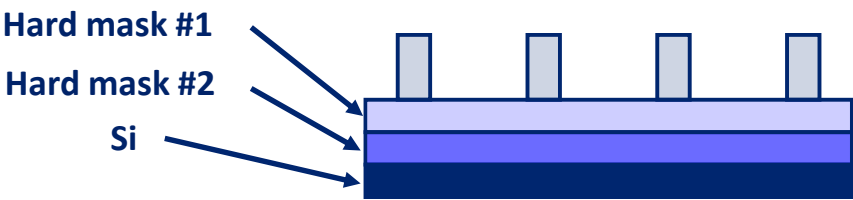
レンズとウェハの間を，レンズと同程度の屈折率を持つ物質で埋めることで解像度を上げる技術



Double Patterning (DP)

隣接パターンを2回に分けて露光することで，最小ピッチの1/2のパターンを作る技術

- 1. Litho 1回目：Hard mask #1にパターンを露光



- 2. Etch 1回目：Hard mask #1の不要部分を除去



- 3. Litho 2回目：Hard mask #2にパターンを露光



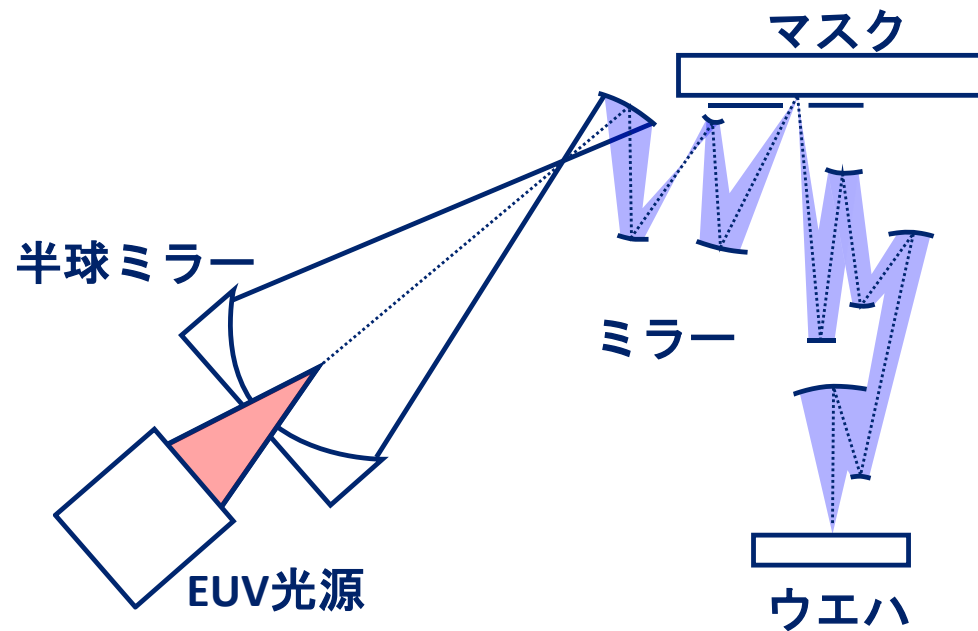
- 4. Etch 2回目：Hard mask #2の不要部分を除去



EUV露光

波長が13.5nmの光を用いた露光方式

1. すずの液滴にレーザをあて13.5nmの光を取り出す
2. 反射光学系（EUV光を透過するレンズが存在しないため）を組んで、マスクを経由させウエハまで光を導き、露光する



現状の問題点：光源の出力不足

波長が短いためミラーでも光が吸収される
（反射率は70%程度）

ウエハまで到達する光量が不足・露光時間が長くなってしまふ

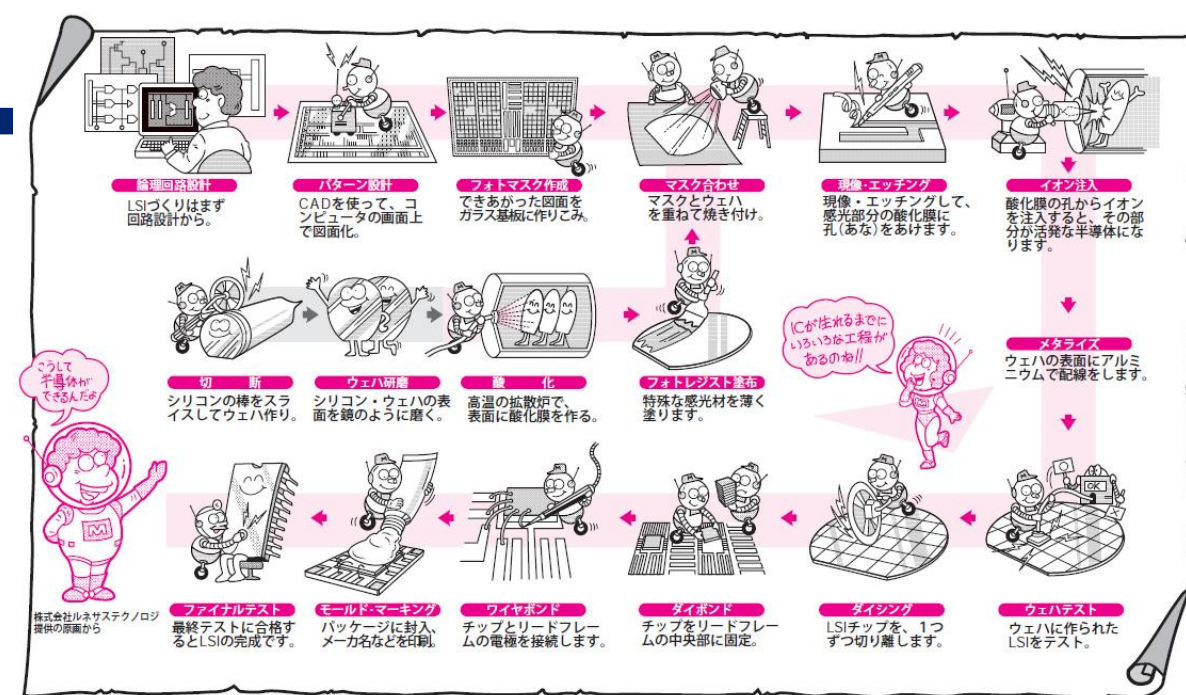


ASML社のEUV露光装置（NXE3350B）

再構成可能回路



- **Application Specific Integrated Circuit (ASIC)**
Pros : 専用設計のため性能（電力・速さ・面積効率）が高い
Cons : 設計が大変・量産できないと投資を回収できない（30チップ程度だと1mm²で200万円程度）・一度作ったら機能修正が出来ない
- **Field Programable Gate Array (FPGA)**
 - Pros : ハードウェアなのに機能が書き換えられる（再構成可能）・設計が（ASICに比べれば）容易
 - Cons : 性能はASICに劣る・量産した時に高価



LSIの製造工程 : http://semicon.jeita.or.jp/future/img/B04_1_large.jpg

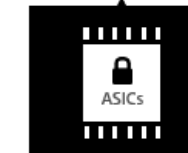
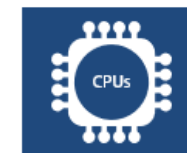
Silicon alternatives

TRAINING

CPUs and GPUs, limited FPGAs, ASICs under investigation

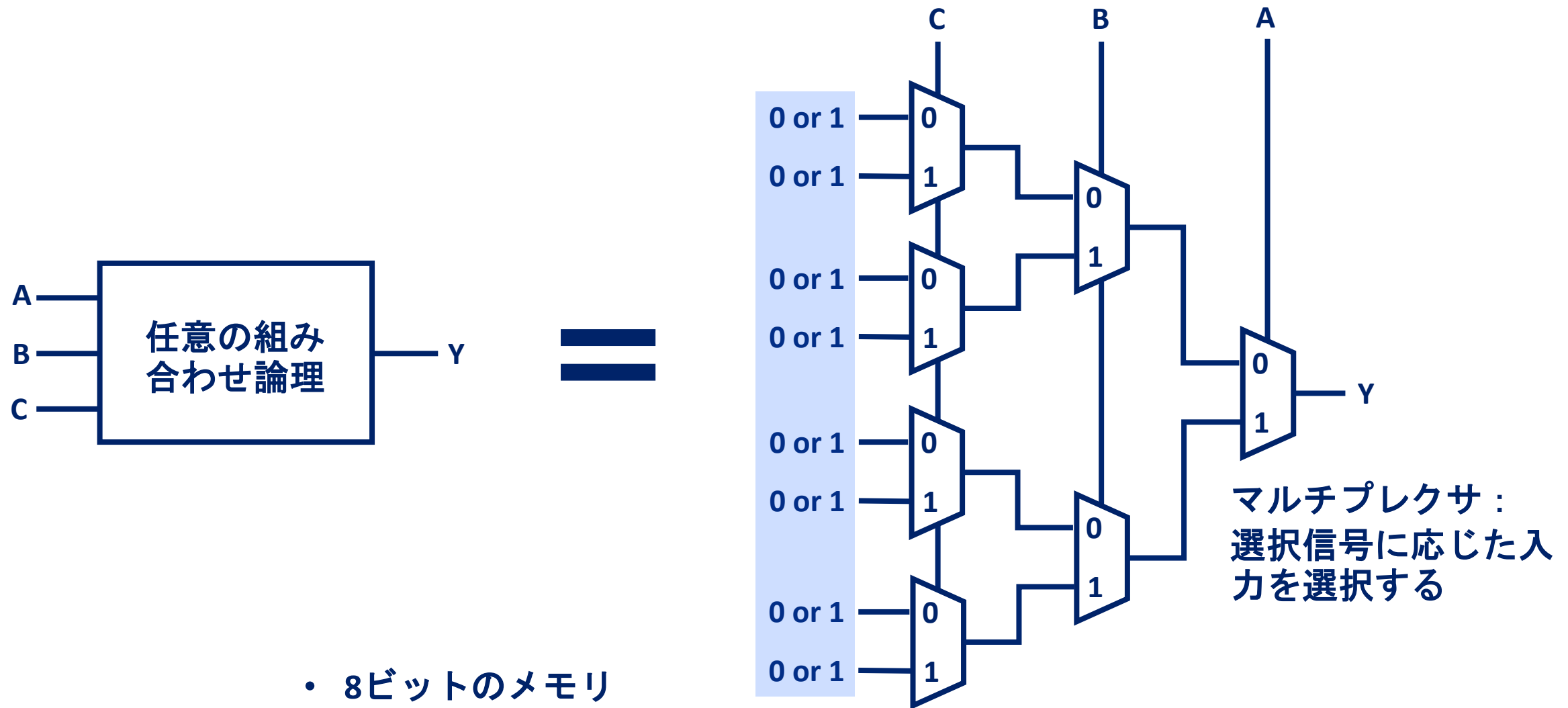
EVALUATION

CPUs and FPGAs, ASICs under investigation



<https://docs.microsoft.com/ja-jp/azure/machine-learning/service/concept-accelerate-with-fpgas>

プログラム可能な論理の実現方法



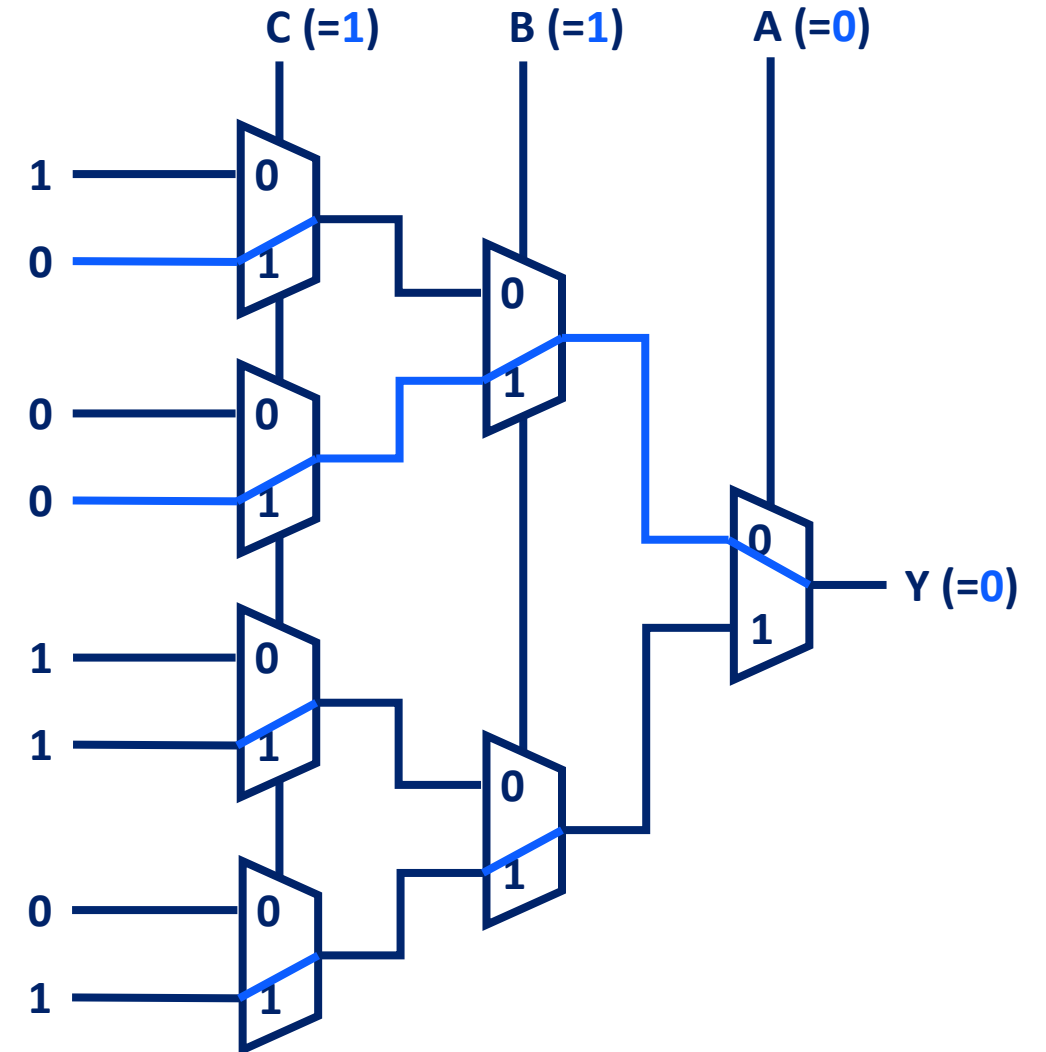
- 8ビットのメモリ
- この中身を書き換えることで任意の組み合わせ論理を実現できる



LUTによる論理の実現例

- 縦に並んだマルチプレクサには同じ制御信号を入力
 - “1”ならば下からの, “0”ならば上からの入力を出力に流す
- この回路は下記の真理値表で表される組み合わせ回路を実現している

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1



メモリや乗算器のハードマクロを持たないFPGAはASICと比較して

- 32xの面積
- 3.4xの遅延

ハードマクロを持っているFPGAでは

- 17xの面積
- 3.0xの遅延

I. Kuon and J. Rose, "Measuring the Gap Between FPGAs and ASICs," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 26, no. 2, pp. 203-215, Feb. 2007.

何故こんなに遅いのか？

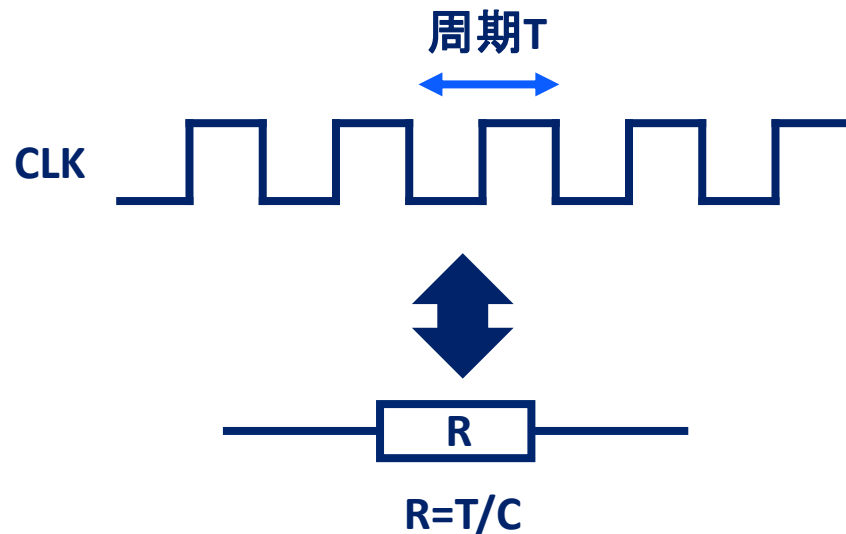
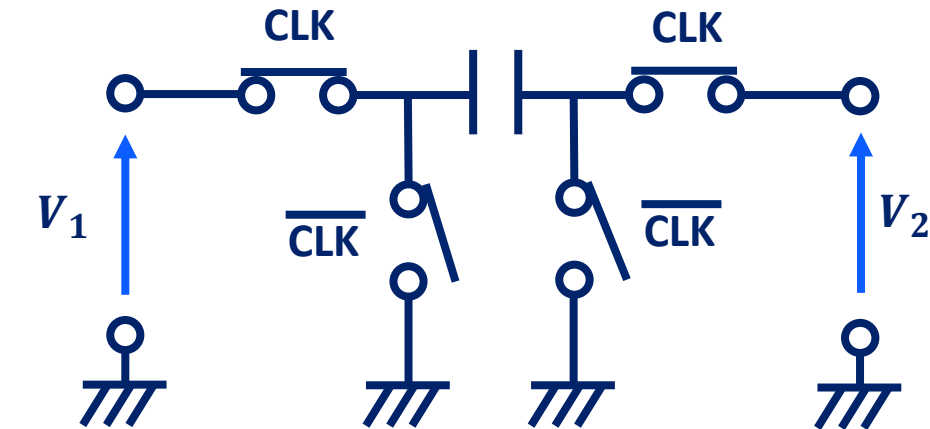
- FPGAでは再構成可能性を確保するためにリッチな配線資源を用意している
 - チップの78%が配線, 14%がロジック部分
 - 必然的にチップサイズが大きくなり, 遅延時間も増加する
 - 遅延の80%が配線に起因しているとされている

M. Lin, A. El Gamal, Y. C. Lu and S. Wong, "Performance Benefits of Monolithically Stacked 3-D FPGA," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 26, no. 2, pp. 216-229, Feb. 2007.

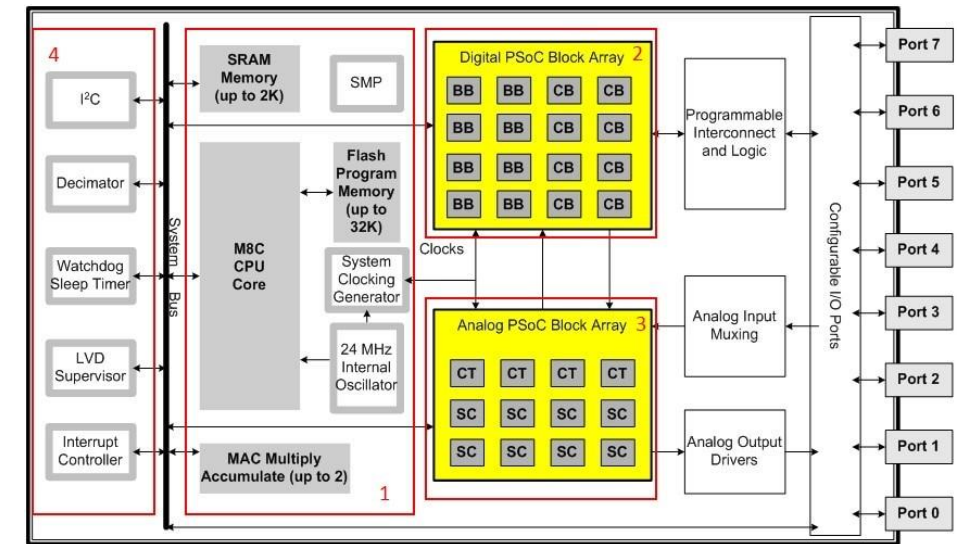
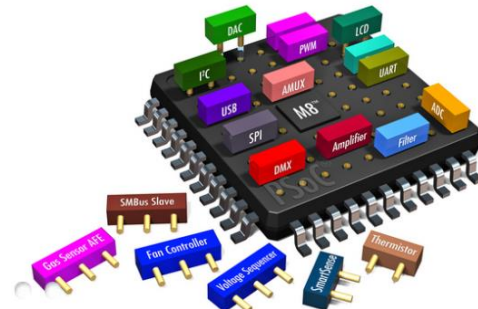


プログラマブルな抵抗

- アナログ回路にも再構成機能を付加することが出来る



- スイッチトキャパシタ回路
- クロック信号でON/OFFを繰り返すスイッチと容量Cで等価的に抵抗Rを実現
- スイッチにはMOSトランジスタを使う
- 様々な製品に活用されている

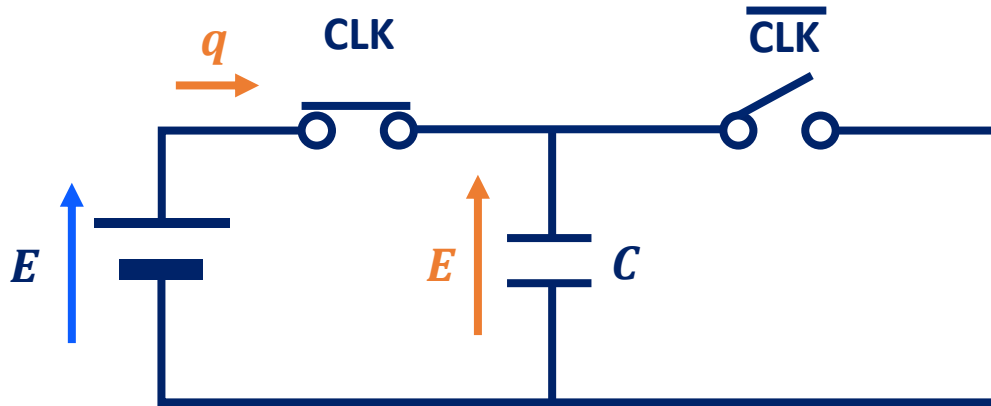


PSocマイコン (Cypress)

スイッチトキャパシタの動作原理

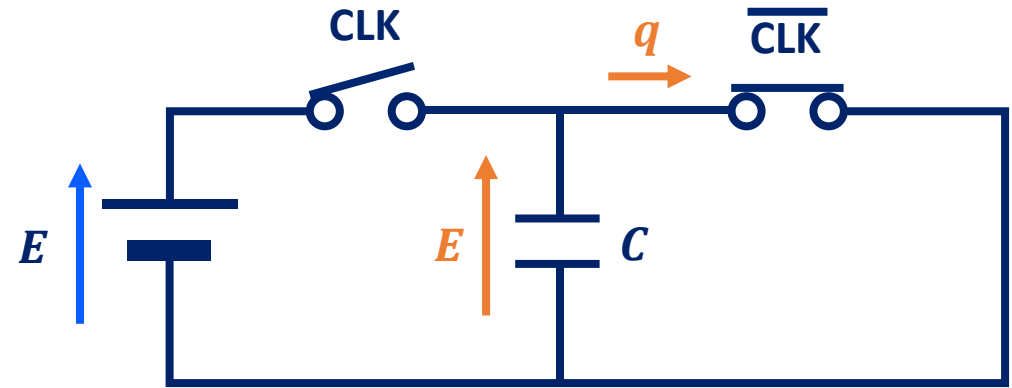
□ CLK="0"のとき

キャパシタに蓄えられている電荷 q は $q = CE$



□ CLK="1"のとき

- ・ 蓄えられた電荷が右側に移動
- ・ クロック1周期で流れる電荷は $q = CE$



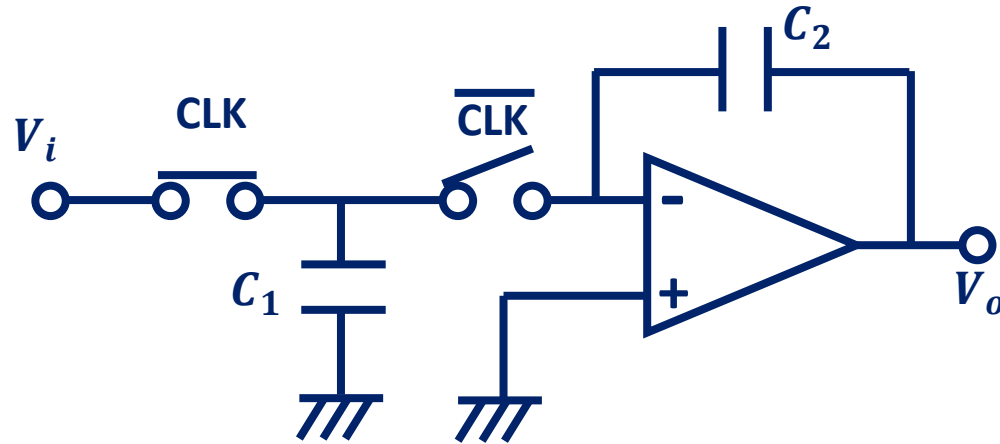
- ・ スイッチが1秒間に f 回のON/OFFを繰り返すとする1秒間に流れる電荷 Q は $Q = qf = fCE$
- ・ 1秒間に流れる電荷が電流の定義だったので, $fCE[A]$ の電流が流れていることと等価
- ・ これは抵抗に直すと

$$R = \frac{E}{Q} = \frac{E}{fCE} = \frac{1}{fC} \quad (= \text{擬似的な抵抗として作用する})$$

スイッチング周波数で抵抗値を自在に変更できる

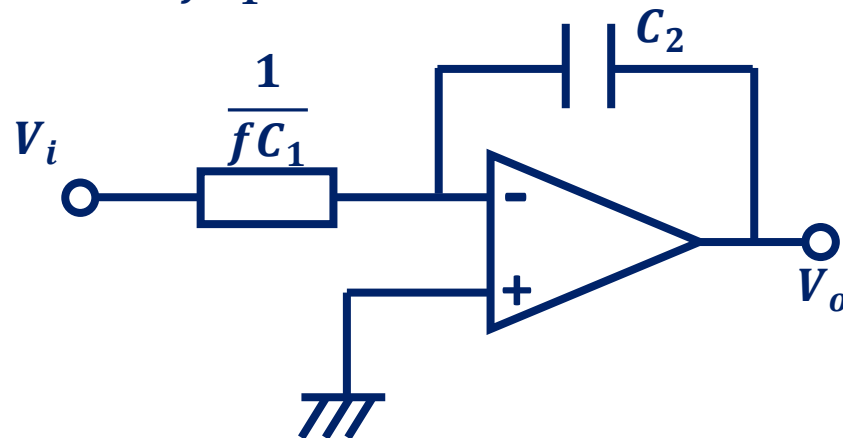


スイッチトキャパシタを用いた積分回路



カットオフ周波数：

$$f = \frac{1}{2\pi RC_2} = \frac{1}{2\pi \frac{1}{fC_1} C_2} = \frac{fC_1}{2\pi C_2}$$



スイッチトキャパシタの利点

- ・ クロック周期で抵抗値を自在に制御できる
- ・ カットオフ周波数は静電容量の比 (C_1/C_2) で決まる
 - ・ 集積回路化が容易（集積回路では容量の絶対精度は悪いが、比精度は高い）
 - ・ 温度変化に耐性が高い（温度が変化しても静電容量の比は安定）

スイッチトキャパシタの欠点

- ・ 高周波信号の扱いが困難
 - ∵ スイッチの切替周期 (T) は入力信号に対して十分に早くなければならない



- 実施日時：第1回 7/30 8:50-10:20, 第2回 8/6 8:50-10:20の2回行います。どちらか一方でも、両方受けていただいても構いません。点数の高い方を最終点として扱います。
- 形式：課題と同様にCLEのテスト機能で実施します。問題の形式は、数値計算 or 選択問題とします。
- 解答回数：時間内であれば無制限です。
- 解答・得点開示：第1回試験は7/30 12:00, 第2回試験は8/6 12:00に解答と得点を開示します。課題のような解き方は配布しません。

- 受験環境に伴う不具合についての再試験は受け付けません。
- OSのアップデート機能は停止しておいて下さい。ただ、万が一、再起動等のトラブルがあっても、再提出可能かつ十分な試験時間を取っているのでそれほど問題にはならないと思います。
- 上記以外の試験（追試）は実施しません。第1回で十分な得点を得られなかった方は、勉強し直して第2回の試験に望んで下さい。問題の難易度はおおよそ同程度となるように調整しています。

