本テキストや授業のビデオなどの電子ファイルを他人に転送したり、ネットへアップロードすることなどを禁止します。



論理設計 東野担当8回目 授業スライド 11月25日3限

基礎工学部情報科学科
東野輝夫





授業時間変更&中間試験のお知らせ

- 長谷川先生のご都合で,長谷川先生担当の水曜3限の計算機言語の授業と水曜4限の東野の論理設計の授業を下記のように交換して実施します.
- 11月25日(水)
 - 3限 計算機言語 → 論理設計 の授業に変更
 - 4限 論理設計 (この日は2コマ続けて論理設計の授業を実施)
- 12月 9日(水)
 - 3限 計算機言語 (この日は2コマ続けて計算機言語の授業を実施)
 - 4限 論理設計 → 計算機言語 の授業に変更
- 東野担当の論理設計の中間試験について
 - 11月25日(水)の4限(15:10開始)に東野担当の論理設計の中間試験を実施します.
 - この日は3限に普通の授業を実施し,4限に試験を実施します.試験は CLE上で実施します.詳細は次のスライドで説明します.
 - 15:10 試験の方法を説明(CLEビデオ or Zoom)
 - 15:20 CLEに試験問題を掲示し、制限時間を決めて時間内にレホート/ 課題提出と同じ方法で答案をuploadしてもらうことで答案回収します. 2



中間試験の試験範囲

• 試験範囲

- 高理回路の教科書の1章~11章(基本的に中間試験の対象は, 論理設計の1回目から6回目の授業で説明した6章から11章 の内容)
- 理解してほしい項目
 - カルノー図(ドント・ケアを含むカルノー図)の簡単化
 - クワイン・マクラスキー法を用いた主項や最簡積和形の生成
 - 多出力論理関数の簡単化
 - 同期式順序回路の動きを状態遷移図(Mealy型とMoore型の両方)で表現
 - Dフリップ・フロップを用いて与えられた状態遷移図を実現する 同期式順序回路を生成





中間試験の実施方法について

- 試験は解答時間35分間 + CLEにアップするための時間10分の合計45分で,問題は4題です.
- 11月25日(水)15:00過ぎにZoomを立ち上げますので、15:10までにログインして下さい. ZoomのミーティングIDやパスワードなどの情報は当日の午前9時にCLE上に表示します.
- 試験の方法の詳細についても午前9時にCLE上に表示しますので,昼休みなどに事前に見ておいてください.この日は長谷川先生の計算機言語の授業時間の3限にも論理設計の授業をしますが,少し早い目に終了しますので,授業終了後に見るのでも構いません.
- 念のため, 15:10から試験の実施方法などをもう一度Zoomで説明し,試験を15:20に開始します. 試験問題は15:20にCLE上で閲覧できるようになり, 15:55頃を目安に解答を終了し, 16:05までに解答をCLEにアップして下さい.
- 解答はスマホで写真を撮るか、スキャナでスキャンするなどの方法で電子化し、いつものレポート課題の提出と同じ方法でCLEにアップしてください。アップした時刻が記録されるので、その時刻で時間内に解答したかどうかをチェックします。
- 解答のファイルのアップに失敗した場合, higashino@ist.osaka-u.ac.jp までメールで解答を送信すると共に、そのことを上記のZoomのチャットで連絡ください. 試験時間に質問がある場合もZoomのチャットで質問してください. 個人的または全体に回答します.
- 各人の都合により解答が2枚以上になっても構いませんが,ファイルは1つにして下さい.
- CLEに事前に解答用紙のpdfをアップしますので、その用紙を印刷してその用紙に解答を記入してもよいし、自身のノートやレポート用紙に解答を記載しても構いません。 どうちょう もよいので、読みやすい濃い字で答案を書き、学籍番号と名前も忘れずに記載ください.
- 配布したテキストやスライドの閲覧は自由です(持ち込み可と条件は同じ).



質問について

- メールで随時問い合わせや質問にお答えしますので、何かあれば、higashino@ist.osaka-u.ac.jp までメールで質問して下さい。
- また、時間を決めてZoomなどを用いて質問にお答えする ことも可能ですので、まずはメールで疑問点や問い合わ せ事項などを連絡して下さい。





お願い

本テキストや授業のビデオなどの電子ファイルを他人に転送したり、ネットへアップロードすることなどを禁止します。

著作権保護

- この授業のテキスト(教科書)や授業スライド、授業ビデオの著作権保護に努めて下さい.
- この授業のビデオやスナップショットを録画したり、それらを他の人に転送したり、インターネット上で公開したりすることを禁止します。
- この授業で利用するスライドにはオーム社の教科書の図などが含まれているので、著作権保護の観点から、この授業スライドの公開につながる行為は謹んでください。
- 来年度は CLE を使ったメディア授業でなく,対面の授業ができることを期待していますが,今年度の演習課題の解答が事前に公開されたりすると,来年度の授業で同じ演習課題が使えなくなり,授業テキストの大幅な修正が必ずなるため,協力をお願いします.



授業計画の変更

長谷川先生との授業の 入れ替えに伴い,章の 説明の順番を変更します

- 授業計画:東野担当の授業計画を下記のように変更します.
 - 1. ドントケアを含む論理関数の簡単化(6章)
 - 2. フリップフロップとレジスタ(10章)
 - 3. 同期式順序回路(Mealy型, Moore型順序回路)(11章)
 - 4. カルノー図を用いた論理関数の簡単化(1章から5章**小**復習)
 - 5. 組合せ論理回路設計、よく用いられる組み合わせ回路(7章,8章)
 - 6. 加減算器とALU、順序回路の簡単化(9章, 12章前半)
 - 7. 演習
 - 8. 順序回路の簡単化、カウンタ(12章後半,13章)
 - 9. 中間試験(1章~11章)
 - 10. I Cを用いた順序回路の実現(15章)
 - 11. 演習
 - 12.C P Uの設計(付録)
 - 13. C P U の設計, 演習
 - 14.乗算器と除算器(14章)

8コマ目の授業を11/25の3限に実施 9コマ目の試験を11/25の4限に実施 中間試験の範囲を11章までに変更 期末試験の範囲を12章以降に

15.期末試験(12章~15章,付録)



第12章 順序回路の簡単化と 順序回路の例





第12章

順序回路の簡単化と順序回路の例

この章のねらい

12 順序回路の簡単化と順序回路の例

本章では、前章で説明した順序回路設計時の注意点と実際の回路例を紹介する。まず、順序回路の簡単化について、状態数最小化および状態割当てについて説明する。その後、Mealy 型順序機械と Moore 型順序機械の変換法について説明する。また、実際の順序回路の例として、6 進力ウンタ、フィルタ回路、シフトレジスタ、シリアル・パラレル変換回路を紹介する。



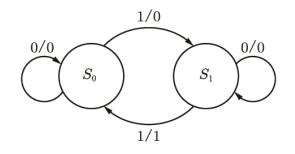
12.2 Mealy 型順序機械と Moore 型順序機械の変換方法

- Mealy型順序機械とMoore型順序機械
 - 一般にMoore 型順序機械は、Mealy 型順序機械と比べた場合、 出力が状態のみに依存するため、現在の入力に依存するハザー ド(入力時間変化による出力の変化)が原理的に起こらず、出 力回路が簡単になる利点がある。
 - ハザードによる誤動作が問題となる場合には、Moore 型の順序機械が使用される、一方、Moore 型順序機械はMealy 型順序機械と比べ状態数が増えてしまうことも知られている。
 - Mealy 型順序機械とMoore 型順序機械は相互に変換可能である. 見方によっては、Moore 型順序機械はMealy 型順序機械の特別なケースと考えられる. 本節では、Mealy 型順序機械とMoore 型順序機械間の変換方法について説明する.



Mealy 型からMoore 型への変換

- Mealy 型順序機械からMoore 型順序機械へ変換は、一般に次の手順で行う。
 - 1. 状態の遷移時に出力される出力を, 状態の遷移後に移動
 - 2. 複数の出力記号となる場合は,状態を出力記号ごとの新たな状態 に分割
- 3. すべての遷移時の出力が状態の出力になるまで,上記を繰り返す <u>例題12・3</u>
 - 図12・2 のMealy 型順序機械の 2 進力ウンタを Moore型順序機械の 2 進力ウンタに変換せよ. この 2 進力ウンタは, '1' が 2 の倍数個入力されたときに, '1' を出力するカウンタである.

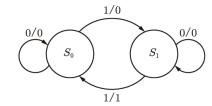






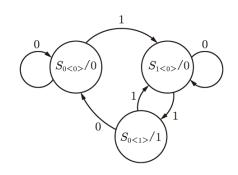
Mealy 型からMoore 型への変換

- 図12·2 のMealy 型順序機械の 2 進力ウンタを Moore型順序機械の 2 進力ウンタに変換せよ.



Mealy 型順序機械の2進カウンタ

- 状態の遷移時に出力される出力を状態の遷移後に移動
- 複数の出力記号となる場合は、状態を出力記号ごとの新たな状態に分割
- 3. すべての遷移時の出力が状態の出力になるまで、上記を繰り返す
- まず、状態遷移時の出力を遷移後の状態に移動する. 状態 S₀ への遷移は'0/0' と '1/1' の 2 種類の遷移が あるため、遷移後の出力が 2 種類となり、状態 S_0 を '0' を出力する状態 S_{0<0>} と '1' を出力する状態 S_{0<1>} に分割する. 状態 $S_{0<1>}$ の遷移先は,入力が '0' のと きは出力が 0 なので状態 $S_{0<0>}$ であり,入力が '1'



のときは出力が 0 で状態 S₁ であるため、これらを表現する遷移を追加する. 状態 S₁ への遷移は '0/0' と '1/0' の2 種類の遷移があり, 遷移後の出力は どちらも '0' であるため、状態 S_1 を $S_{1<0>}$ と表現すると、図 $12\cdot 2$ は 図 12-3 に変換される.

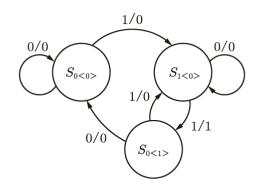


Moore 型からMealy 型への変換

- Moore型順序回路は Mealy型順序回路の特殊なケースに相当するので変換は容易である、変換するためには、Moore型順序回路の各状態の出力をその状態への遷移に移動すればよい。
 - ただし、この方法で得られる Mealy型順序回路では、等価な状態 も別状態になっていることがあるため、Mealy 型からMoore 型へ 変換し、Moore 型からMealy 型へ変換した場合、必ずしも元の順 序回路に戻るわけではない。

例題12・4

• 図12·3 の 2 進力ウンタを, Mealy型順序機械に変換せよ.



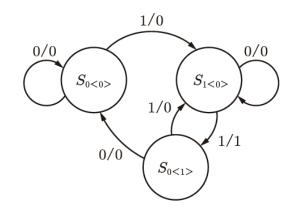


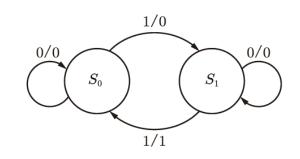


Moore 型からMealy 型への変換

例題12・4

- 図12·3 の 2 進力ウンタを, Mealy型順序機械に変換せよ.
 - 図12·2 と 図12·4 は同じ動作を表す Mealy型の順序機械であるのにもかかわらず、図12·2 は状態数が 2 であるのに対して、図 12·4 は状態数が Moore 型と同じ 3 状態である。これは、Mealy型順序機械では等価な状態 $S_{0<0>}$ と $S_{0<1>}$ が別状態になっているためであり、前節で説明した状態数最小化を行うと、図12·4 の Mealy 型順序機械も 2 状態となり、図12·2 と等しくなる.







- ここでは 6 進カウンタを,11·5 節の順序回路設計法に従って設計する.
 - 6 進力ウンタは,図12·5 に示すように, S_0 , S_1 , S_2 , S_3 , S_4 , S_5 の状態を繰り返し 遷移する順序回路である.
 - カウンタは、状態を表す符号を直接出力として使用する場合と、状態を表す符号をデコードして使用する場合があるが、ここでは状態の符号を直接出力すると考える。

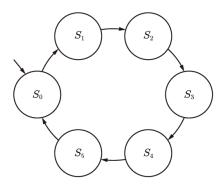


図 **12・5** 6 進カウンタの状態遷移

- 図12·5 では、初期状態が S_0 であり、クロックが入力されるごとに、 S_1 、 S_2 , S_3 , S_4 , S_5 と状態が遷移し、 S_5 の次の状態は S_0 となる.
- 論理回路として実装するには,6 状態割り当てる 必要があるので,状態を表現する変数 q₂, q₁, q₀ の 3 ビットを用いて状態を表現し,表12·8 のように,割り当てることとする. 状態の割当てには,いろい ろな割当てが考えられるがここでは状態を2 進数で表現し,次状態を現状態+1で割り当てたバイナリカウンタとなっている.

表 12・8	6 進カウンタの状態割当て

状態	状態割当て (q_2,q_1,q_0)
S_0	000
S_1	001
S_2	010
S_3	011
S_4	100
S_5	101 ()))



- 6 進力ウンタを 11.5 節の順序回路設計法に従って設計する
 - 6 進力ウンタは,図12·5 に示すように, S_0 , S_1 , S_2 , S_3 , S_4 , S_5 の状態を繰り返し遷移する順序回路である.
- まず, 状態遷移表を作成する. 状態は 3 ビットで表現されるので, 状態を表すために, q_2 , q_1 , q_0 の3 変数を導入して

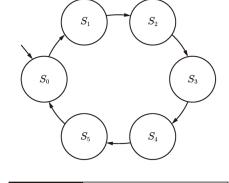
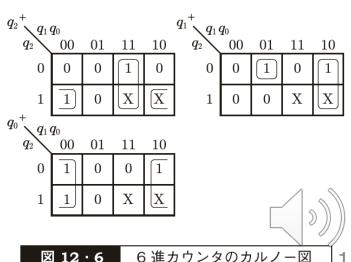


図 **12・5** 6 進カウンタの状態遷移

表現する. 6 進力ウンタの状態遷移表は,表12·9 となる.次に,次状態変数 q_2^+ , q_1^+ , q_0^+ を現状態変数 q_2 , q_1 , q_0 を用いて表す.カルノー図を作成して,図12·6 を得る. ここで,"110""111"は状態割当てに使用されていないため,ドントケアとなることに注意する.

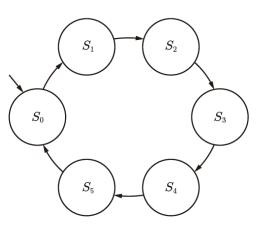
+	0.14 L L \ 6 0.1046\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\
表 12・9	6 進カウンタの状態遷移表

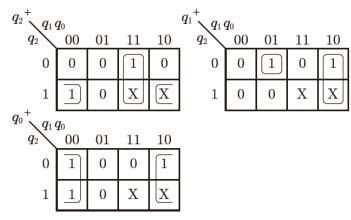
現状態	現状態割当て (q_2,q_1,q_0)	次状態	次状態割当て (q_2^+,q_1^+,q_0^+)
S_0	000	S_1	001
S_1	001	S_2	010
S_2	010	S_3	011
S_3	011	S_4	100
S_4	100	S_5	101
S_5	101	S_0	000





- 6 進力ウンタは,図12·5 のように 6 状態を繰り返し遷移する順序回路である.
 - q₂⁺, q₁⁺, q₀⁺を最簡積和形で表すと,
 - $q_2^+ = q_1 q_0 \vee q_2 \overline{q}_0$
 - $q_1^+ = \overline{q}_2 \overline{q}_1 q_0 \vee q_1 \overline{q}_0$
 - $q_0^+ = \overline{q}_0$
- これを回路で構成すると、図12.7 の回路が得られる.本回路図では、カウンタが動作する前に、状態がドントケア以外の値に設定されなければならないことから、初期化機能付きの D フリップフロップを使用し、リセット入力に1を与えることで、"000"に初期化するようにしている。





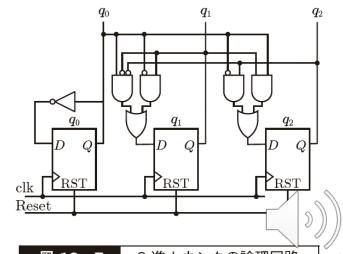


図 12・7

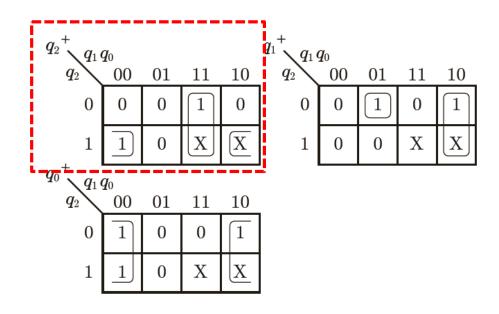
6 進カウンタの論理回路



- 6 進力ウンタは,図12·5 のように 6 状態を繰り返し遷移する順序回路である.
 - q₂⁺, q₁⁺, q₀⁺を最簡積和形で表すと,
 - $q_2^+ = q_1 q_0 \vee q_2 \overline{q}_0$
 - $q_1^+ = \overline{q}_2 \overline{q}_1 q_0 \vee q_1 \overline{q}_0$

6 進カウンタのカルノー図

• $q_0^+ = \overline{q}_0$



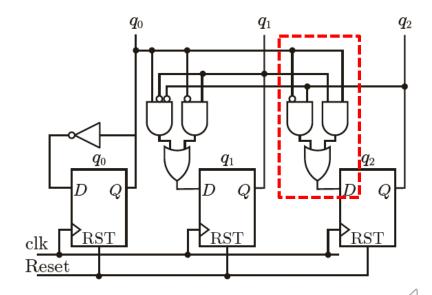


図 12・7

6 進カウンタの論理回路



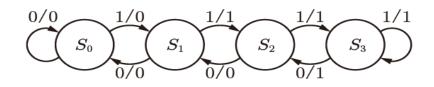


順序回路の例:フィルタ回路



フィルタ回路

- フィルタ回路の状態遷移を 図12·8 に示す. 本フィルタは,強い 0 の状態,弱い 1 の状態,強い 1 の状態の 4 状態をもち,強い 0,1 の状態では,1,0 が入力されても,それぞれ弱い '0',弱い '1' 状態に遷移し,出力 0,1 を保持する性質がある.
- 本フィルタは、状態数が 4, 2 ビットの状態変数で表現する. 入力を x, 出力を z, 状態変数を q_1 , q_0 とした場合の状態遷移出力表を 表12·10 に示す. 各状態は次のように割り当てる. $S_0 = 00$, $S_1 = 01$, $S_2 = 10$, $S_3 = 11$.
- これまでと同様に最簡積和形を求めると以下の式となる.
 - $z = q_1q_0 \vee xq_1 \vee xq_0$
 - $q_1^+ = q_1 q_0 \vee x q_1 \vee x q_0$
 - $q_0^+ = q_1 \overline{q}_0 \vee xq_1 \vee x\overline{q}_0$



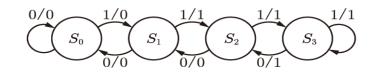
現在の状態 (q_1,q_0)	次の状態	(q_1^+, q_0^+)	出力 z		
	x = 0	x = 1	x = 0	x = 1	
(0, 0)	(0,0)	(0, 1)	0	0	
(0, 1)	(0,0)	(1,0)	0	1	
(1,0)	(0,1)	(1, 1)	0	1	
(1, 1)	(1,0)	(1, 1)	1		

フィルタ回路の状態遷移



順序回路の例:フィルタ回路

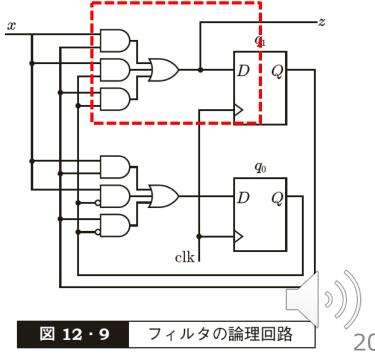
フィルタ回路



- 本フィルタは, 状態数が 4, 2 ビットの状態 図 12・8 変数で表現する. 入力を x, 出力を z, 状態変 数を q. q. とした場合の比能圏移出力表を ま12・10 に
 - 数を q_1 , q_0 とした場合の状態遷移出力表を 表 $12\cdot10$ に示す.各状態は次のように割り当てる. $S_0=00$, $S_1=01$, $S_2=10$, $S_3=11$.
- これまでと同様に最簡積和形を求めると以下の式となる.
 - $z = q_1q_0 \vee xq_1 \vee xq_0$
 - $q_1^+ = q_1 q_0 \vee x q_1 \vee x q_0$
 - $q_0^+ = q_1 \overline{q}_0 \vee xq_1 \vee x\overline{q}_0$

表 12・10	フィルタ回路の状態遷移出力表
---------	----------------

現在の状態 (q_1,q_0)	次の状態	(q_1^+, q_0^+)	出力 z		
	x = 0	x = 1	x = 0	x = 1	
(0,0)	(0,0)	(0,1)	0	0	
(0,1)	(0,0)	(1,0)	0	1	
(1,0)	(0,1)	(1,1)	0	1	
(1, 1)	(1,0)	(1,1)	1	1	





シフトレジスタ

- シフトレジスタは、シリアル・パラレル変換、カウンタ、シーケンサ などの基本回路となっており、入力する1 ビットごとのシリアルの入 力をクロックごとにシフトするための回路である。
- ここでは最も基本的な2 ビットのシフトレジスタを設計する。2 ビットシフトレジスタは、図12·10に示すように、1 ビットの入力 x および出力 y をもち、クロックが2 回入ると入力した値が出力される回路である。



X は不定

T	0	1	2	3	4	5	6	7	8
$\operatorname{in}(x)$	0	1	0	1	1	0	1	•	•
(y)	X	X	0	1	0	1	1	0	1

2 クロック分出力を遅らせたい

図 12・10

2 ビットシフトレジスタの仕様





シフトレジスタ

• 2 ビットシフトレジスタに既に 00 が入力されている状態を S_{00} , 既に 01 が入力されている状態を S_{10} , 既に 10 が入力されている状態を S_{10} , および既に 11 が入力されている状態を S_{11} とする.このように状態を割り当てた場合,本回路の状態遷移出力表を作成すると 表12·11 が得られる.



X は不定

T	0	1	2	3	4	5	6	7	8
$\inf(x)$	0_	1	0	1	1	0	1	•	•
(y)	X	X	0	1	0	1	1	0	1

2 クロック分出力を遅らせたい

図 12・10 2 ビットシフトレジスタの仕様

表 12・11	2 ビットシフトレジスタの状態遷移出力表
---------	----------------------

現在の状態	次の	状態	現在の出力		
	x = 0	x = 1	x = 0	x = 1	
S_{00}	S_{00}	S_{01}	0	0	
S_{01}	S_{10}	S_{11}	0	0	
S_{10}	S_{00}	S ₀₁	1	1	
S_{11}	S_{10}	S_{11}	1	1	





シフトレジスタ

- 2 ビットシフトレジスタに既に 00 が入力されている状態を S_{00} , 既に 01 が入 力されている状態を S_{01} , 既に 10 が入力されている状態を S_{10} , および既に 11 が入力されている状態を S₁₁ とする. このように状態を割り当てた場合, 本回 路の状態遷移出力表を作成すると表12.11が得られる.
- 現在の状態を q_0 , q_1 , 次状態を q_0^+ , q_1^+ で表し,表12·12 の割当てから回路を 設計すると, 出力 y および 次状態更新式 は以下のようになる.
 - $-y = q_1$
 - $-q_1^+ = \overline{q}_1\overline{q}_0 \vee q_1q_0$
 - $-q_0^+ = x\overline{q}_1\overline{q}_0 \vee xq1q0 \vee \overline{x}q1\overline{q}_0 \vee \overline{x}\overline{q}_1q_0$

表 12・11	2 ビットシフトレジスタの状態遷移出力表

現在の状態	次の状態		現在の出力		
	x = 0	x = 1	x = 0	x = 1	
S_{00}	S_{00}	S_{01}	0	0	
S_{01}	S_{10}	S_{11}	0	0	
S_{10}	S_{00}	S_{01}	1	1	
S_{11}	S_{10}	S_{11}	1	1	

表 12・12	状態割当て 1

状態	状態割当て (q_1q_0)
S_{00}	01
S_{01}	00
S_{10}	10
S_{11}	11





シフトレジスタ

- 2 ビットシフトレジスタに既に 00 が入力されている状態を S_{00} , 既に 01 が入 力されている状態を S_{01} , 既に 10 が入力されている状態を S_{10} , および既に 11 が入力されている状態を S₁₁ とする. このように状態を割り当てた場合, 本回 路の状態遷移出力表を作成すると表12.11が得られる.
- 現在の状態を q₀, q₁, 次状態を q₀⁺, q₁⁺ で表し, ▼12·13 □ 表12.13 の割当てから回路を設計すると、出力 y および 次状態更新式 は以下のようになる.

$$- y = q_1$$

$$- q_1^+ = q_0$$

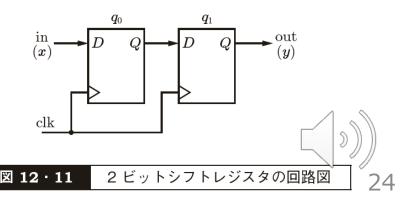
$$- q_0^+ = x$$

表 12・11

状態	状態割当て (q1q0)
S_{00}	00
S_{01}	01
S_{10}	10
S_{11}	11
	·

現在の状態	次の	状態	現在の	の出力
	x = 0	x = 1	x = 0	x = 1
S_{00}	S_{00}	S ₀₁	0	0
S_{01}	S_{10}	S_{11}	0	0
S_{10}	S_{00}	S ₀₁	1	1
S_{11}	S_{10}	S ₁₁	1	1

2 ビットシフトレジスタの状態遷移出力表

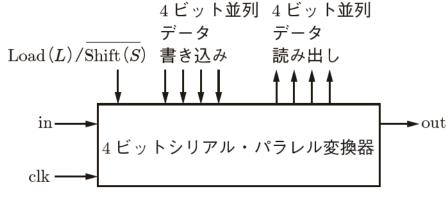




順序回路の例: シリアル・パラレル変換回路

シリアル・パラレル変換回路

- シリアル・パラレル変換回路は、シリアルデータとパラレルデータの変換を行う回路である。シリアルデータは入力端子 in から、クロックごとに MSB から LSBの順で 1 ビットずつ入力されると仮定する。
- シリアルデータは、シフトイネーブル信号(Shift(S))が'0'のときレジスタに入力され、ロードイネーブル信号(Load(L))が'1'のとき、パラレルデータがレジスタにロードされる。シフトイネーブル信号とロードイネーブル信号は、1ビットの信号で表現できるので、この信号を共用している。



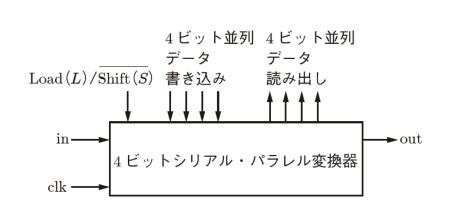


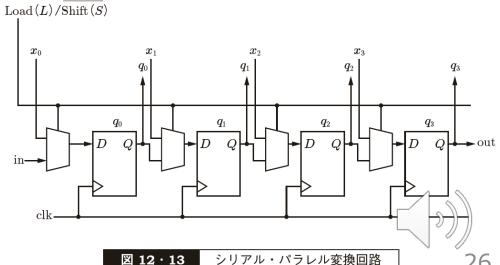


順序回路の例: シリアル・パラレル変換回路

シリアル・パラレル変換回路

• 4 ビットシリアル・パラレル変換器の回路図を 図12·13 に示す. 4 ビットシリ アル・パラレル変換器は、4 ビットのシフトレジスタとマルチプレクサで構成 される. 図中のマルチプレクサは選択信号が '1' であれば上の信号を, '0' であ れば下の信号を選択する. 制御信号がマルチプレクサに入力される信号を選択 している. シリアルデータをパラレルデータに変換するためには, Shift(S) 信 号を '0' とし必要ビット数分クロックを進めたときのパラレルデータを読み出せ ばよい. 一方, パラレルデータをシリアルデータに変換するためには, まず, Load(L) を '1' として値を書き込み, その後 Shift(S) を '0' として, 必要ビッ ト数分クロックを入力してそのときのシリアル出力の値を読めばよい.







■ 表 12.14 で与えられた状態遷移出力表がある. この表の状態数を最小化せよ.

表 12・14	ある順序回路の状態遷移出力表
3X 14 1T	

現在の状態	次の	状態	出	カ
	x_0	x_1	x_0	x_1
S_0	S_1	S_7	z_1	z_1
S_1	S_0	S_7	z_0	z_0
S_2	S_2	S_0	z_0	z_0
S_3	S_3	S_0	z_0	z_0
S_4	S_1	S_4	z_1	z_1
S_5	S_5	S_0	z_0	z_0
S_6	S_1	S_6	z_1	z_1
S_7	S_0	S_1	z_1	z_0

2 図 12·4 の 2 進力ウンタの状態数を最小化し、図 12·2 と一致することを確認 せよ.

3 5 進力ウンタを設計せよ.

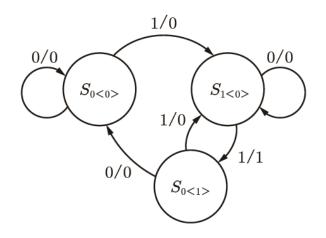
4 12·3〔2〕項のフィルタ回路で、状態割当てを $S_0=00, S_1=01, S_2=11, S_3=10$ としたときの出力方程式、状態変数更新式をそれぞれ最簡積和形で求め、(12.7),(12.8),(12.9) と比較せよ.





演習問題2

図12・4 の 2 進力ウンタの状態数を最小化し, 図12・2 と一致する ことを確認せよ.



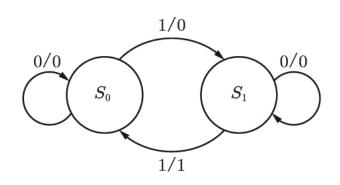


図 12・4

Moore 型から変換した Mealy 型 2 進カウンタ

図 12・2

Mealy 型順序機械の 2 進カウンタ





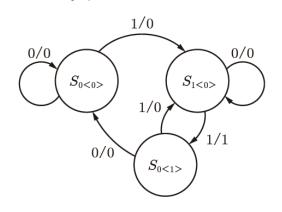
考慮時間

- 5分間程度で問題を解いてみてください。その間,ビデオを止めてください。
- この頁は30秒程度で次の頁に移行します.



演習問題2解答

• 図12·4 の 2 進力ウンタの状態数を最小化し, 図12·2 と一致する ことを確認せよ.



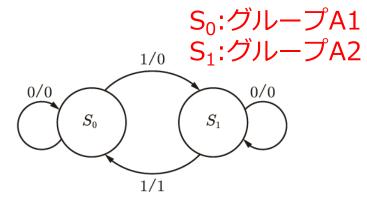


図 **12・4** Moore 型から変換した Mealy 型 2 進カウンタ

図 12・2

Mealy 型順序機械の 2 進カウンタ

グループ	現在の状態	次の	状態	出	カ	遷移先久	ブループ
		x=0	x=1	x=0	x=1	x=0	x=1
A1	S _{0<0>}	S _{0<0>}	S _{1<0>}	0	0	A1	A2
	S _{0<1>}	S _{0<0>}	S _{1<0>}	0	0	A1	A2
A2	S _{1<0>}	S _{1<0>}	S _{0<1>}	0	1	A2	A1





演習問題3

• 5 進力ウンタを設計せよ.



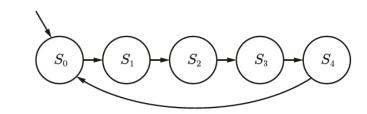
考慮時間

- 5分間程度で問題を解いてみてください。その間,ビデオを止めてください。
- ・ この頁は30秒程度で次の頁に移行します.



演習問題3解答

- 5 進力ウンタを設計せよ。 (解答)
- 5 進力ウンタを,解図12·1 に示す.



解図 **12・1** 5 進カウンタの状態遷移

• 状態割当て後の状態遷移表を解表12·2 に示す. 101, 110, 111 はドントケア入力であることに注意. q_2^+ , q_1^+ , q_0^+ の最簡積和形は以下の式となる.

$$- q_2^+ = q_1 q_0$$

$$- q_1^+ = \overline{q}_1 q_0 \vee q_1 \overline{q}_0$$

$$- q_0^+ = \overline{q}_2 \overline{q}_0$$

解表 12・2	5 進カウンタの状態遷移表
---------	---------------

現状態	現状態割当て (q_2,q_1,q_0)	次状態	次状態割当て (q_2^+,q_1^+,q_0^+)
S_0	000	S_1	001
S_1	001	S_2	010
$\overline{S_2}$	010	S_3	011
S_3	011	S_4	100
S_4	100	S_0	000

CI-	+	q_1q_0				
q_2		00	01	11	10	
q_2	0	0	0	1	0	
	1	0	X	Χ	X	
	+	q_1q_0				
q ₁		00	01	11	10	
q ₂	0	0	1	0		
	1	0	Χ	Χ	1 X	
			11		\!	
	+	q_1q_0			1	\
q ₀	,	00	01	11 [D	
q ₂	0	1	0	0		
	1 '	0	Χ	Χ	X	,



演習問題4

• 12·3〔2〕項のフィルタ回路で、状態割当てを $S_0 = 00$, $S_1 = 01$, $S_2 = 11$, $S_3 = 10$ としたときの出力方程式、状態変数更新式をそれぞれ最簡積和形で求め、(12.7)、(12.8)、(12.9) と比較せよ.

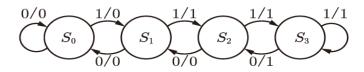


図 12・8

フィルタ回路の状態遷移

現在の状態 (q_1,q_0)	次の状態 (q_1^+, q_0^+)		出力 z	
	x = 0	x = 1	x = 0	x = 1
(0, 0)	(0,0)	(0, 1)	0	0
(0, 1)	(0,0)	(1, 1)	0	1
(1, 1)	(0,1)	(1,0)	0	1
(1,0)	(1,1)	(1,0)	1	1





考慮時間

- 5分間程度で問題を解いてみてください。その間,ビデオを止めてください。
- ・ この頁は30秒程度で次の頁に移行します.



演習問題4解答

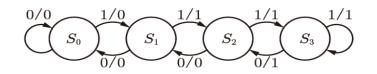


図 12・8

フィルタ回路の状態遷移

• 12·3〔2〕項のフィルタ回路で、状態割当てを $S_0 = 00$, $S_1 = 01$, $S_2 = 11$, $S_3 = 10$ としたときの出力方程式、状態変数更新式をそれぞれ最簡積和形で求め、(12.7)、(12.8)、(12.9) と比較せよ.

(解答)

• 状態遷移関数,出力関数を求めると, 以下となる.

$$- q_1^+ = xq_0 \vee q_1\overline{q}_0$$

$$- q_0^+ = x\overline{q}_1 \vee \overline{x}q_1$$

$$-z = xq_0 \vee q_1\overline{q}_0$$

現在の状態 (q_1,q_0)	次の状態	(q_1^+, q_0^+)	出力 z		
	x = 0	x = 1	x = 0	x = 1	
(0, 0)	(0,0)	(0, 1)	0	0	
(0, 1)	(0,0)	(1, 1)	0	1	
(1, 1)	(0,1)	(1,0)	0	1	
(1,0)	(1, 1)	(1,0)	1	1	

$\begin{array}{cccccccccccccccccccccccccccccccccccc$
$\begin{array}{cccccccccccccccccccccccccccccccccccc$
q0 00 01 11 10 x 0 0 0 1 1 1 1 X 0 0
q0 00 01 11 10 x 0 0 0 1 1 1 1 X 0 0
x 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
1 1 X 0 0
q_1q_0
Z 00 01 11 10
x 0 0 0 0 1



第13章 カウンタ



第13章 カウンタ

この章のねらい

13 章カウンタ

本章では、ディジタル回路の重要なコンポーネントであるカウンタについて説明する。カウンタにはいろいろな種類があるが、本章では、カウンタの論理機能(アップ、ダウン、アップダウン)、周期の指定方法、符号化方法によるバリエーションについて説明する。





カウンタ

- カウンタ (counter) は、パルスの個数を計測する、ディジタル回路の基本構成要素である。カウンタの応用としては、ディジタル値の計測、クロックなどの周期的な信号の分周器 (divider)、時間間隔を測定するタイマ (timer) などがあげられる。
- カウンタの機能は、アップカウンタ(up counter)、ダウンカウンタ(down counter)、アップダウンカウンタ(up-down counter)の3種類に分類できる。
- また,カウンタ値の符号化(coding)方法の違いによって,リングカウンタ,ジョンソンカウンタ,グレイコードカウンタなどの国有の名称で呼ばれる回路構成がある.
- カウンタを設計する方法
 - 第一の方法は, カウンタをステートマシンと考えて, 11 章で説明した順序回路の設計方法を適用する手法
 - 第二の方法は、次状態での各変数の値を決定する論理式である特性方程式(characteristic equation)を発見的に求める手気(この章では第二の手法を中心に説明する)



2ⁿ進力ウンタ

- 周期が 2ⁿ のカウンタ(2ⁿ進カウンタ)の設計方法について説明する. 2ⁿ進アップカウンタ
- 例として, 8 進アップカウンタを考える. ここに, カウンタの初期状 態は S_0 とし、初期状態に対応する状態変数の値は (0,0,0) とする. 8 進アップカウンタの状態遷移を 表13.1 に示す.

表 13・1	8 進アップカウンタの状態遷移表
20 1	0 進入 / / / / / / / / / / / / / / / / / /

状態変数	現在の状態				次の状態	
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	0	1
S_1	0	0	1	0	1	0
S_2	0	1	0	0	1	1
S_3	0	1	1	1	0	0
S_4	1	0	0	1	0	1
S_5	1	0	1	1	1	0
S_6	1	1	0	1	1	1
S_7	1	1	1	0	0	0





2ⁿ進力ウンタ

2ⁿ進アップカウンタ

- 表13·1を観察すると、状態変数の値の変化に関して次のことがわかる.
 - $(1) Q_0$ は、各時刻ごとに反転する.
 - (2) Q_i , (i > 0) の値が反転するのは Q_{i-1} ,…, Q_0 の値がすべて 1 の場合である.
- Q_i が反転する条件に着目すると、 2^n 進アップカウンタの特性方程式は次のようになる.

$$- t_i = Q_{i-1} \cdot \cdots \cdot Q_0, i > 0$$

$$- Q_0^+ = \overline{Q}_0$$

$$- Q_i^+ = Q_i \oplus t_i, i>0$$

表 13・1 8 進アップ	カウンタの状態遷移表
---------------	------------

状態変数	現	見在の状態	Ė		次の状態		
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	
S_0	0	0	0	0	0	1	
S_1	0	0	1	0	1	0	
S_2	0	1	0	0	1	1	
S_3	0	1	1	1	0	0	
S_4	1	0	0	1	0	1	
S_5	1	0	1	1	1	0	1
S_6	1	1	0	1	1)
S_7	1	1	1	0	0	0	



2n進力ウンタ

<u>2ⁿ進アップカウンタ</u>

• Q_iが反転する条件に着目すると, 2ⁿ進アップカウンタの特性方程式

$$- t_i = Q_{i-1} \cdot \cdots \cdot Q_0, i > 0$$

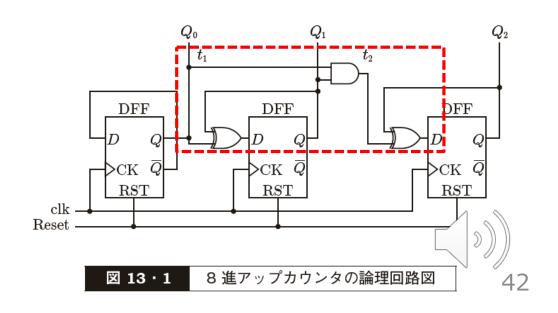
$$- Q_0^+ = Q_0$$

$$- Q_i^+ = Q_i \oplus t_i, i>0$$

 この方法を用いて設計された8 進アップカウンタの回路図を図13·1 に示す。

表 13・1 8 進アップカウンタの状態遷移表

状態変数	現在の状態				次の状態	
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	0	1
S_1	0	0	1	0	1	0
S_2	0	1	0	0	1	1
S_3	0	1	1	1	0	0
S_4	1	0	0	1	0	1
S_5	1	0	1	1	1	0
S_6	1	1	0	1	1	1
S_7	1	1	1	0	0	0





2ⁿ進ダウンカウンタ

- 周期が2ⁿ のダウンカウンタの設計方法について説明する.
- 2ⁿ進ダウンカウンタ
- 例として, 8 進ダウンカウンタを考える. ここに, カウンタの初期状 態は S_0 とし、初期状態に対応する状態変数の値は (0,0,0) とする. 8 進ダウンカウンタの状態遷移を 表13.2 に示す.

表 13 · 2 8 進ダウンカウンタの状態遷移表

状態変数	現在の状態				次の状態	
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	1	1	1
S_1	0	0	1	0	0	0
S_2	0	1	0	0	0	1
S_3	0	1	1	0	1	0
S_4	1	0	0	0	1	1
S_5	1	0	1	1	0	0
S_6	1	1	0	1	0	1
S_7	1	1	1	1	1	0





2ⁿ進ダウンカウンタ

2ⁿ進ダウンカウンタ

- 表13-2を観察すると、状態変数の値の変化に関して次のことがわかる.
 - $(1) Q_0$ は、各時刻ごとに反転する.
 - (2) Q_i , (i > 0) の値が反転するのは Q_{i-1} ,…, Q_0 の値がすべて 0 の場合である.
- Q_i が反転する条件に着目すると, 2ⁿ進ダウンカウンタの特性方程式は次のようになる.

$$- t_i = \overline{Q}_{i-1} \cdot \cdots \cdot \overline{Q}_0, i>0$$

$$- Q_0^+ = \overline{Q}_0$$

$$-Q_i^+=Q_i\oplus t_i$$
, $i>0$

表 13・2	8 進ダウンカウンタの状態遷移表
--------	------------------

状態変数	Ą	現在の状態			次の状態	
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	1	1	1
S_1	0	0	1	0	0	0
S_2	0	1	0	0	0	1
S_3	0	1	1	0	1	0
S_4	1	0	0	0	1	1
S_5	1	0	1	1	0	0
S_6	1	1	0	1	0	1
S_7	1	1	1	1	1	
	•			•		\ <i>[\filtital]\fill\</i>



2ⁿ進ダウンカウンタ

2ⁿ進ダウンカウンタ

Q_i が反転する条件に着目すると, 2ⁿ進ダウンカウンタの特性方程式は,

$$- t_i = \overline{Q}_{i-1} \cdot \cdots \cdot \overline{Q}_0, i > 0$$

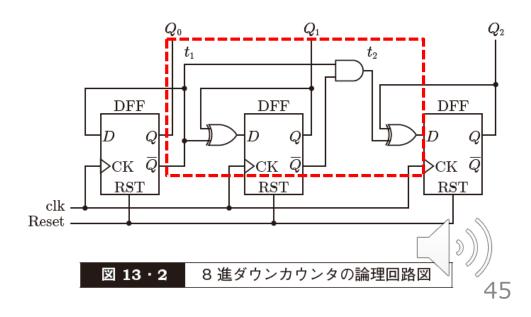
$$- Q_0^+ = \overline{Q}_0$$

$$- Q_i^+ = Q_i \oplus t_i$$
, $i > 0$

 この方法を用いて設計された 8 進ダウンカウンタの回路図を図13-2 に示す。

表 **13・2** 8 進ダウンカウンタの状態遷移表

状態変数	現在の状態				次の状態	
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	1	1	1
S_1	0	0	1	0	0	0
S_2	0	1	0	0	0	1
S_3	0	1	1	0	1	0
S_4	1	0	0	0	1	1
S_5	1	0	1	1	0	0
S_6	1	1	0	1	0	1
S_7	1	1	1	1	1	0





2ⁿ進アップダウンカウンタ

周期が 2ⁿ のアップダウンカウンタの設計方法について説明する。

8進アップダウンカウンタ

- 例として、8 進アップダウン カウンタを考える。ここで、 カウンタの初期状態は S₀ とし、 初期状態に対応する状態変数 の値は (0, 0, 0) とする。
- 8 進アップダウンカウンタの 状態遷移を表13·3 に示す.
- 制御入力 u がアップかダウン かを選択するのに用いられる (u=0ならダウンカウンタ, u=1ならアップカウンタ).

表 13・3 8 進アップダウンカウンタの状態遷	多表
--------------------------	----

状態変数	制御	現在の状態				次の状態	
状態名	u	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	1	1	1
S_1	0	0	0	1	0	0	0
S_2	0	0	1	0	0	0	1
S_3	0	0	1	1	0	1	0
S_4	0	1	0	0	0	1	1
S_5	0	1	0	1	1	0	0
S_6	0	1	1	0	1	0	1
S_7	0	1	1	1	1	1	0
S_0	1	0	0	0	0	0	1
S_1	1	0	0	1	0	1	0
S_2	1	0	1	0	0	1	1
S_3	1	0	1	1	1	0	0
S_4	1	1	0	0	1	0	1
S_5	1	1	0	1	1	1	0
S_6	1	1	1	0	1	1	1
S_7	1	1	1	1	0	0	2)



2ⁿ進アップダウンカウンタ

2ⁿ進アップダウンカウンタ

- 表13·3を観察すると、状態変数の値の変化に関して次のことがわかる.
 - $(1) Q_0$ は、各時刻ごとに反転する.
 - (2) Q_i , (i > 0) の値が反転するのは, u=1 の場合には Q_{i-1} ,…, Q_0 の値がすべて 1 の場合だけである. また, u=0 の場合には Q_{i-1} ,…, Q_0 の値がすべて 0 の場合だけである.
- Q_i が反転する条件に着目すると, 2ⁿ進 アップダウンカウンタの特性方程式は 次のようになる.

$$- t_{i} = (\overline{u} \oplus Q_{i-1}) \cdot \cdots \cdot (\overline{u} \oplus Q_{0}),$$

$$i > 0$$

$$- Q_0^+ = \overline{Q}_0$$

$$- Q_i^+ = Q_i \oplus t_i, i > 0$$

_	
表 13・3	0 性力・プグウンキウンタの比較更多主
ZZ 1.3 ' .3	8 進アップダウンカウンタの状態遷移表
20 0	

状態変数	制御	Ē	見在の状態	ķ		次の状態	
状態名	u	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	1	1	1
S_1	0	0	0	1	0	0	0
S_2	0	0	1	0	0	0	1
S_3	0	0	1	1	0	1	0
S_4	0	1	0	0	0	1	1
S_5	0	1	0	1	1	0	0
S_6	0	1	1	0	1	0	1
S_7	0	1	1	1	1	1	0
S_0	1	0	0	0	0	0	1
S_1	1	0	0	1	0	1	0
S_2	1	0	1	0	0	1	1
S_3	1	0	1	1	1	0	0
S_4	1	1	0	0	1	0	1
S_5	1	1	0	1	1	1	0
S_6	1	1	1	0	1	1	1
S_7	1	1	1	1	0	0	0

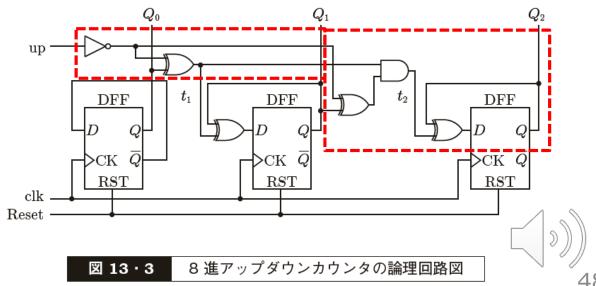




2ⁿ進アップダウンカウンタ

2ⁿ進アップダウンカウンタ

- Q_iが反転する条件に着目すると,2ⁿ進アップダウンカウンタの特性方程式
 - $t_i = (\overline{u} \oplus Q_{i-1}) \cdot \cdots \cdot (\overline{u} \oplus Q_0), i > 0$
 - $-Q_0^+ = \overline{Q}_0$
 - $Q_i^+ = Q_i \oplus t_i$, i > 0
- この方法を用いて設計された 8 進アップダウンカウンタの回路図を図 13-3 に示す.





リングカウンタ

- リングカウンタ(ring counter)は、n 個の状態をn 個のフリップフロップを用いて実現するカウンタである。6 個の状態をもつリングカウンタの状態遷移を表13.7 に示す。
- リングカウンタの特徴は、n ビットの状態コードの各ビットのうちの 1 個だけが 1 であり、それ以外のビットが 0 である点である. このような状態コードはワンホットコード (one hot code) と呼ばれている. この符号化方法は、状態のデコードが不要なので、高速なステートマシンの実装に適している.

表 13・7 6 個の状態をもつリングカウンタの状態遷移表

11/46万			現在の	り状態			次の状態					
状態 名	状態名 Q_5 Q		Q_3	Q_2	Q_1	Q_0	Q_5^+	Q_4^+	Q_3^+	Q_2^+	Q_1^+	Q_0^+
S_1	0	0	0	0	0	1	0	0	0	0	1	0
S_2	0	0	0	0	1	0	0	0	0	1	0	0
S_3	0	0	0	1	0	0	0	0	1	0	0	0
S_4	0	0	1	0	0	0	0	1	0	0	0	0
S_5	0	1	0	0	0	0	1	0	0	0	0	0
S_6	1	0	0	0	0	0	0	0	0	0	0	1





リングカウンタ

- リングカウンタ(ring counter)は、n個の状態をn個のフリップフロップを用いて実現するカウンタである。6個の状態をもつリングカウンタの状態遷移を表13.7に示す。
- 表13·7 を解析すると, n を状態数としてリングカウンタの特性方程式は, 次のようになる. 回路図を図13·7に示す.

$$- Q_0^+ = Q_{n-1}$$

$$- Q_{i}^{+} = Q_{i-1}, i>0$$

表 13・7 6 個の状態をもつリングカウンタの状態遷移表

小台	現在の状態						次の状態					
状態名	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	Q_5^+	Q_4^+	Q_3^+	Q_2^+	Q_1^+	Q_0^+
S_1	0	0	0	0	0	1	0	0	0	0	1	0
S_2	0	0	0	0	1	0	0	0	0	1	0	0
S_3	0	0	0	1	0	0	0	0	1	0	0	0
S_4	0	0	1	0	0	0	0	1	0	0	0	0
S_5	0	1	0	0	0	0	1	0	0	0	0	0
S_6	1	0	0	0	0	0	0	0	0	0	0	1

回路図に間違いがあります 赤線のように接続した 回路が正しい回路です

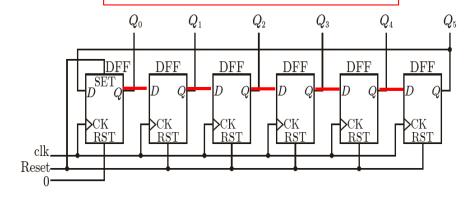


図 **13・7** 6 個の状態をもつリングカウンタの論理回



ジョンソンカウンタ

- ジョンソンカウンタ(Johnson counter)は、n個のフリップフロップを用いて2n個の状態を実現するカウンタである。8個の状態をもつジョンソンカウンタの状態遷移を表13.8に示す。
- ジョンソンカウンタの特徴は、隣接する状態の間のハミング距離 (hamming distance)が1であることである、状態遷移の途中 ではたかだか1個のフリップフロップの出力しか変化しないので、 状態変数をデコードしても、未定義の状態や本来遷移しない状態 を検出することがない。

	·
表 13・8	8 個の状態をもつジョンソンカウンタの状態遷移表

イルギドや		現在の	の状態		次の状態				
状態名	Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+	
S_0	0	0	0	0	0	0	0	1	
S_1	0	0	0	1	0	0	1	1	
S_2	0	0	1	1	0	1	1	1	
S_3	0	1	1	1	1	1	1	1	
S_4	1	1	1	1	1	1	1	0	
S_5	1	1	1	0	1	1	0	0	
S_6	1	1	0	0	1	0	0	0	
S_7	1	0	0	0	0	0	0	0	





ジョンソンカウンタ

- ジョンソンカウンタの特徴は、隣接する状態の間のハミング距離(hamming distance)が 1 であることである.
- 表13·8 を解析すると、n を状態数としてジョンソンカウンタの特性方程式は、 次のようになる。

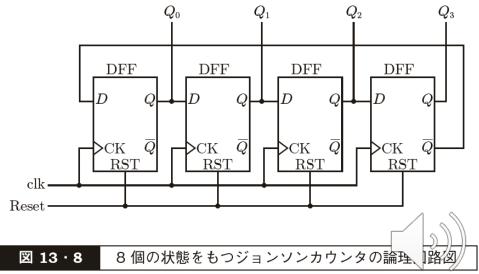
$$- Q_0^+ = \overline{Q}_{n-1}$$

$$- Q_{i}^{+} = Q_{i-1}, i>0$$

8 個の状態をもつジョンソンカウンタの論理回路図は 図13·8 のようになる.

表 13・8	8 個の状態をもつジョンソンカウンタの状態遷移表
2X 13 0	0 974/版で 0 フノヨ ノ ノ ノ ハ フ ノ ヌ り//

小小品		現在の	の状態		次の状態				
状態名	Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+	
S_0	0	0	0	0	0	0	0	1	
S_1	0	0	0	1	0	0	1	1	
S_2	0	0	1	1	0	1	1	1	
S_3	0	1	1	1	1	1	1	1	
S_4	1	1	1	1	1	1	1	0	
S_5	1	1	1	0	1	1	0	0	
S_6	1	1	0	0	1	0	0	0	
S_7	1	0	0	0	0	0	0	0	





グレイコードカウンタ

- グレイコードカウンタ(gray code counter)は, n 個のフリップフロップを用いて 2ⁿ 個の状態を実現するカウンタである. n 個のビットで表現できる状態数の上限は 2ⁿ なので, n 個のビットのすべての組合せが有効な状態に対応していることになり, 状態の符号化には冗長性がない.
- 8 個の状態をもつグレイコードカウンタの状態遷移を表13.9 に示す.
- グレイコードカウンタの特徴は、隣接する状態の状態変数の値の間のハミング距離(hamming distance)が 1 であることと、状態の符号化に冗長性がないことである.
- ジョンソンカウンタと同様に,グレイコードカウンタの状態遷移の途中では高々1個のフリップフロップの出力しか変化しない

表 13・9	グレイコードカウンタの状態遷移表
--------	------------------

小下吊下令	习	見在の状態	įį	次の状態			
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	
S_0	0	0	0	0	0	1	
S_1	0	0	1	0	1	1	
S_2	0	1	1	0	1	0	
S_3	0	1	0	1	1	0	
S_4	1	1	0	1	1	1	
S_5	1	1	1	1	0	1	
S_6	1	0	1	1	0		
S_7	1	0	0	0	0		



グレイコードカウンタ

図 13・9

8 個の状態をもつグレイコードカウンタの特性方程式は次のようになる.

$$- Q_0^+ = Q_2 \cdot Q_1 \vee \overline{Q}_2 \cdot \overline{Q}_1$$

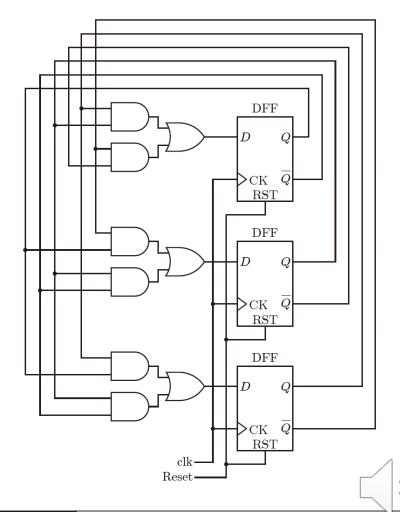
$$- Q_1^+ = \overline{Q}_2 \cdot Q_0 \vee Q_1 \cdot \overline{Q}_0$$

$$- Q_2^+ = Q_2 \cdot Q_0 \vee Q_1 \cdot \overline{Q}_0$$

• 8 個の状態をもつグレイコードカウンタの論理回路図は 図13.9 のようになる.

表 13・9	グレイコードカウンタの状態遷移表

小小品	玛	見在の状態	Ė	次の状態				
状態名	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+		
S_0	0	0	0	0	0	1		
S_1	0	0	1	0	1	1		
S_2	0	1	1	0	1	0		
S_3	0	1	0	1	1	0		
S_4	1	1	0	1	1	1		
S_5	1	1	1	1	0	1		
S_6	1	0	1	1	0	0		
S_7	1	0	0	0	0	0		



8 個の状態をもつグレイコードカウンタの論理回路図



演習 問題

■ 12 章で述べた順序回路の設計法を用いて 8 進アップダウンカウンタを設計せよ. 設計結果を解析し、各 D フリップフロップの入力が本章で説明した設計手法を用いて設計した結果と等価になることを確認せよ.

2 10 進アップダウンカウンタを、本章で説明した設計方法を用いて設計せよ.

3 10 進アップカウンタに論理回路を追加して、カウンタからの桁上げ信号を出力できるようにせよ。この桁上げ信号は、カウンタの値が 9 の場合に 1 となり、それ以外の場合には 0 となる。

4 桁上げ信号が入力されたときにだけカウンタアップ動作を行う6進アップカウンタを設計せよ.このカウンタからの桁上げ出力はカウンタ値が5の場合に1となり、それ以外の場合には0となる.(ヒント:イネーブル機能付きのDフリップフロップを用いて実装するとよい.)

⑤ 直前の二つの問題で機能を追加した 10 進アップカウンタと 6 進アップカウンタを組み合わせて、出力が BCD (2 進化 10 進数) 形式の 60 進カウンタを設計せよ. 60 進カウンタからの桁上げ信号は、カウンタ値が 59 の場合に 1 となり、それ以外の場合には 0 となる.

OSAKA UNIVERSITY

$$Q_1^+ = \overline{u} \oplus Q_1 \oplus Q_0$$

$$Q_2^+ = u \cdot Q_2 \cdot \overline{Q}_1 \vee u \cdot Q_2 \cdot \overline{Q}_0 \vee u \cdot \overline{Q}_2 \cdot Q_1 \cdot Q_0 \vee \overline{u} \cdot Q_2 \cdot Q_1 \vee \overline{u} \cdot Q_2 \cdot Q_0 \vee \overline{u} \cdot \overline{Q}_2 \cdot \overline{Q}_1 \cdot \overline{Q}_0$$

$$2 \quad t_1 = Q_0 \oplus u$$

$$t_2 = t_1 \cdot (Q_1 \oplus u)$$

$$t_3 = t_2 \cdot (Q_2 \oplus u)$$

$$c = u \vee \overline{Q_3 \cdot Q_0}$$

$$d = \overline{u} \vee Q_3 \vee Q_2 \vee Q_1 \vee Q_0$$

$$Q_0^+ = \overline{Q}_0$$

$$Q_1^+ = (t_1 \oplus Q_1) \cdot c \cdot d$$

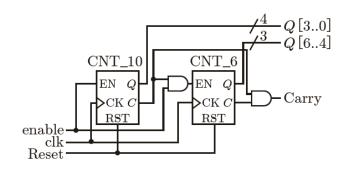
$$Q_2^+ = (t_2 \oplus Q_2) \cdot d$$

$$Q_3^+ = (t_3 \oplus Q_3) \cdot c$$

$$\mathbf{3} \quad c = Q_3 \cdot Q_0$$

$$4 \quad c = Q_2 \cdot Q_0$$

5 回路図を解図 13.1 に示す.





中間試験対策



中間試験対策

- 試験範囲
 - 高理回路の教科書の1章~11章(基本的に中間試験の対象は, 論理設計の1回目から6回目の授業で説明した6章から11章 の内容)
- 中間試験対策
 - カルノー図(ドント・ケアを含むカルノー図)の簡単化
 - クワイン・マクラスキー法を用いた主項や最簡積和形の生成
 - 多出力論理関数の簡単化
 - 状態遷移図の作り方と Dフリップ・フロップ を用いた同期式順 序回路の生成
 - 同期式順序回路の動きを状態遷移図(Mealy型とMoore型の 両方)で表現
 - Dフリップ・フロップを用いて与えられた状態遷移図を実現 する同期式順序回路を生成



8回目の授業終了



授業終了

皆さん 今日はレポート課題はありません