

(1) 3 変数論理関数  $f_1(x, y, z)$ ,  $f_2(x, y, z)$  をそれぞれ次のように定める.

$f_1(x, y, z) = x, y, z$  を 2 進数とみなした時, 2 の倍数の時 1, そうでない時 0.

$f_2(x, y, z) = x, y, z$  を 2 進数とみなした時, 3 の倍数の時 1, そうでない時 0.

(1-1)  $f_1, f_2$  及び  $f_1 + f_2$  の主項, 必須項, 最簡積和形をそれぞれ求めよ.

(1-2)  $f_1, f_2$  を実現する最簡な多出力回路を求めよ. ただし, 入力として各変数  $x, y, z$  及び, それらの否定が利用できるとし, 使用できるゲートは AND, OR, NOT ゲートのみとする.

(2) 入力 0, 1 に対し, 01 が交互に繰り返される限り, 1 を出力し, 01 が交互に繰り返されなくなると, 以降ずっと 0 を出力し続けるような Mealy 型同期式順序回路を 2 つの JK フリップフロップと幾つかの AND, OR, NOT ゲートを用いて作成する.

(2-1) この回路の状態遷移図を書け.

(2-2) この回路の回路図を書け.

Q	J	K	Q'	Q	J	K	Q'
0	0	0	0	1	0	0	1
0	0	1	0	1	0	1	0
0	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0

(3) 同期式カウンタについて以下の問いに答えよ.

(3-1) 出力が 3 ビットの同期式カウンタを考える. クロックが入力されるごとに, 出力が  $(0, 0, 0) \rightarrow (0, 0, 1) \rightarrow (0, 1, 1) \rightarrow (1, 1, 1) \rightarrow (1, 0, 1) \rightarrow (1, 0, 0) \rightarrow (0, 0, 0)$  と変化するカウンタ回路を D フリップフロップと 2 入力 NAND ゲートのみで作成せよ.

(3-2) 設計に用いた回路の NAND ゲートの遅延時間は, 出力が 0 から 1 に変化する時は  $T$ , 1 から 0 に変化する時は  $2T$  であるとする. このカウンタに用いられている, クロックの 1 周期を  $S$  とした時,  $S$  が満たす条件を  $T$  と  $K$  を用いて答えよ. ただし, DFF の遅延時間は常に  $K$  とする.

免責事項

作成者はこの模試に関する一切の責任を負いません.