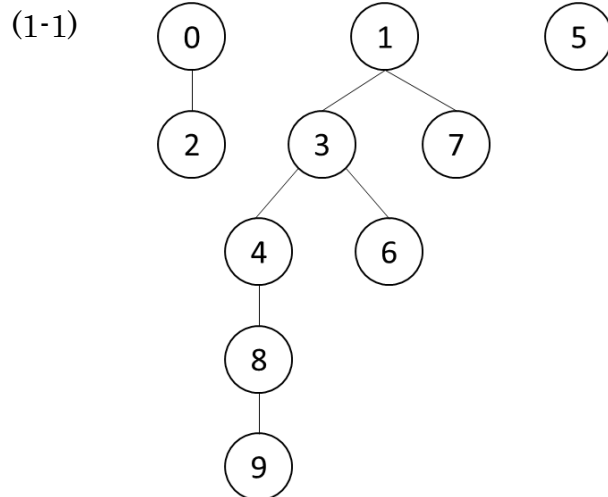


1 アルゴリズムとプログラミング



(1-2) 構成員番号が x である構成員が所属するグループの、最上位の上司の構成員番号を返す関数。

(1-3)

A: `find(y)`

B: `m==n`

(2-1) $O(h)$

関数 `same` の時間計算量は、関数 `find` の時間計算量に依存する。その計算量が最悪になる場合は、関数 `find` の引数に深さ h の構成員番号が与えられた時で、 h 回プログラムの 6 行目の計算が行われる。よってそのオーダーは $O(h)$ 。

(2-2-1)

`return p[x] = find(p[x])`

(2-2-2) $O(1)$

関数 `same` が十分大きな回数実行された時、配列 `p` の内容は各グループの最上位の構成員番号に書き換えられていると考えられる。この時、関数 `find` をデータに依存せず一定時間で実行することができる。よって関数 `same` の時間計算量のオーダーは $O(1)$ 。

大問 2

(1-1)

- (a) 時間的参照局所性
- (b) 空間的参照局所性

(1-2)

- (a) 主記憶へのアクセス時間を短縮できる。
- (b) 主記憶のアドレス空間を拡張し、より大きなデータを扱える。(物理的な主記憶装置よりも大きな仮想メモリを提供することができる by Wikipedia)

(1-3-1)

(a) 8

論理アドレスは仮想記憶に対するアドレスである。仮想記憶は 256 バイトで、アドレスは 1 バイトごとに付与されるので、 $256/1=256$ なので、256 種類のアドレスが必要になる。 $256=2^8$ なので、8 ビットあれば論理アドレスを表現できる。

(b) 4

キャッシュメモリ容量が 8 バイト、キャッシュメモリの 1 ブロックが 2 バイトなので $8/2=4$ 。

(c) 32

仮想記憶が 256 バイト。仮想記憶の 1 ページが 8 バイトなので、 $256/8=32$ ページ必要である。エントリ数とはページの数のことである。

(d) 2

主記憶が 32 バイト、1 ページ 8 バイトなので $32/8=4$ ページに分割される。 $4=2^2$ なので、2 ビットあればページ番号を表すことができる。

(e) 2

ダイレクトマッピングなので、キャッシュ 1 バイトに対して主記憶のアドレスが何種類割り当てられるかを考える。主記憶が 32 バイトに対してキャッシュが 8 バイト。 $32/8=4$ なので、2 ビット必要。

※タグとはキャッシュメモリに対応する主記憶(仮想記憶)のアドレスを識別するためのビット列。例えば主記憶のアドレス 1~4 がキャッシュメモリのアドレス 1 にマッピングされる場合、それぞれをキャッシュメモリ中で判別するために 2 ビットのタグを付ける。

(f) 5

(e)と同様。256/8=2^5 なので 5 ビット必要。

(1-3-2)

サイク ル	0	1	2	3	4	5	6	7
参照論 理アド レス	0	1	2	3	4	8	21	255
(a)	0	0	1	1	2	4	10	15
(b)	0	0	1	1	2	0	2	3
(c)	0	0	0	0	0	1	2	3

参照論理アドレスに対応するページ番号は順に 0,0,0,0,0,1,2,31 なのですでに主記憶に読み込まれている。なぜなら問題文中に「主記憶のページ枠(0~3)には、それぞれ、仮想記憶内のページ 0, 1, 2, 31 が割り当てられている」とあるからである。よってページインやページアウトは起こらないことになる。

主記憶の内容は次のようになる。

仮想アドレス	0	1	2	3...	7	8...	23	248...	255
実アドレス	0	1	2	3...	7	8...	23	24...	31
ブロック番号	0	1	...	3	4...	11	12...	15	

(a) は上記表より。ブロック番号は(実アドレス)/2 の整数部分である。

(b) は(a)で求めたブロック番号 mod 4 で求められる。

(c) は(a)で求めたブロック番号 / 4 の整数部分(商)で求められる。

(d) キャッシュヒットするのは、以前参照された(b)のキャッシュメモリブロック番号と(c)のタグに一致する時である。ただし、初期参照の場合はキャッシュヒットとはならない。サイクル 0 では(b,c)=(0,0)で初期参照なのでキャッシュミス。サイクル 1 では(b,c)=(0,0)でサイクル 0 でキャッシュメモリに格納されたブロックと同じブロックを

参照するのでキャッシュヒット。サイクル 2,3 も同様に考えてサイクル 2 は初期参照なのでキャッシュミスとなるが、サイクル 3 はキャッシュヒットとなる。サイクル 4 は初期参照である。サイクル 5 では(b)の値は 0 だが、(c)の値が 1 なのでサイクル 0 で参照されたブロックと異なるブロックが参照されたので、キャッシュミスでありこの時キャッシュメモリ上のブロックも書き換えられる。サイクル 6 はサイクル 5 と同様にキャッシュミスであり、キャッシュメモリ上のブロックも書き換えられる。サイクル 7 は初期参照である。よって、キャッシュヒット率は $2/8=0.25$ (25%)。

(2-1)

- (ア) F
- (イ) B
- (ウ) E
- (エ) G
- (オ) A
- (カ) I

(2-2-1)

	(i)連続	(ii)リンク	(iii)インデックス
(a)	1	$\text{ceil}\left(\frac{n}{b-a}\right)$	2
(b)	$\text{ceil}\left(\frac{n}{b}\right)$	$\text{ceil}\left(\frac{n}{b-a}\right)$	$1 + \text{ceil}\left(\frac{n}{b}\right)$
(c)	$b \times \text{ceil}\left(\frac{s}{b}\right)$	$b \times \text{ceil}\left(\frac{s}{b-a}\right)$	$b \times (1 + \text{ceil}\left(\frac{s}{b}\right))$

- (a)
- ・リンク割り付けの分母が $b-a$ となっているが、これはポインタの容量が a バイトあるので、1 ブロックに含まれるデータは b バイトではなくポインタの容量を除いた $b-a$ バイトとなる。
 - ・インデックス割り付けは、索引ブロックと n バイト目があるブロックの計 2 つのブロックにアクセスする。

(b) インデックス割り付けでは複数回索引ブロックにアクセスすることになるが、これは問題文に書いてある通りアクセスするブロック数でみると 1 であることに注意。

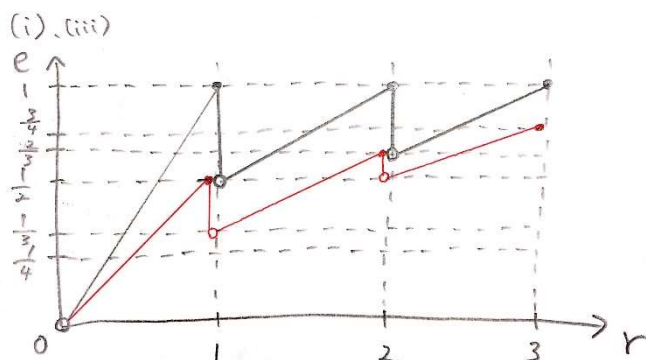
(c) (b)の条件を $n=s$ と考えると、ファイル全体にアクセスする場合のブロック数になるので、これにブロックサイズである b を掛ければよい。

(2-2-2)

$$(i) \quad e = \frac{s}{p} = \frac{s}{b \times \text{ceil}(\frac{s}{b})} = \frac{r}{\text{ceil}(r)}$$

$$(iii) \quad e = \frac{s}{p} = \frac{s}{b \times \{\text{ceil}(\frac{s}{b}) + 1\}} = \frac{r}{\text{ceil}(r) + 1}$$

と変形できる。これを図示すると、以下のようになる。



※黒線が(i)で赤線が(iii)です。便宜上同一座標に 2 つのグラフを描いたため赤ペンの方はずらして描いていますが、解答用紙には 2 つの回答欄にそれぞれ回答する形式でした。連続でないところ($r=1, 2$)を実線で結んでしまっていますが誤りですごめんなさい。

(2-2-3)

(i)の利用効率を e_1 , (iii)の利用効率を e_3 とすると、利用効率の比は、

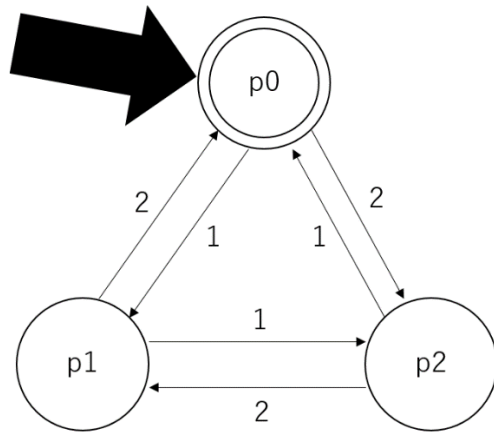
$$\frac{e_1}{e_3} = \frac{\text{ceil}(r) + 1}{\text{ceil}(r)} = 1 + \frac{1}{\text{ceil}(r)} \xrightarrow{r \rightarrow \infty} 1$$

となるので、回答としては「1 に近づく」。

4. 計算理論

(1-1) (i) 7 (ii) 8 (iii) 5 (iv) 3

(1-2-1)



(1-2-2) (1,1) / 2

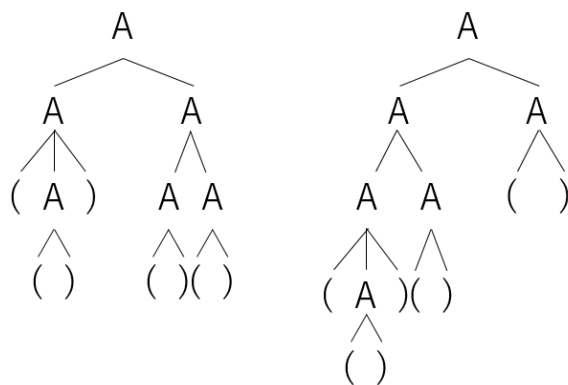
(2,2) / 1

(1,Z) / 1Z

(2,Z) / 2Z

(2-1) $()$, $()()$, $(())$, $()()()$, $(())()$, $()(())$, $(())()$, $((()))$

(2-2)



(2-3) 5 (2-4) 14

(2-5) $(\mathcal{A})()$

(i) $AA \Rightarrow^* vA \Rightarrow^* vw$

(v) (y)

(ε) $(A) \Rightarrow^* (y)$

大問 6

(1-1)

$A=(0,1,1)$, $B=(0,1,0)$ のとき

$$A' = (0,0,1,1)$$

$$B' = (0,0,1,0)$$

$$T = (0,0,0,1)$$

$$F = (0,0,1)$$

$A=(1,0,1)$, $B=(0,1,0)$ のとき

$$A' = (1,1,0,1)$$

$$B' = (0,0,1,0)$$

$$T = (1,0,1,1)$$

$$F = (0,1,0,1)$$

(1-2)

$$a_3 = a_2, b_3 = b_2$$

符号拡張は問題文にもある通り、表す値が変わらないように上位ビットを加えることである。例えば $0010(=2)$ という値の符号拡張として $0\ 0010$ や $0000\ 0010$ などが考えられる。また $1110(-2)$ という値の符号拡張として $1\ 1110$ や $1111\ 1110$ などが考えられる。つまり符号拡張により表す値を変えないためには正数の場合、すなわち最上位ビットが 0 である数には 0 を適当な個数だけ上位ビットに加えればよい。同様に負数ならば 1 を適当な個数だけ上位ビットに加えればよい。結局最上位ビットと同じビットを加えればよいということになる。

(1-3)

$$x_i = a_i$$

$$y_i = \overline{b_i}$$

$$z_i = c_{i-1} \quad (1 \leq i \leq 3), z_0 = 1$$

$T = A' - B'$ であるが、FA は全加算器なので減算を行うことができない。よって B' の値を負数にする必要がある。2 の補数を作るにはビットを反転させて 1 を加えればよい。この 1 を加える処理は FA_0 の桁上げ入力 z_0 に 1 を与えることで実現できる。

(1-4)

$$f_2 = \overline{t_3}t_2 \vee t_3\overline{t_2} \vee t_3\overline{t_1} \quad \overline{t_0}$$

$$f_1 = \overline{t_3}t_1 \vee t_1\overline{t_0} \vee t_3\overline{t_1}t_0$$

$$f_0 = t_0$$

理論的には $t_3 = 0$ なら $t_2 \dots t_0$ を出力し、 $t_3 = 1$ なら $t_2 \dots t_0$ を反転して 1 加えた数を出力すればよい。実際にはカルノー図を書けば求められる。

t_3	t_2	t_1	t_0	f_2	f_1	f_0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	1	0	0
0	1	0	1	1	0	1
0	1	1	0	1	1	0
0	1	1	1	1	1	1
1	0	0	0	d	d	d
1	0	0	1	1	1	1
1	0	1	0	1	1	0
1	0	1	1	1	0	1
1	1	0	0	1	0	0
1	1	0	1	0	1	1
1	1	1	0	0	1	0
1	1	1	1	0	0	1

		t ₁ t ₀			
		00	01	11	10
t ₃ t ₂	00				
	01	1	1	1	1
	11	1			
	10	d	1	1	1

		t ₁ t ₀			
		00	01	11	10
t ₃ t ₂	00			1	1
	01			1	1
	11		1		1
	10	d	1		1

		t ₁ t ₀			
		00	01	11	10
t ₃ t ₂	00		1	1	
	01		1	1	
	11		1	1	
	10	d	1	1	

(2-1)

A: pMOS

B: pMOS

C: nMOS

D: nMOS

(2-2)

キルヒホッフの法則より、

$$V_{DD} = 2R_{MOS} \frac{dQ(t)}{dt} + \frac{Q(t)}{C_L}$$

$$V_{DD} - \frac{Q(t)}{C_L} = 2R_{MOS} \frac{dQ(t)}{dt}$$

$$\frac{1}{2R_{MOS}} dt = \frac{1}{V_{DD} - \frac{dQ(t)}{C_L}} dQ$$

$$\int \frac{1}{2R_{MOS}} dt = \int \frac{1}{V_{DD} - \frac{dQ(t)}{C_L}} dQ$$

$$\frac{1}{2R_{MOS}} t + A = -C_L \ln \left(V_{DD} - \frac{Q(t)}{C_L} \right)$$

$$-\frac{1}{2R_{MOS}C_L} t + A' = \ln \left(V_{DD} - \frac{Q(t)}{C_L} \right)$$

$$V_{DD} - \frac{Q(t)}{C_L} = A'' \cdot \exp \left(-\frac{1}{2R_{MOS}C_L} t \right)$$

$$Q(t) = C_L V_{DD} - A''' \cdot \exp \left(-\frac{1}{2R_{MOS}C_L} t \right)$$

Q = CV より、

$$y(t) = V_{DD} - A''' \cdot \exp \left(-\frac{1}{2R_{MOS}C_L} t \right)$$

y(0) = V_{DD} なので、A''' = V_{DD} である。よって

$$y(t) = V_{DD} \left(1 - \exp \left(-\frac{1}{2R_{MOS}C_L} t \right) \right)$$

ここで y(t) = 0.5V_{DD} とすると、

$$\mathbf{t = 2 \ln 2 R_{MOS} C_L}$$

過渡応答の問題である。入力がV_{dd}から0に変化したとき、nMOSであるC, Dはオフ状態、pMOSであるA, Bはオン状態になる。