

طراحی (Data Path)

فرضیات

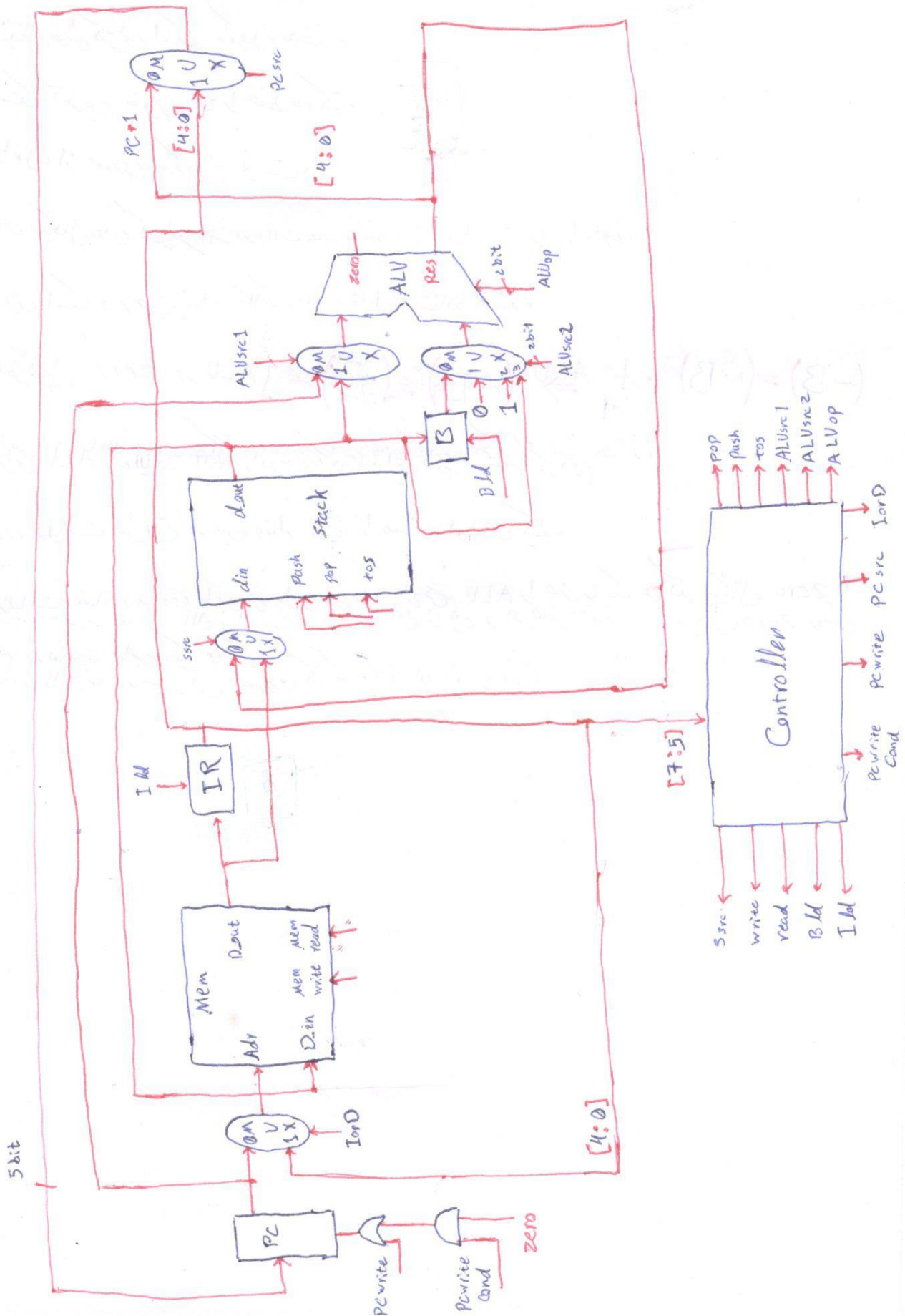
- سیگنال‌های کنترلی استک سکون هستند.
- استک آخرین خروجی خود را حفظ می‌کند.
- خواندن از همدیگر سکون نیست.
- تمامی سیگنال‌های کنترلی جز در حالت‌های مشخص شده مقدار پیش فرض را دارند.
- خروجی استک در رجیسترها در کلاک بعدی قابل استفاده هستند.
- سیگنال zero در ALU زمانی فعال می‌شود که خروجی ALU صفر واقعی باشد.
- بایس‌های اطلاعاتی همگی 8 بیتی و بایس‌های آدرس همگی 5 بیتی هستند.
- برای عملیات تفریق دومین مقدار استک را منهای اولی می‌کنیم.
- برای دستور JZ بالای استک را با صفر جمع می‌کنیم و اگر صفر حقیقی باشد سیگنال zero روشن شده و لاجیک در مسیر آن تعیین می‌کند که PC لود شود یا نه.

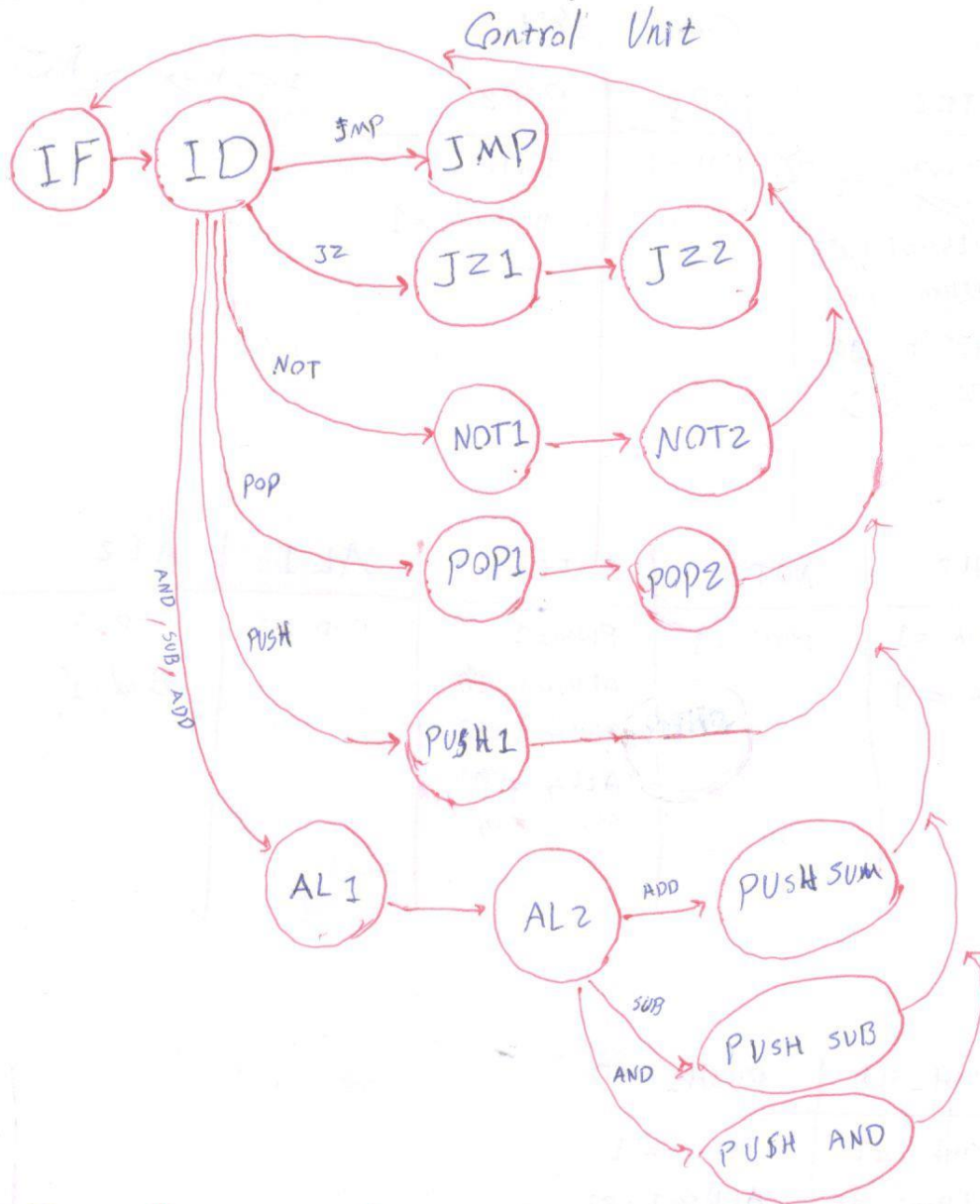
CA #4
date: 1400/04/04

Computer Architecture
Dr. Safari
Spring 2021

علی قدیانی 810898056
آرمیتا طهرانی 810898050

Data path





IF	ID	JMP
PCwrite = 1		PCwrite = 1
IorD = 0		PCsrc = 1
Memread = 1		
PCsrc = 0		
ALUop = 00		
ALUsrc1 = 0		
ALUsrc2 = 10		
IF = 1		

لیست سیگنال‌های هر حالت:

- حالت‌های پیش‌رود سیگنال‌ها 0 است.
- حالت پیش‌رود ALUop هم 00 (عمل جمع) است.

CA #4
date: 1400/04/04

Computer Architecture
Dr. Safari
Spring 2021

810898056 علی قدیانی
810898050 آریتا طرایی

Control Unit

لیست سیگنال‌های خروجی:

JZ1	JZ2	POP1	POP2
tos = 1	PCwrite = 1 Cond = 1 ALUsrc1 = 1 ALUsrc2 = 01 ALUop = 00 PCsrc = 1	POP = 1	IorD = 1 MemWrite = 1

PUSH1	NOT1	NOT2	AL1	AL2
IorD = 1 Memread = 1 Push = 1 Ssrc = 1	POP = 1	PUSH = 1 ALUsrc1 = 1 ALUop = 11 Ssrc = 0	POP = 1	POP = 1 Bld = 1

PUSH_SUM	PUSH_SUB	PUSH_AND
PUSH = 1 ALUsrc1 = 1 ALUsrc2 = 00 ALUop = 00 Ssrc = 0	PUSH = 1 ALUsrc1 = 1 ALUsrc2 = 00 ALUop = 01 Ssrc = 0	PUSH = 1 ALUsrc1 = 1 ALUsrc2 = 00 ALUop = 10 Ssrc = 0

ALUop	operation
00	A + B
01	A - B
10	A & B
11	~A

