

Politechnika Wrocławska

Architektura Systemów Komputerowych Wykład 12

Dr inż. Radosław Michalski Katedra Inteligencji Obliczeniowej, Wydział Informatyki i Zarządzania Politechnika Wrocławska Wersja 1.1, wiosna 2018

Źródła i licencja

Najbardziej aktualna wersja tego wykładu znajduje się tu: https://github.com/rmhere/lecture-comp-arch-org

Opublikowany jest on na licencji Creative Commons Attribution NonCommercial ShareAlike license 4.0 (CC BY-NC-SA 4.0).



Zawartość tego wykładu

Przyszłość architektur komputerowych



Obecne ograniczenia

- ► nadmiar ciepła w układzie
- ▶ niska proporcja *moc obliczeniowa / energia*



Architektury heterogeniczne

- ▶ ang. heterogeneous multicore
- wiele różnych rodzajów układów
- specjalizacja każdego z nich
- efektywne przełączanie
- przykładowo NXP i.MX 7Dual



Akceleratory

- specjalizacja pod poszczególne zastosowania
- ▶ GPGPU
- procesory DSP
- ► TCP/IP offload
- ▶ krok dalej?



Obliczenia przybliżone

- nie zawsze potrzebujemy dokładnego wyniku
- przykładowo: grafika
- metody: np. sieci neuronowe / DNN
- przykład: IBM TrueNorth
 - procesor manycore
 - CMOS
 - ▶ 4096 rdzeni * 256 neuronów * 256 synaps
 - potrzebuje energii tylko do obliczeń
- ▶ IBM Q Experience



- dużo sensorów
- mała wydajność
- małe zużycie energii
- niska cena
- ▶ system on a chip
 - ► ESP8266/ESP32
 - ► ARM Cortex M4