



Arquitectura de subcapa PCS para Ethernet 100 Gbps

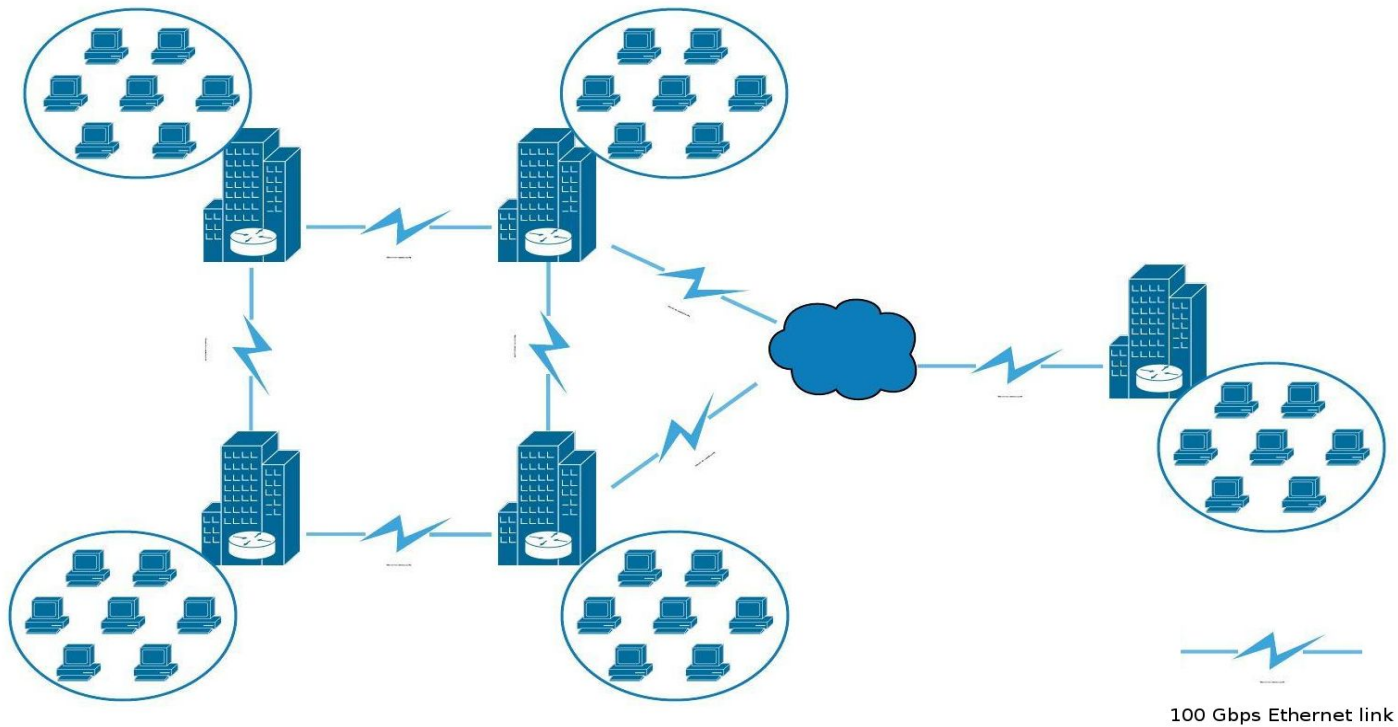
**Autores: Abratte, Diego
Moral, Ramiro**

Objetivos

- Comprender el funcionamiento de la subcapa PCS.
- Informar sobre el avance en el proyecto.
- Exponer los diagramas de arquitectura de los bloques principales

Introducción

- Ethernet 100 Gbps es utilizado en su mayoría para la comunicación en redes MAN o WAN.



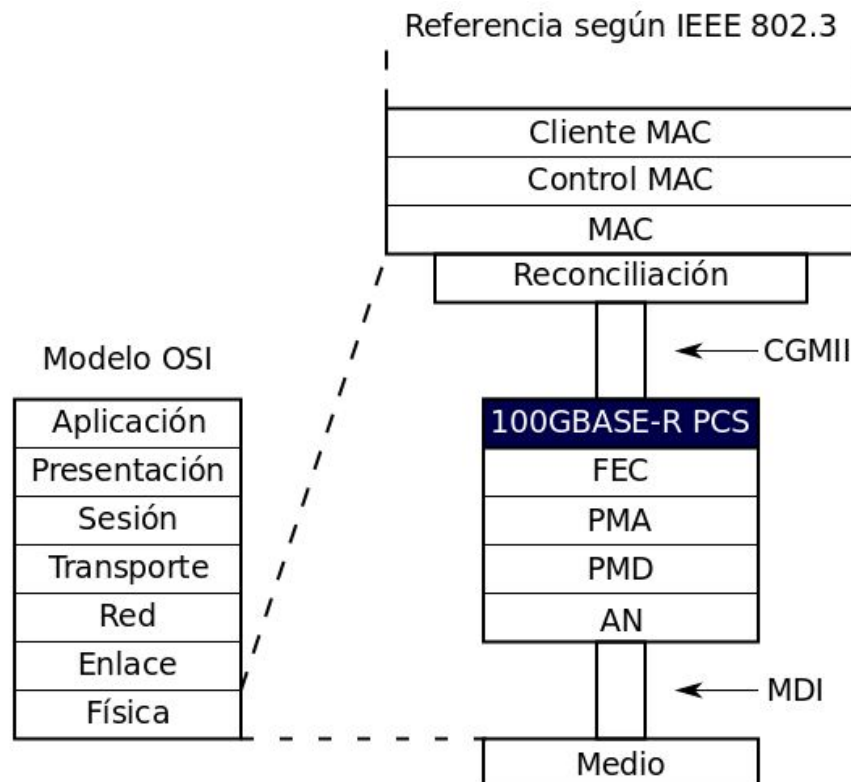
Introducción

- El estándar está definido para los siguientes medios de transmisión, siendo la implementación de PCS obligatoria para cualquiera de éstos:

Canal	Distancia máxima
cobre blindado balanceado	7 metros
fibra óptica multimodo	100 metros
fibra óptica unimodo	10 kilómetros
fibra óptica unimodo	40 kilómetros

Introducción

Tomando como referencia el Modelo OSI, **PCS** (Physical Coding Sublayer) es una subcapa de la capa física cuyo objetivo principal es el de ofrecer al cliente MAC una interfaz de comunicación independiente del medio por el que serán transmitidos los datos.



MAC: Medium Access Control

CGMII: Medium Independent Interface

FEC: Forward Error Correction

PMA: Physical Medium Attachment

PMD: Physical Medium Dependent

AN: Auto Negotiation

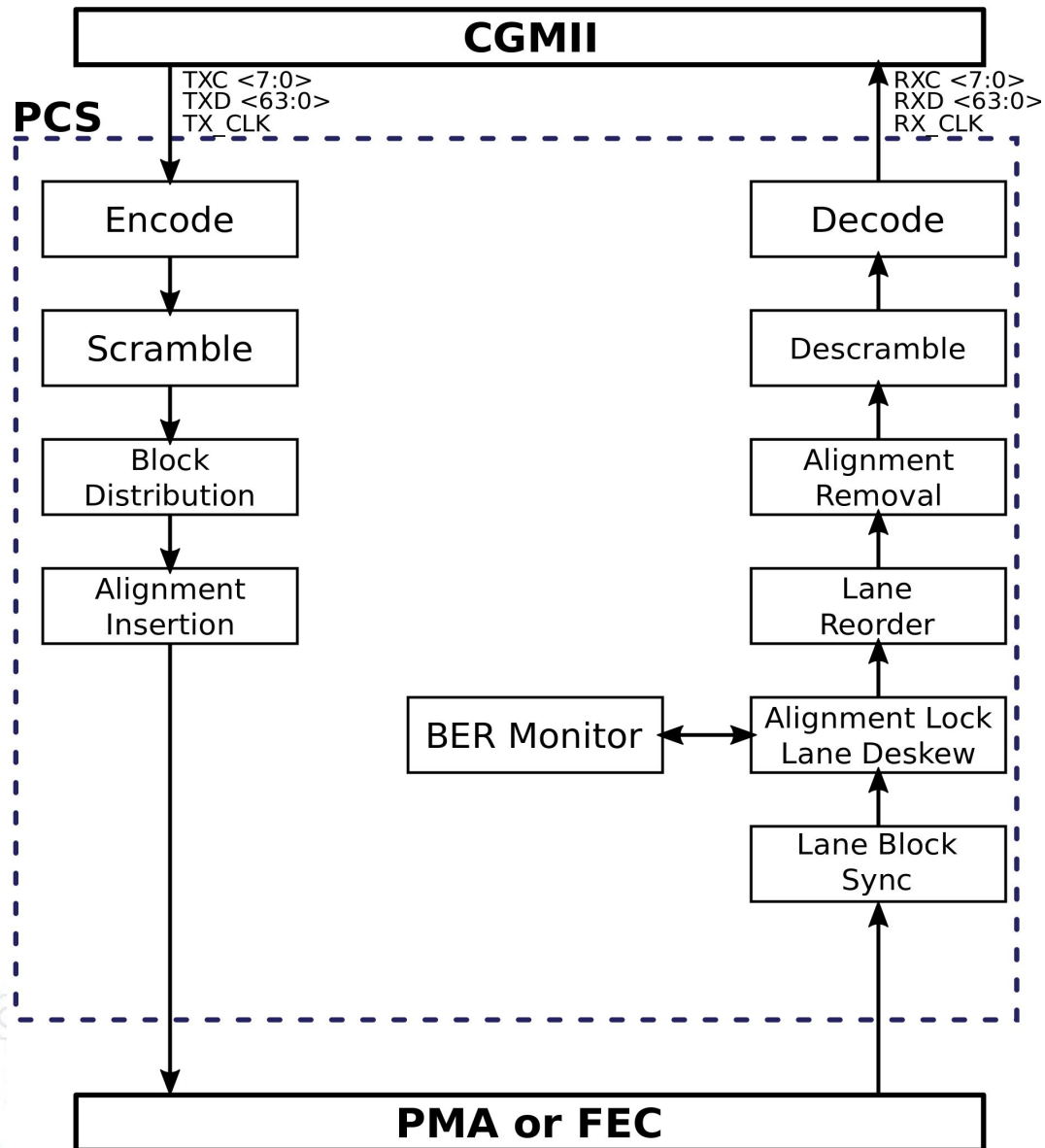
MDI: Medium Dependent Interface

Introducción

Funciones Principales:

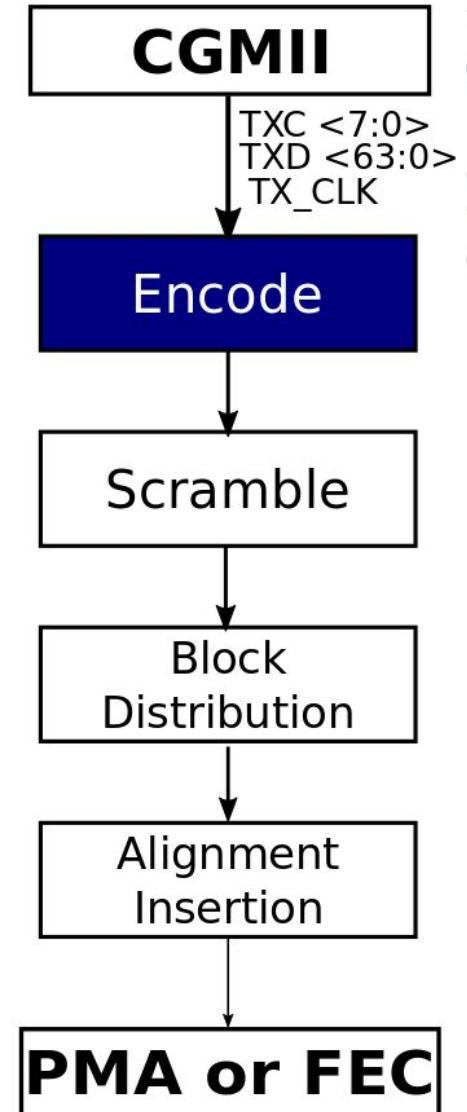
- Coding/Decoding de 8 octetos de datos desde/hacia MII en bloques de 66 bits.
- Transferencia de datos codificados desde/hacia PMA. Proveyendo las funciones necesarias para mapear paquetes desde el formato MII hacia el formato PMA/FEC.
- Compensación de diferencias entre las tasas de clock a través de la inserción o extracción de bloques de control entre las capas CGMII y PMA.

Estructura de la subcapa



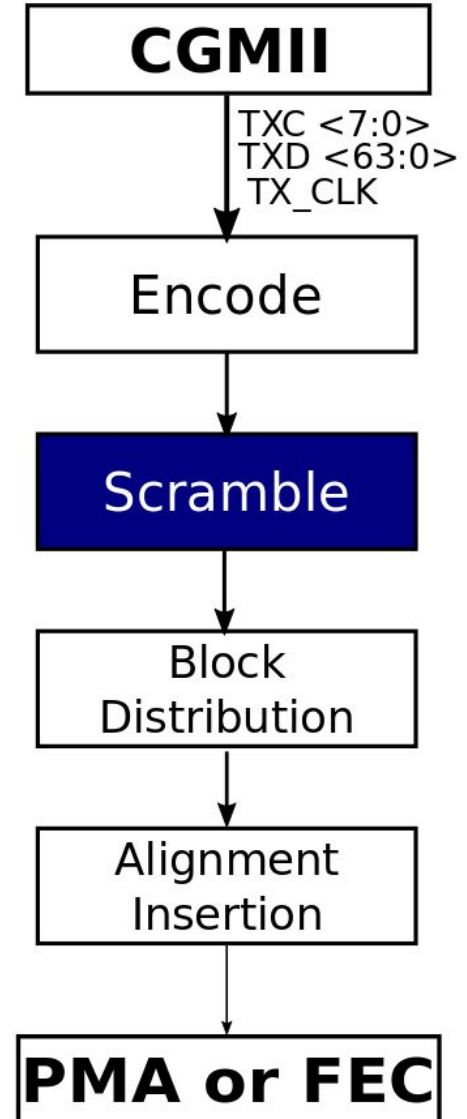
Estructura de subcapa - TX

- Verificación de secuencia de bloques.
- Verificación de formato de bloques.
- Codificación de 64 a 66 bits



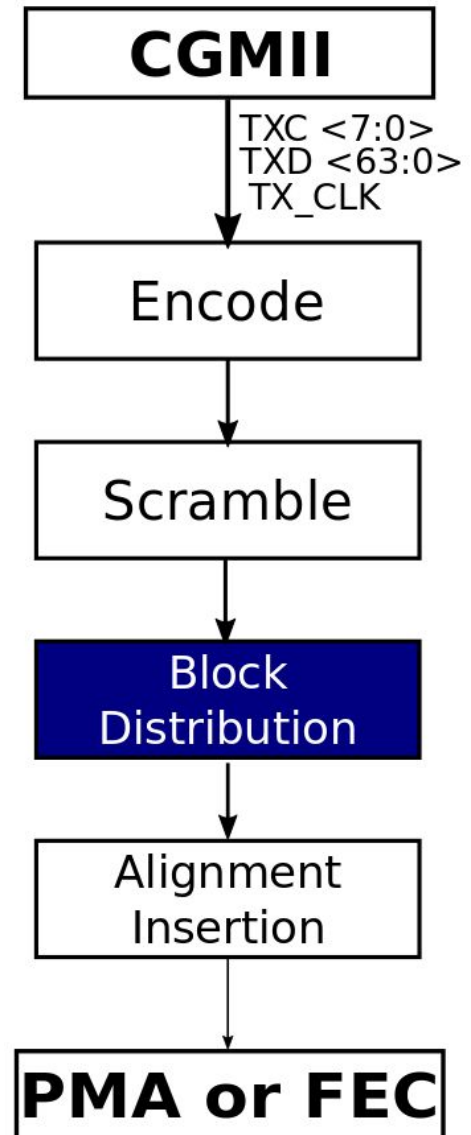
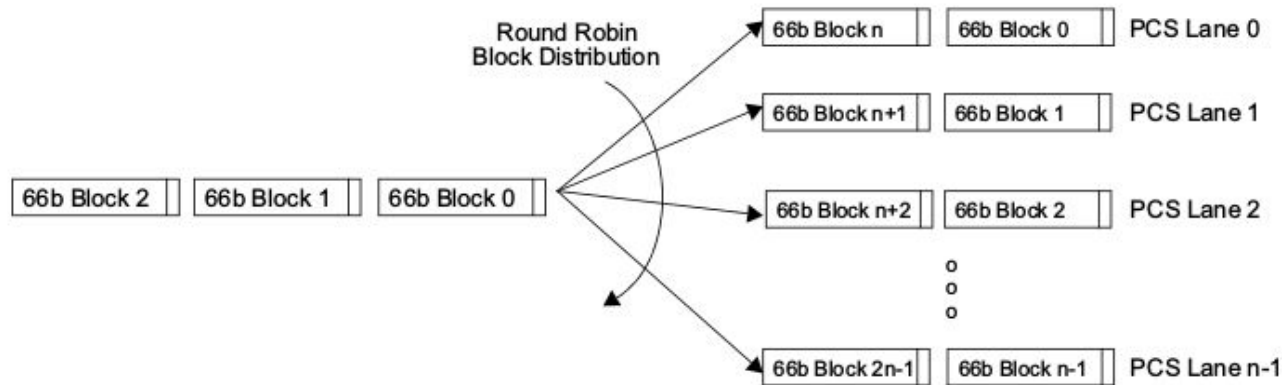
Estructura de subcapa - TX

- Scrambling autosíncrono
- Polinomio $1 + x^{39} + x^{58}$
- Bypass de Sync Header



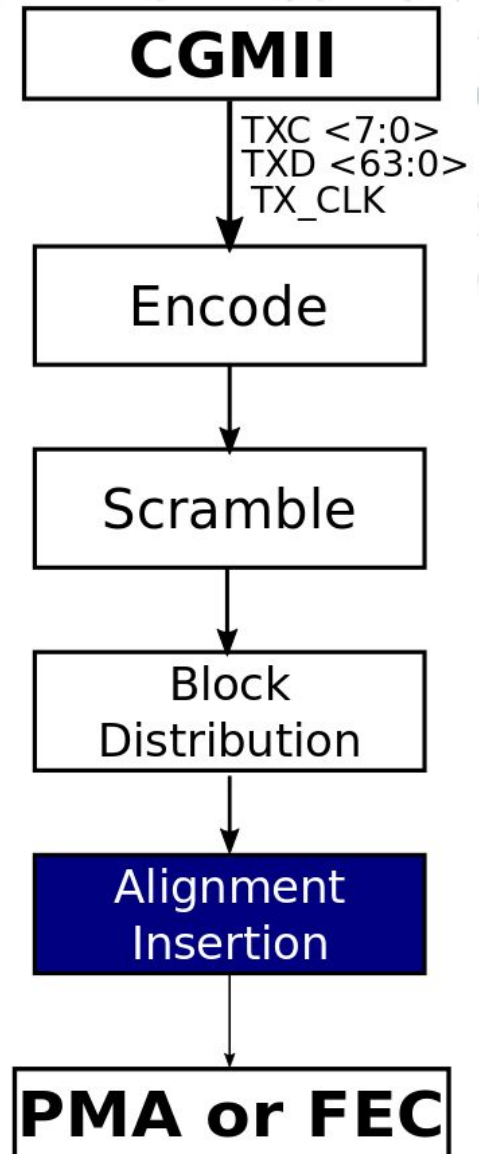
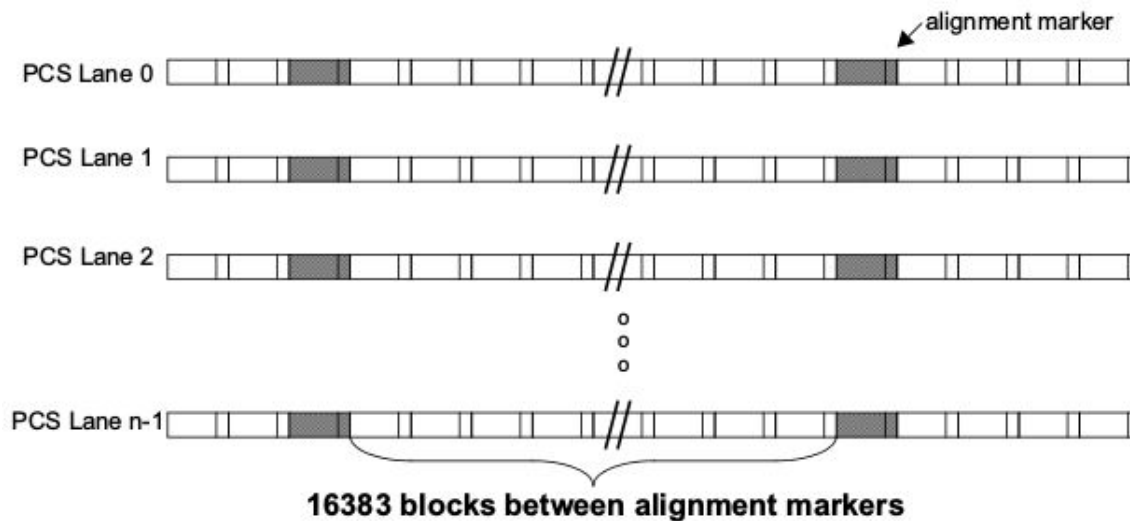
Estructura de subcapa - TX

- Distribución tipo Round Robin en 20 lanes.



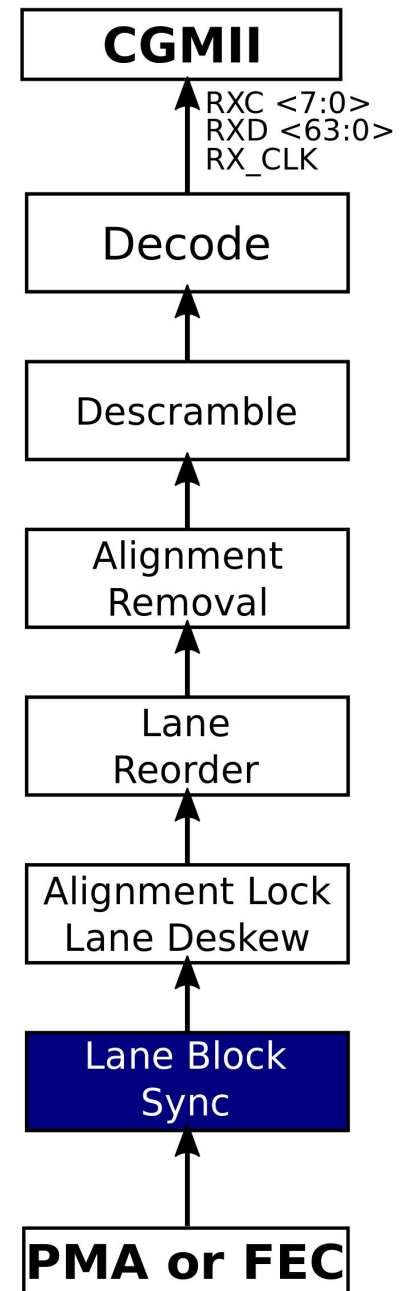
Estructura de subcapa - TX

- Inserción periódica de alineadores en cada lane.



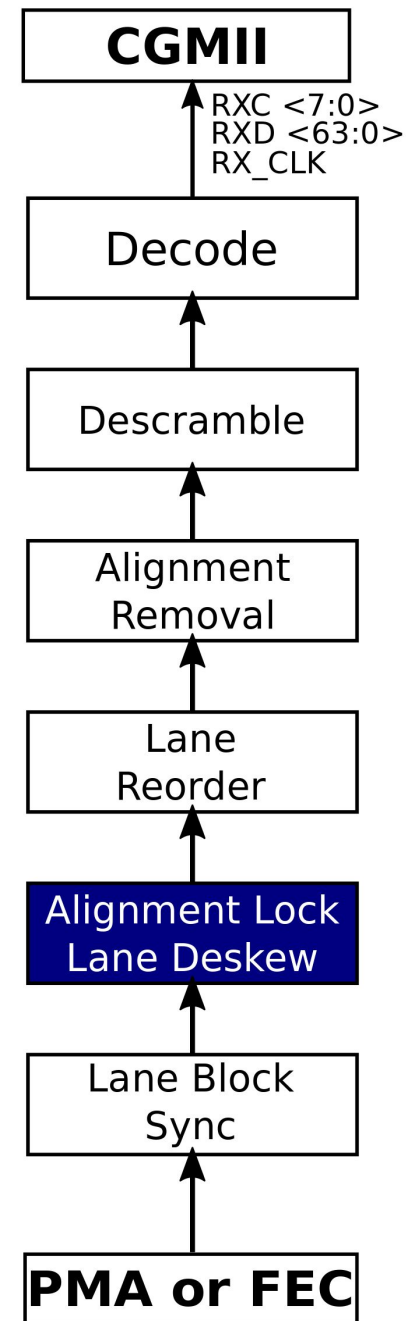
Estructura de subcapa - RX

- Determinación de inicio y fin de bloques en el flujo de bits recibidos desde capas inferiores.



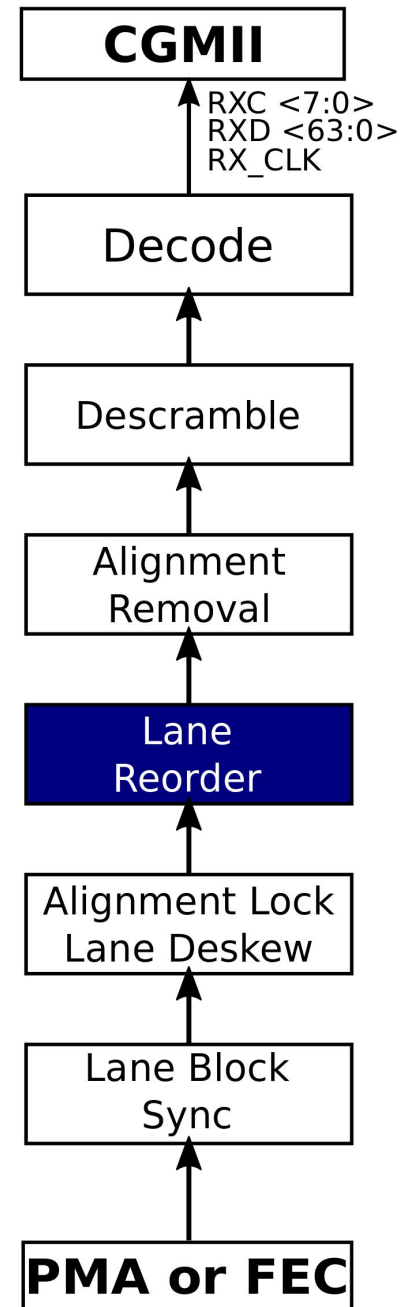
Estructura de subcapa - RX

- Detección de bloques de alineación.
- Cálculo de paridad.
- Corrección de skew.



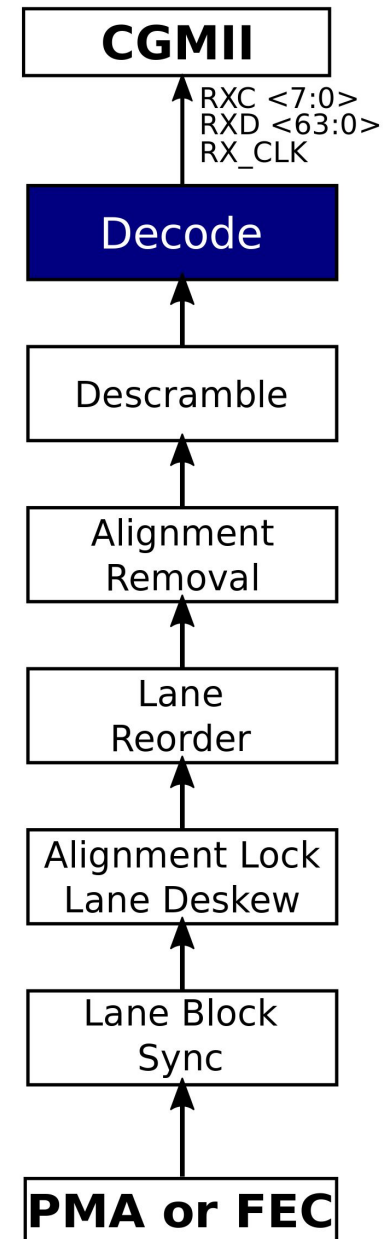
Estructura de subcapa - RX

- Mapeo de bloques recibidos desde una lane física a su correspondiente lane lógica.



Estructura de subcapa - RX

- Verificación de secuencia de bloques.
- Verificación de formato de bloques.
- Codificación de 66 a 64 bits de datos y 8 de control.



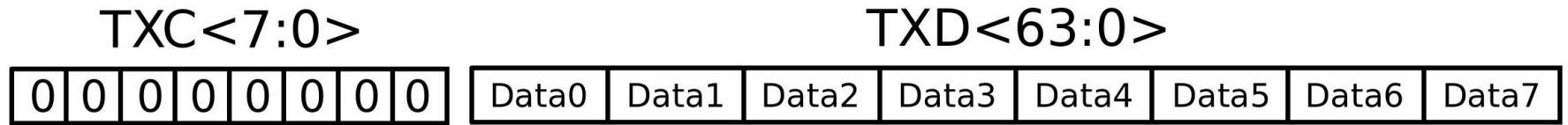
Ejemplo de funcionamiento

- Los bloques de control pueden ser bloques Idles o de información sobre el enlace entre 2 clientes MAC/RS
- En condiciones normales, el flujo de bloques es como el siguiente:



Formato de bloque sin codificar

- Se reciben 8 bits de control y 8 bytes de datos:

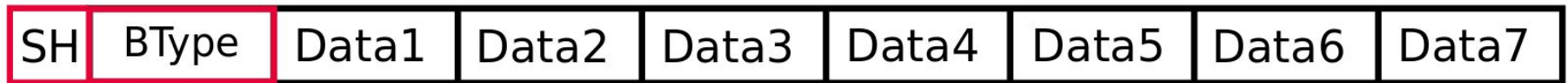


- Ejemplo para un bloque de inicio de trama:

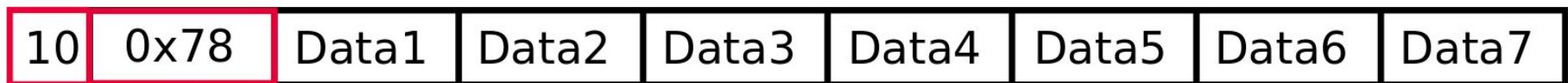


Formato de bloque codificado

- El Sync Header valdrá 01 si es bloque de datos o 10 si es bloque de control.
- En el primer octeto se codifica el tipo de bloque (BType)



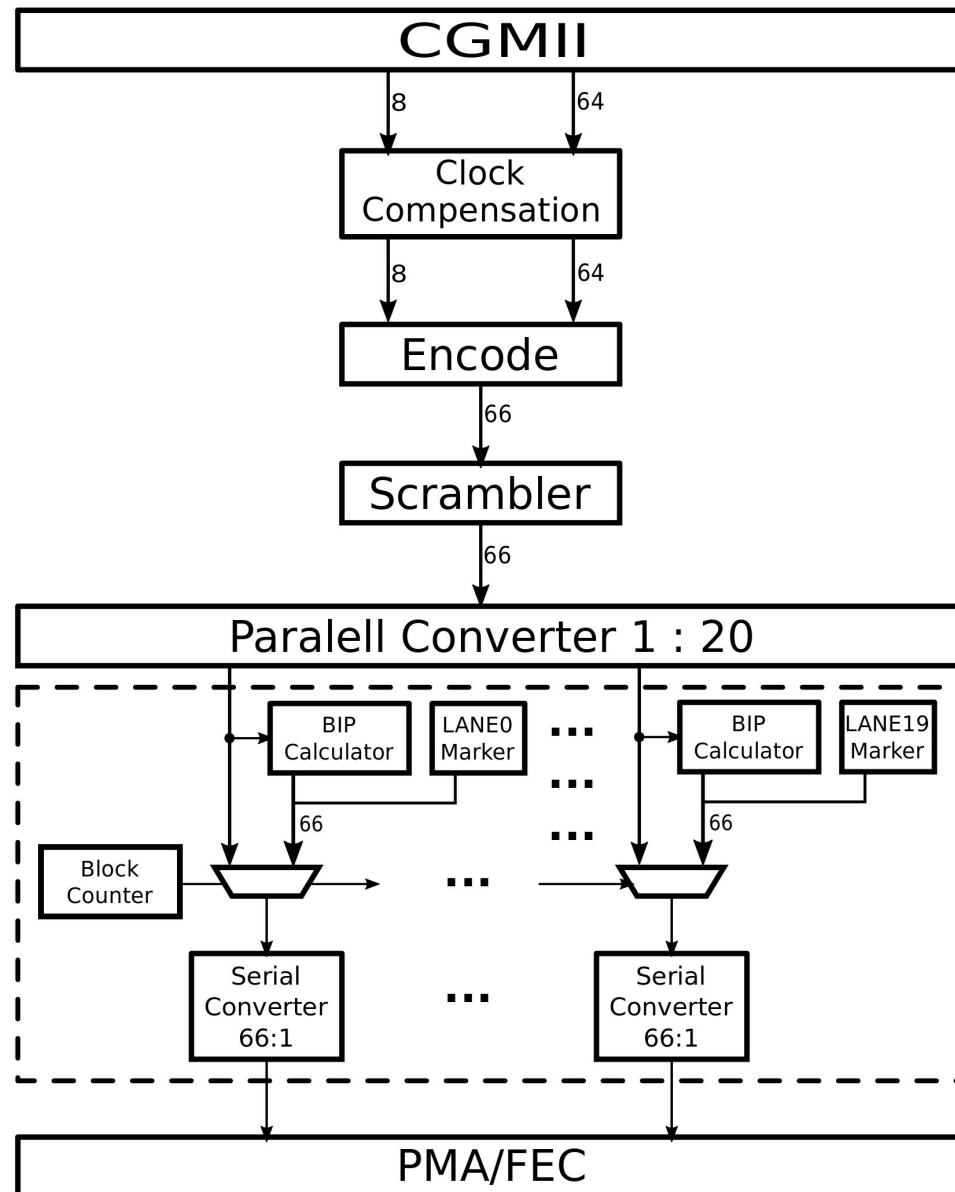
- Ejemplo de codificación para un bloque de inicio de trama:



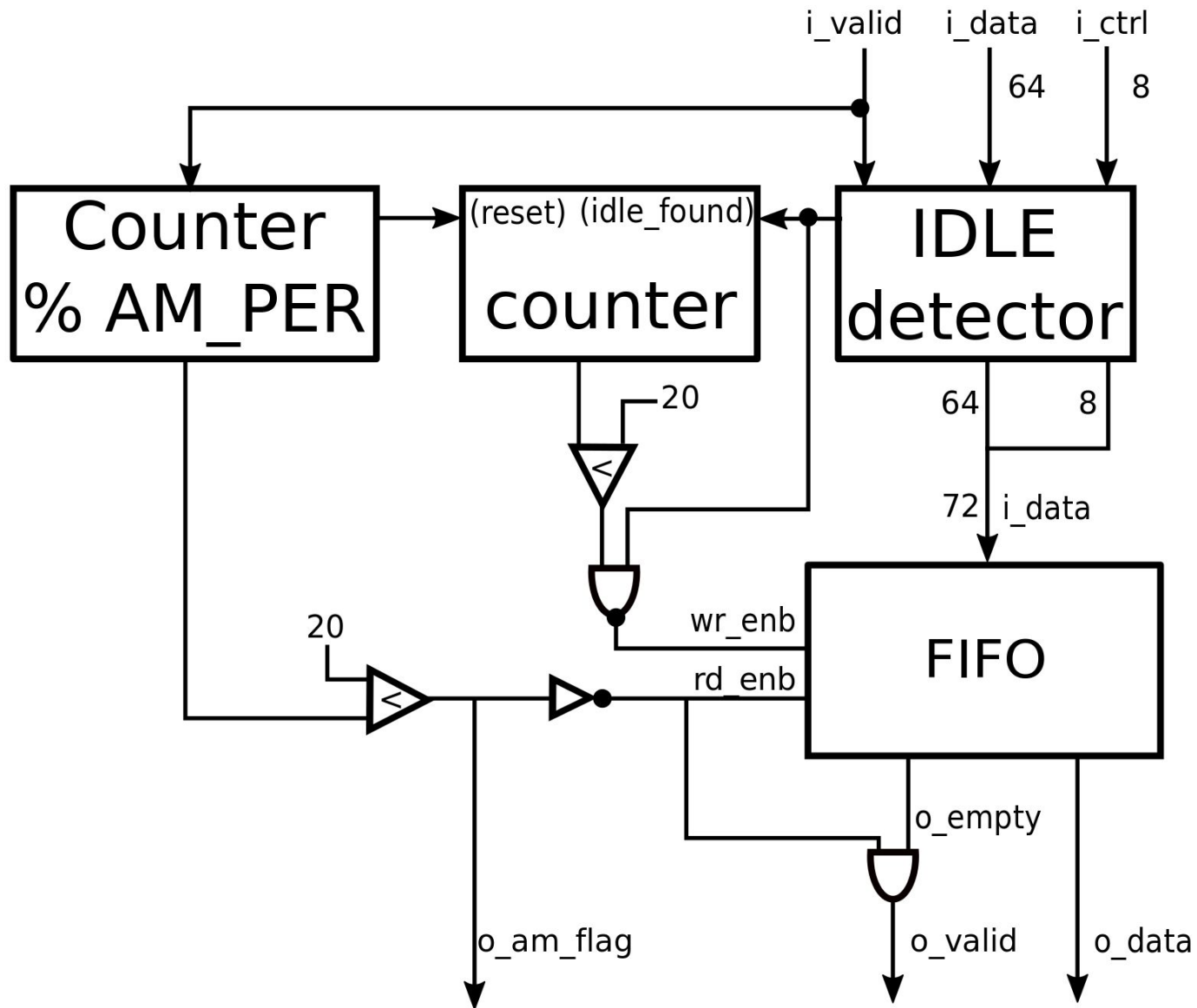
Flujo de trabajo

- Estudio del estándar 802.3ba - Finalizado
- Realización de diagramas de arquitectura - Finalizado
- Simulación de la subcapa en Python - Finalizado
- Codificación RTL en Verilog - En proceso
- Implementación en FPGA - En proceso
- Verificación - Pendiente

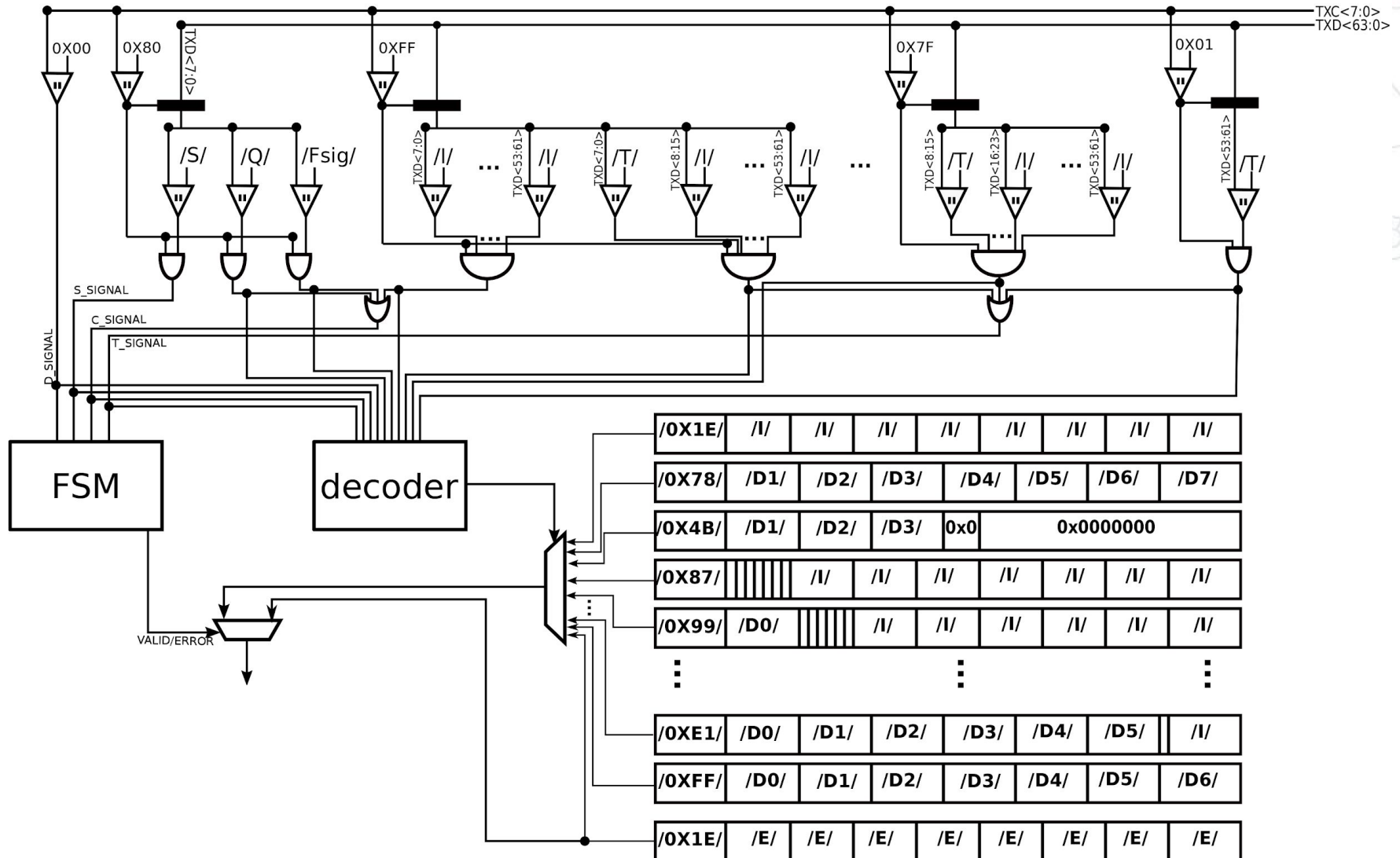
Estructura de la subcapa (TX):



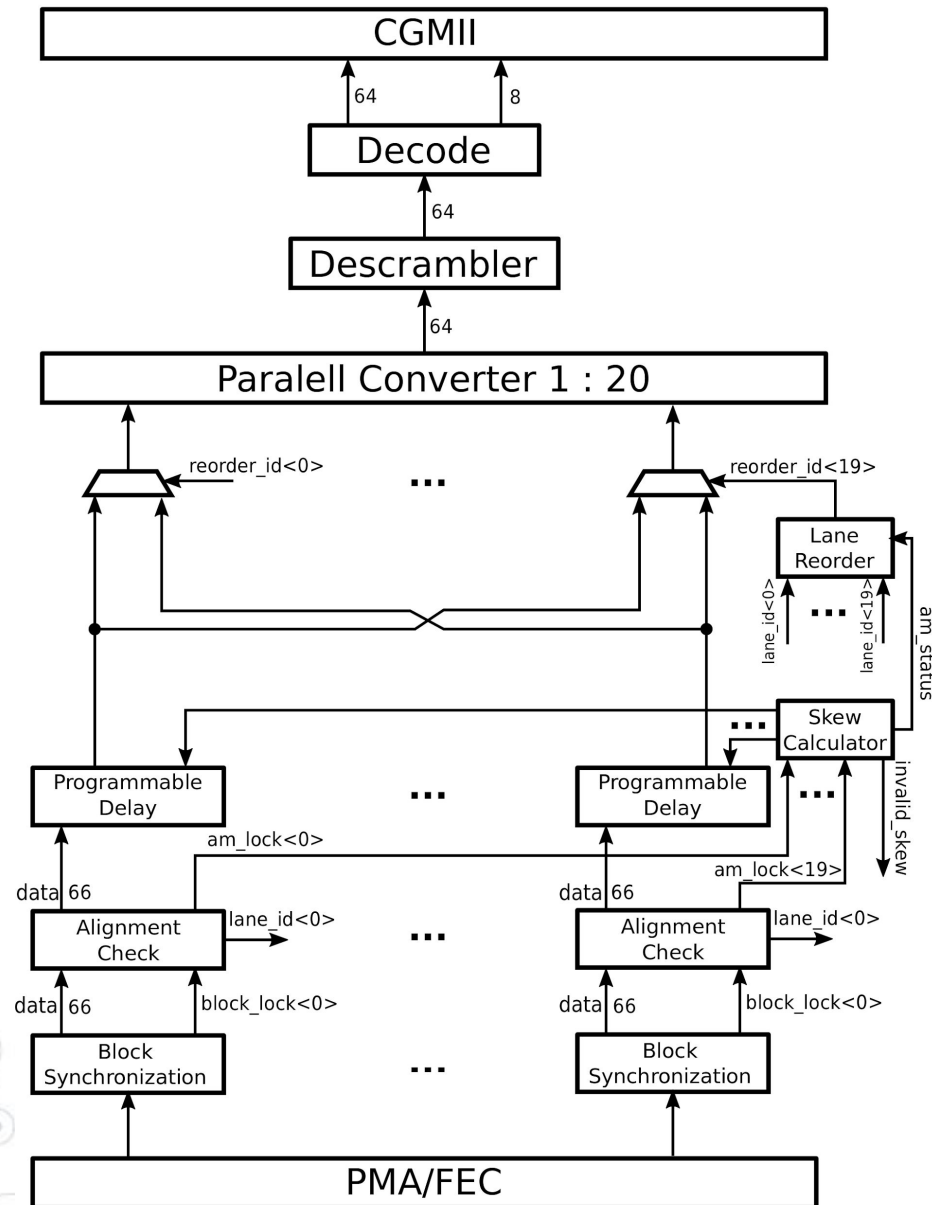
Clock Compensation



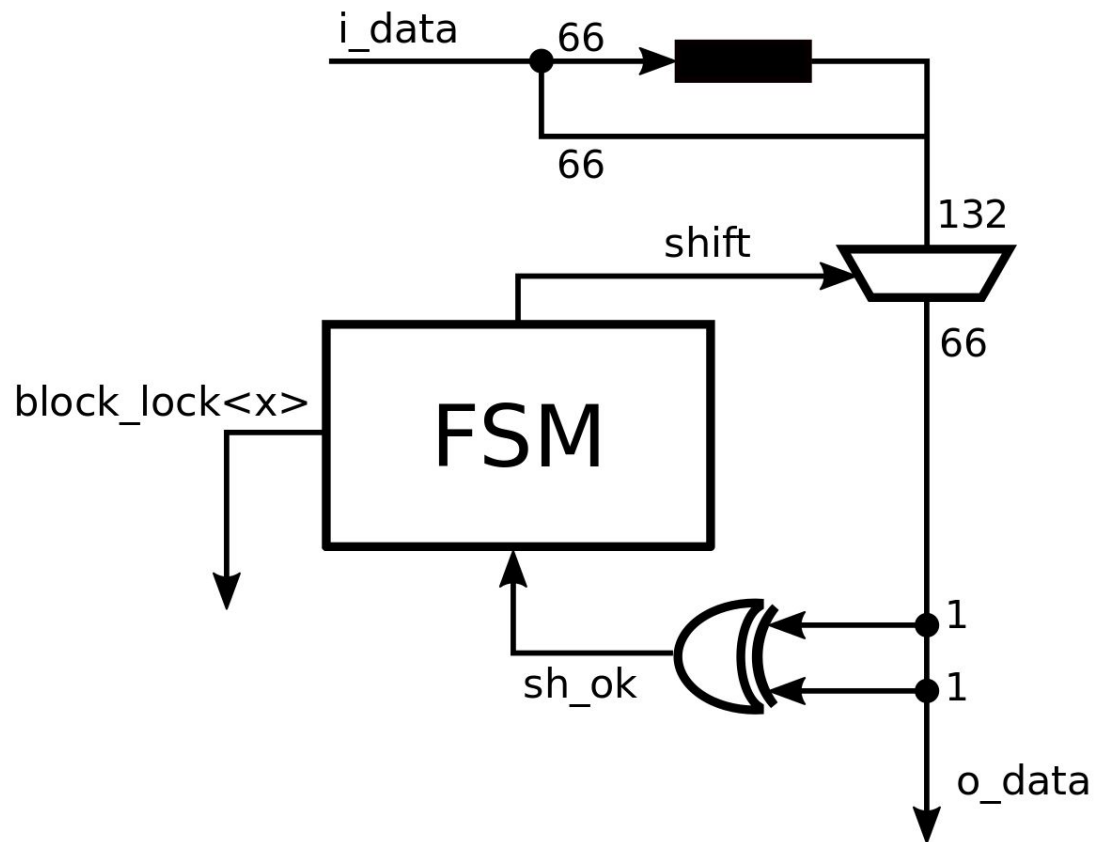
Encode



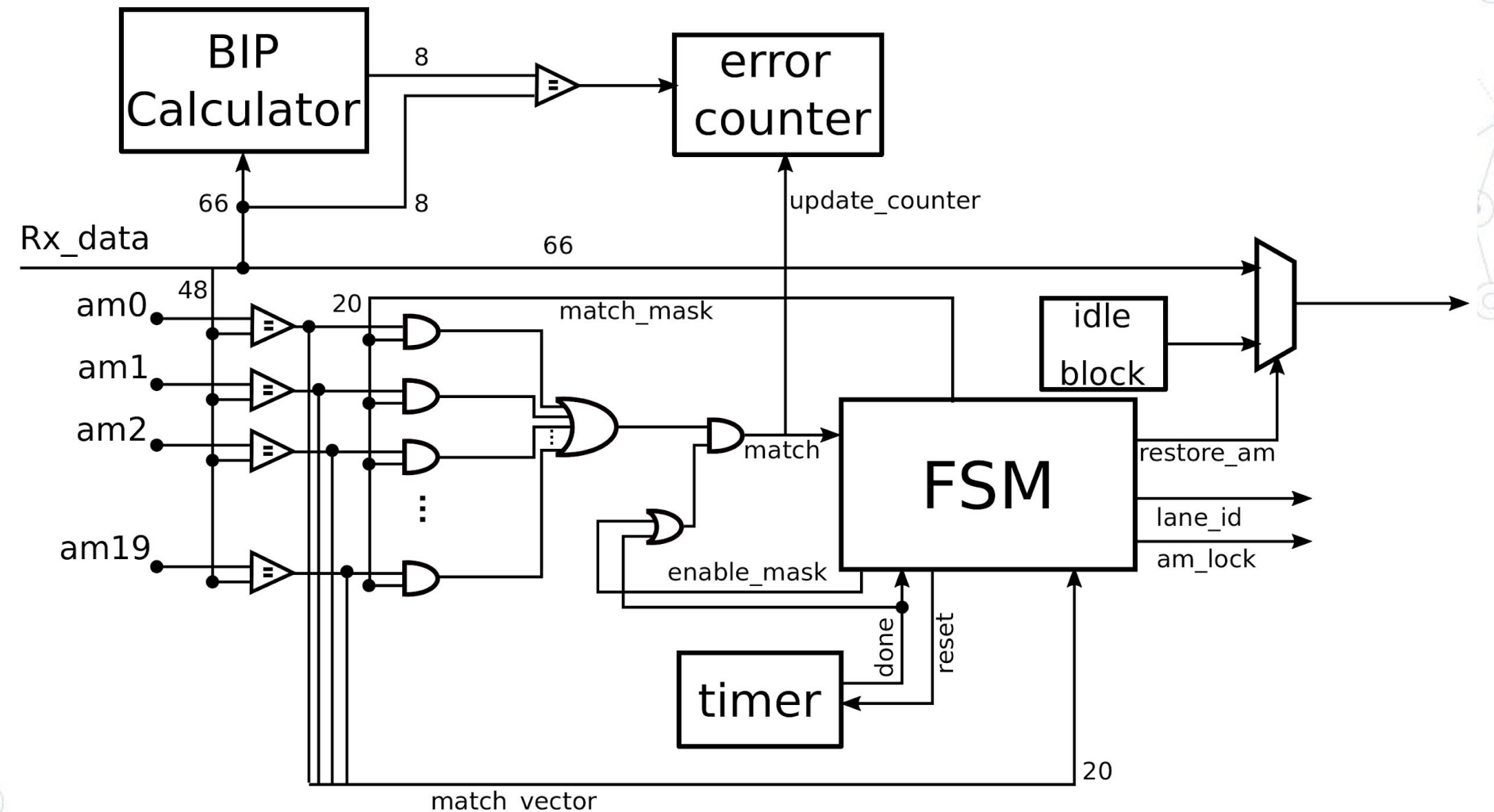
Estructura de la subcapa (RX):



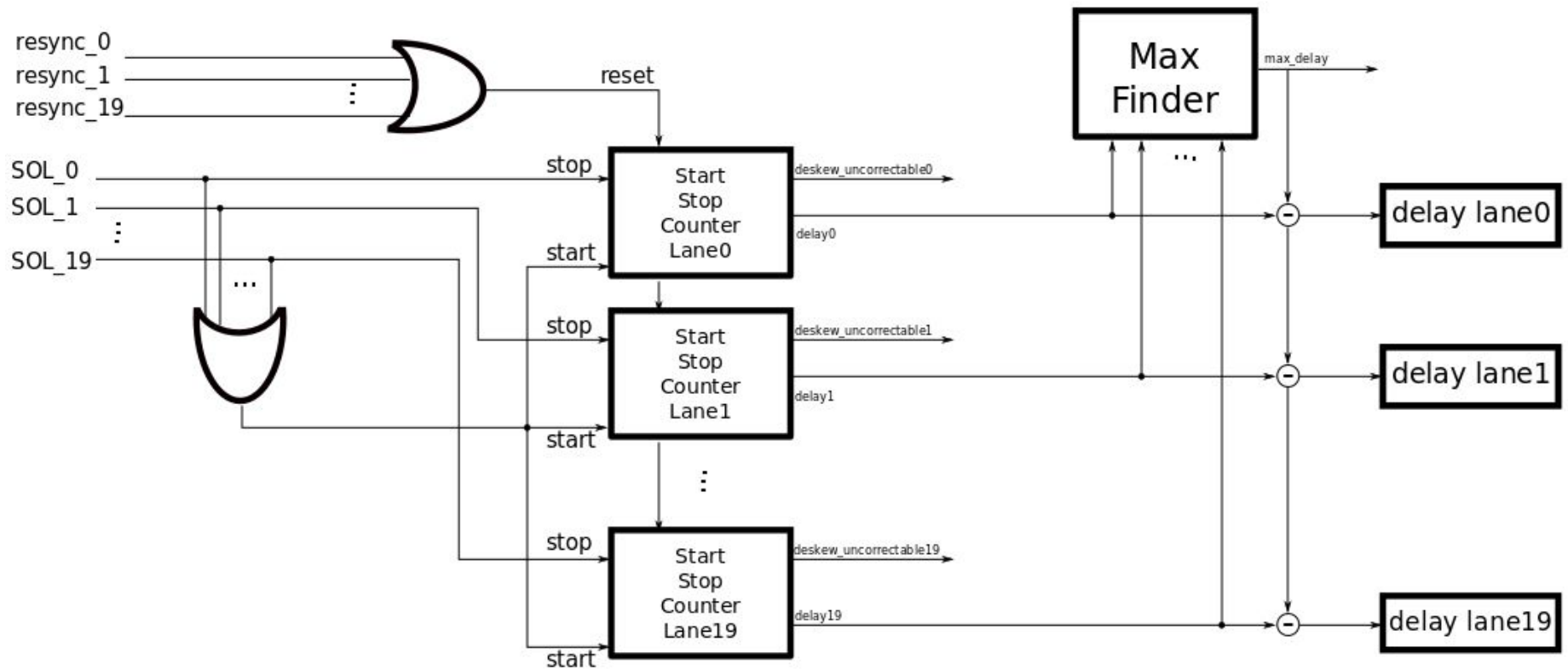
Lane Block Sync



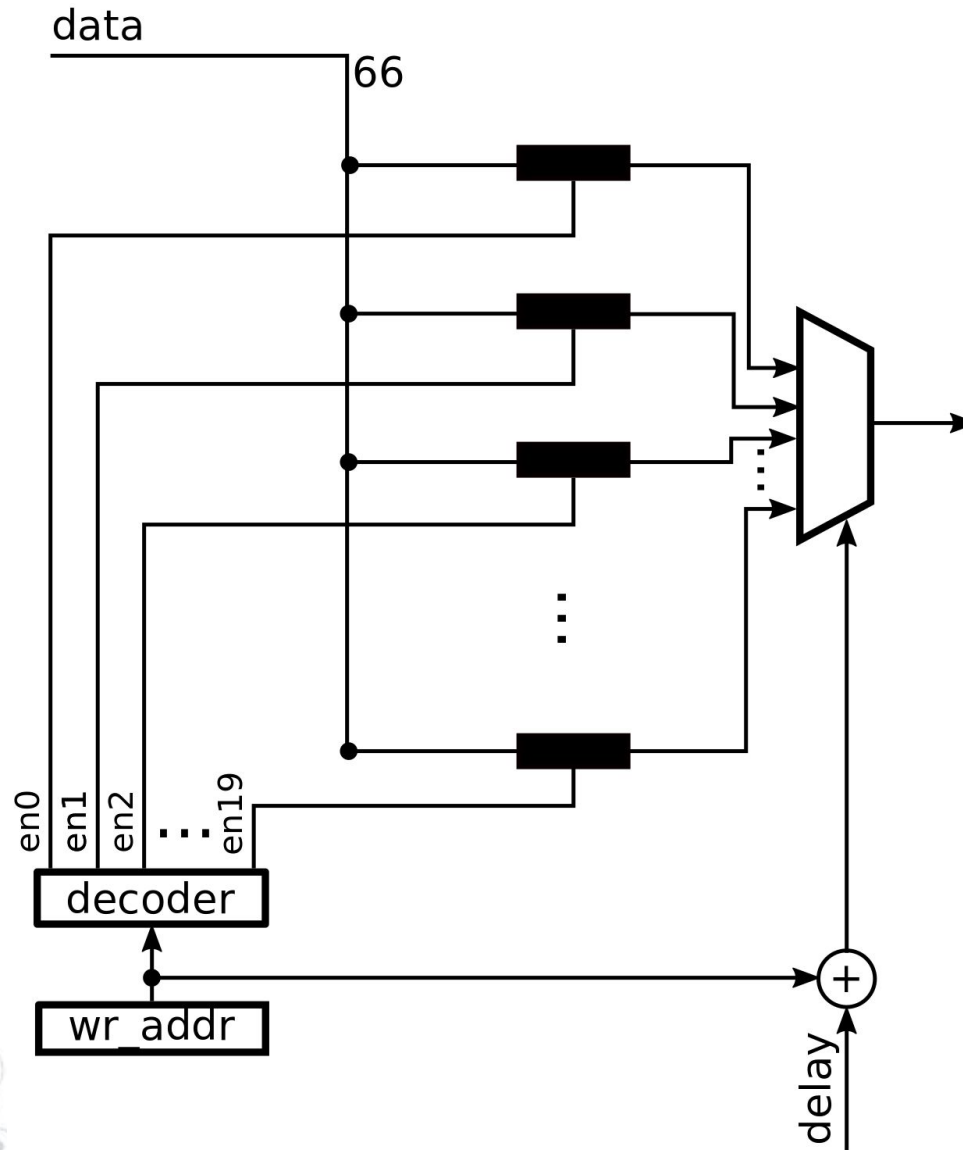
Alignment Lock



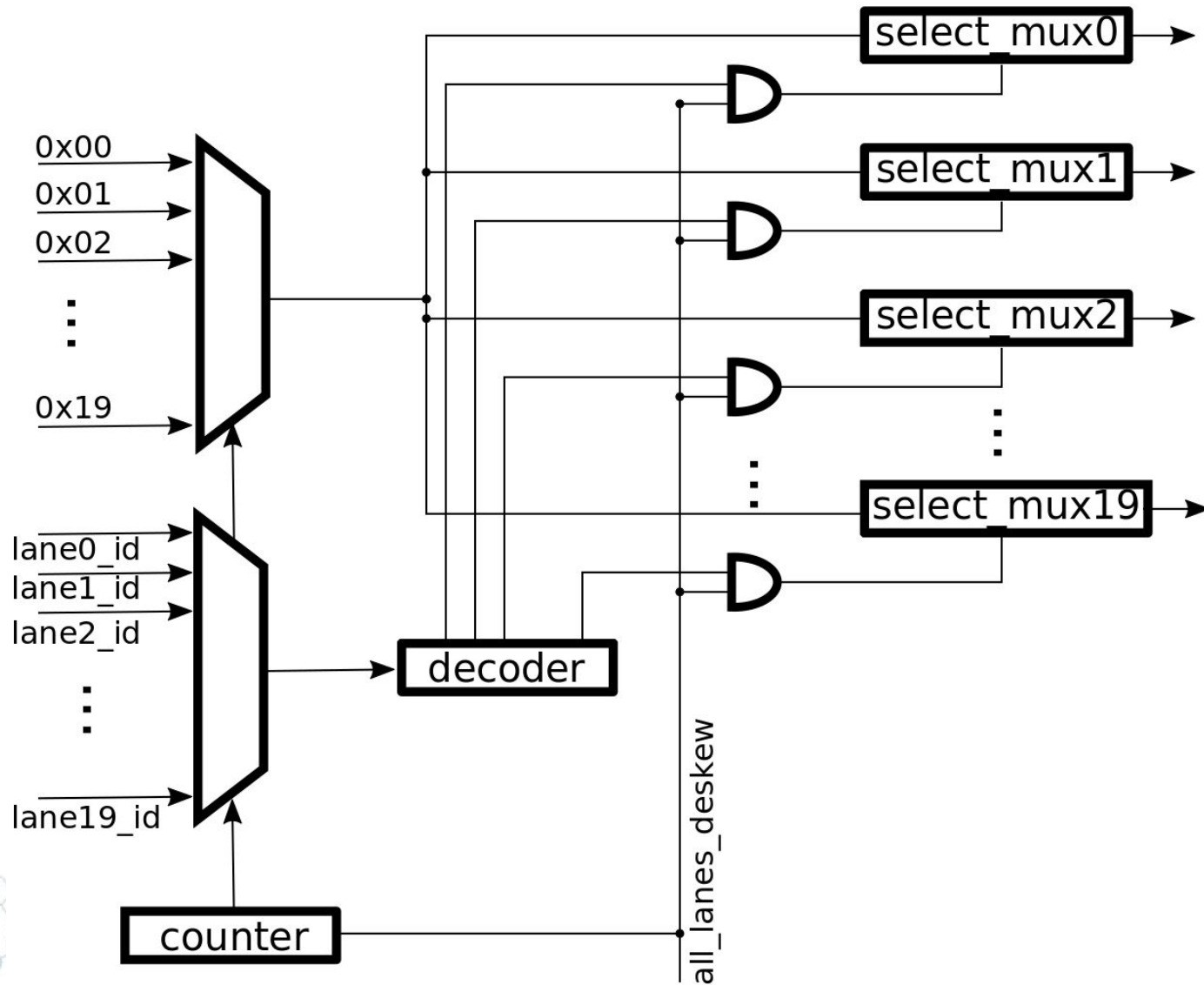
Lane Deskew



Programmable Delay



Lane reorder



A decorative network diagram in the top-left corner, featuring a complex web of interconnected nodes and lines. Some nodes are highlighted with blue circles or dots, while others are grey. The lines are thin and grey, creating a mesh-like structure.

Gracias

¿Preguntas?

A decorative network diagram in the bottom-right corner, similar to the one in the top-left. It shows a network of nodes and lines, with several nodes highlighted by blue circles or dots. The overall style is clean and modern, with a light grey background.