**Федеральное государственное автономное образовательное учреждение высшего профессионального образования «Национальный исследовательский университет «Высшая школа экономики»**

Московский институт электроники и математики имени А.Н. Тихонова Национального исследовательского университета «Высшая школа экономики»

Департамент компьютерной инженерии

**Курс «Высокоуровневое и имитационное моделирование цифровых систем»**

ОТЧЕТ

**о выполнении практической работы №3**

тема работы: «Реализация нейронной сети MobileNet на ПЛИС»

Выполнили:

Бригада №6

Лукина А.С., БИВ174,

Целищев И.С., БИВ174

Принял:

асс. МИЭМ НИУ ВШЭ

Американов А.А.

Москва 2020 г.

1. Задание

Ознакомиться с материалами из руководств **MobileNet start Guide**.

Следуя инструкциям из **MobileNet start Guide** повторить пример подключения **камеры** и **LCD экрана** к ПЛИС **DE0-Nano**.

Произвести обучение нейронной сети.

Запустить проект в **Quartus Prime**, скомпилировать его и загрузить полученный .*sof* файл на ПЛИС.

Убедиться, что камера и монитор работают, нейронная сеть распознает изображения.

1. Выполнение работы
   1. Обучение нейронной сети

Для обучения нейронной сети на компьютер были установлены **Python 3.5**, пакеты **numpy**, **scipy** и **pyyaml** и библиотеки **TensorFlow** и **Keras**.

В соответствии с мануалом **MobileNet start Guide** для инициализации и обучения нейронной сети был запущен скрипт *r01\_train\_neural\_net\_and\_prepare\_initial\_weights.py* (предоставлен преподавателем). После обучения необходимо нормализовать веса и привести их к формату с фиксированной запятой. Для этого последовательно были выполнены скрипты *r02\_rescale\_weights\_to\_use\_fixed\_points\_representation.py* (предоставлен преподавателем) и *r03\_find\_optimal\_bit\_for\_weights.py* (предоставлен преподавателем).

Для предобработки изображений с камеры на ПЛИС с помощью скрипта *r04\_verilog\_generator\_grayscale\_file.py* (предоставлен преподавателем) был создан Verilog файл. В завершении был выполнен скрипт *r05\_verilog\_generator\_neural\_net\_structure.py* (предоставлен преподавателем), генерирующий Verilog файл, описывающий структуру нейронной сети.

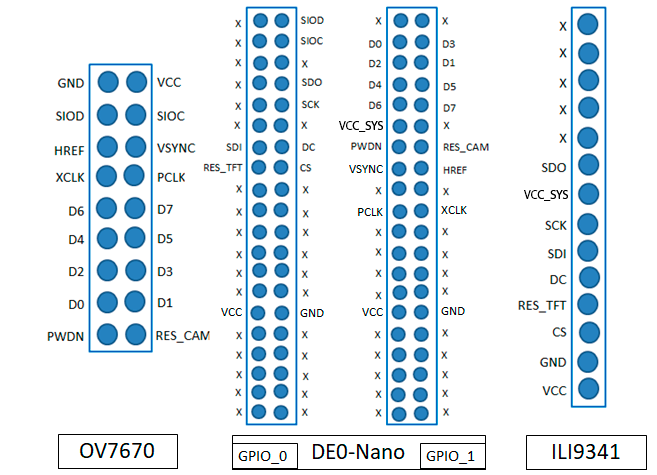
Отчет о компиляции проекта приведен на рис. 1.

Изображение выглядит как текст

Автоматически созданное описание

1. Отчет о компиляции проекта
   1. Подключение камеры и LCD экрана

На рис. 2 приведена схема подключения камеры и экрана к плате **DE0-Nano**. Результат подключения приведен на рис. 3, 4.



1. Схема подключения камеры и экрана к ПЛИС

Изображение выглядит как электроника, стол, цепь

Автоматически созданное описание

1. Подключение камеры и экрана к ПЛИС (часть 1)

Изображение выглядит как стол, внутренний, компьютер, электроника

Автоматически созданное описание

1. Подключение камеры и экрана к ПЛИС (часть 2)
   1. Проверка работы нейронной сети

Для проверки работы нейронной сети к камере были поднесены изображения различных цифр (см. рис. 5, 6, 7, 8). Как видно на рис. 5, 6, 7, 8 нейронная сеть корректно распознает изображение цифр.

Изображение выглядит как внутренний, стол, человек, рабочий стол

Автоматически созданное описание

1. Распознавание цифры 9

Изображение выглядит как внутренний, стол, компьютер, человек

Автоматически созданное описание

1. Распознавание цифры 9 (другой шрифт)

Изображение выглядит как внутренний, стол, рабочий стол, компьютер

Автоматически созданное описание

1. Распознавание цифры 6

Изображение выглядит как стол, внутренний, рабочий стол, сидит

Автоматически созданное описание

1. Распознавание цифры 3
2. Задание для самостоятельной работы
   1. Задание

Выполнить миграцию на плату **DE10-Standard**.

* 1. Миграция проекта на плату

Для миграции на плату **DE10-Standard** в проект была добавлена новая версия проекта. (Для этого во вкладке **Project** была выбрана команда **Revisions**. После чего в открывшимся диалоговом окне была создана новая версия проекта. (см. рис. 9))

Изображение выглядит как текст

Автоматически созданное описание

1. Версии проекта для разных плат

В Листинге 1 приведено содержание файла *cam\_proj\_migration.qsf* для новой версии проекта.

set\_global\_assignment -name FAMILY "Cyclone V"

set\_global\_assignment -name DEVICE 5CSXFC6D6F31C6

set\_global\_assignment -name TOP\_LEVEL\_ENTITY cam\_proj\_top

set\_global\_assignment -name ORIGINAL\_QUARTUS\_VERSION 17.1.0

set\_global\_assignment -name PROJECT\_CREATION\_TIME\_DATE "16:03:09 NOVEMBER 28, 2020"

set\_global\_assignment -name LAST\_QUARTUS\_VERSION "17.1.0 Lite Edition"

set\_global\_assignment -name PROJECT\_OUTPUT\_DIRECTORY output\_files

set\_global\_assignment -name MIN\_CORE\_JUNCTION\_TEMP 0

set\_global\_assignment -name MAX\_CORE\_JUNCTION\_TEMP 85

set\_global\_assignment -name ERROR\_CHECK\_FREQUENCY\_DIVISOR 2

set\_global\_assignment -name POWER\_PRESET\_COOLING\_SOLUTION "23 MM HEAT SINK WITH 200 LFPM AIRFLOW"

set\_global\_assignment -name POWER\_BOARD\_THERMAL\_MODEL "NONE (CONSERVATIVE)"

set\_global\_assignment -name VERILOG\_INPUT\_VERSION SYSTEMVERILOG\_2005

set\_global\_assignment -name VERILOG\_SHOW\_LMF\_MAPPING\_MESSAGES OFF

set\_global\_assignment -name STRATIX\_DEVICE\_IO\_STANDARD "3.3-V LVTTL"

set\_global\_assignment -name USE\_CONFIGURATION\_DEVICE ON

set\_global\_assignment -name RESERVE\_ALL\_UNUSED\_PINS "AS INPUT TRI-STATED"

set\_global\_assignment -name RESERVE\_ALL\_UNUSED\_PINS\_NO\_OUTPUT\_GND "AS INPUT TRI-STATED"

set\_global\_assignment -name ENABLE\_SIGNALTAP OFF

set\_global\_assignment -name USE\_SIGNALTAP\_FILE output\_files/stp1.stp

set\_global\_assignment -name VERILOG\_MACRO "nornal=1"

set\_location\_assignment PIN\_AF14 -to clk50

set\_location\_assignment PIN\_AH12 -to sdram\_clk

set\_location\_assignment PIN\_AE9 -to tft\_cs

set\_location\_assignment PIN\_AF10 -to tft\_dc

set\_location\_assignment PIN\_AE7 -to tft\_reset

set\_location\_assignment PIN\_AF8 -to tft\_sck

set\_location\_assignment PIN\_AF9 -to tft\_sdi

set\_location\_assignment PIN\_AF5 -to tft\_sdo

set\_location\_assignment PIN\_AH13 -to sd\_addr[11]

set\_location\_assignment PIN\_AG12 -to sd\_addr[10]

set\_location\_assignment PIN\_AG13 -to sd\_addr[9]

set\_location\_assignment PIN\_AH15 -to sd\_addr[8]

set\_location\_assignment PIN\_AD14 -to sd\_addr[6]

set\_location\_assignment PIN\_AF15 -to sd\_addr[7]

set\_location\_assignment PIN\_AC14 -to sd\_addr[5]

set\_location\_assignment PIN\_AB15 -to sd\_addr[4]

set\_location\_assignment PIN\_AE14 -to sd\_addr[3]

set\_location\_assignment PIN\_AG15 -to sd\_addr[2]

set\_location\_assignment PIN\_AH14 -to sd\_addr[1]

set\_location\_assignment PIN\_AK14 -to sd\_addr[0]

set\_location\_assignment PIN\_AJ5 -to sd\_data[15]

set\_location\_assignment PIN\_AJ6 -to sd\_data[14]

set\_location\_assignment PIN\_AH7 -to sd\_data[13]

set\_location\_assignment PIN\_AH8 -to sd\_data[12]

set\_location\_assignment PIN\_AH9 -to sd\_data[11]

set\_location\_assignment PIN\_AJ9 -to sd\_data[10]

set\_location\_assignment PIN\_AJ10 -to sd\_data[9]

set\_location\_assignment PIN\_AH10 -to sd\_data[8]

set\_location\_assignment PIN\_AJ11 -to sd\_data[7]

set\_location\_assignment PIN\_AK11 -to sd\_data[6]

set\_location\_assignment PIN\_AG10 -to sd\_data[5]

set\_location\_assignment PIN\_AK9 -to sd\_data[4]

set\_location\_assignment PIN\_AK8 -to sd\_data[3]

set\_location\_assignment PIN\_AK7 -to sd\_data[2]

set\_location\_assignment PIN\_AJ7 -to sd\_data[1]

set\_location\_assignment PIN\_AK6 -to sd\_data[0]

set\_location\_assignment PIN\_AJ12 -to ba[1]

set\_location\_assignment PIN\_AF13 -to ba[0]

set\_location\_assignment PIN\_AK12 -to dqm[1]

set\_location\_assignment PIN\_AB13 -to dqm[0]

set\_location\_assignment PIN\_AE13 -to ras\_n

set\_location\_assignment PIN\_AA13 -to we\_n

set\_location\_assignment PIN\_AF11 -to cas\_n

set\_location\_assignment PIN\_AK13 -to Cke

set\_location\_assignment PIN\_AG11 -to cs\_n

set\_location\_assignment PIN\_AA12 -to data\_cam[7]

set\_location\_assignment PIN\_AB12 -to data\_cam[6]

set\_location\_assignment PIN\_AC12 -to data\_cam[5]

set\_location\_assignment PIN\_AC9 -to data\_cam[4]

set\_location\_assignment PIN\_AD10 -to data\_cam[3]

set\_location\_assignment PIN\_AD11 -to data\_cam[2]

set\_location\_assignment PIN\_AD12 -to data\_cam[1]

set\_location\_assignment PIN\_AD9 -to data\_cam[0]

set\_location\_assignment PIN\_AG2 -to HREF\_cam

set\_location\_assignment PIN\_AG6 -to PCLK\_cam

set\_location\_assignment PIN\_AG1 -to VSYNC\_cam

set\_location\_assignment PIN\_AG7 -to XCLK\_cam

set\_location\_assignment PIN\_AE12 -to on\_off\_cam

set\_location\_assignment PIN\_AH5 -to res\_cam

set\_location\_assignment PIN\_Y16 -to sioc

set\_location\_assignment PIN\_AK2 -to siod

set\_location\_assignment PIN\_AJ4 -to rst

set\_global\_assignment -name EDA\_SIMULATION\_TOOL "ModelSim (Verilog)"

set\_global\_assignment -name EDA\_TIME\_SCALE "1 ps" -section\_id eda\_simulation

set\_global\_assignment -name EDA\_OUTPUT\_DATA\_FORMAT "VERILOG HDL" -section\_id eda\_simulation

set\_location\_assignment PIN\_AF24 -to LED[7]

set\_location\_assignment PIN\_AE24 -to LED[6]

set\_location\_assignment PIN\_AF25 -to LED[5]

set\_location\_assignment PIN\_AG25 -to LED[4]

set\_location\_assignment PIN\_AD24 -to LED[3]

set\_location\_assignment PIN\_AC23 -to LED[2]

set\_location\_assignment PIN\_AB23 -to LED[1]

set\_location\_assignment PIN\_AA24 -to LED[0]

set\_location\_assignment PIN\_AK3 -to b[4]

set\_location\_assignment PIN\_AD7 -to g[5]

set\_location\_assignment PIN\_AE11 -to r[4]

set\_location\_assignment PIN\_AK4 -to start\_gray\_kn

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to HREF\_cam

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to PCLK\_cam

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to VSYNC\_cam

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to XCLK\_cam

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[7]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[6]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[5]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[4]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[3]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[2]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[1]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to data\_cam[0]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to on\_off\_cam

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to res\_cam

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sioc

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to siod

set\_instance\_assignment -name WEAK\_PULL\_UP\_RESISTOR ON -to sioc

set\_instance\_assignment -name WEAK\_PULL\_UP\_RESISTOR ON -to siod

set\_global\_assignment -name PARTITION\_NETLIST\_TYPE SOURCE -section\_id Top

set\_global\_assignment -name PARTITION\_FITTER\_PRESERVATION\_LEVEL PLACEMENT\_AND\_ROUTING -section\_id Top

set\_global\_assignment -name PARTITION\_COLOR 16764057 -section\_id Top

set\_global\_assignment -name VERILOG\_FILE ../code/synt/sdram\_controller.v

set\_global\_assignment -name QIP\_FILE pll.qip

set\_global\_assignment -name SYSTEMVERILOG\_FILE ../code/lcd/tft\_ili9341\_spi.sv

set\_global\_assignment -name SYSTEMVERILOG\_FILE ../code/lcd/tft\_ili9341.sv

set\_global\_assignment -name SYSTEMVERILOG\_FILE ../code/lcd/hellosoc\_top.sv

set\_global\_assignment -name VERILOG\_FILE ../code/synt/cam\_config/SCCB\_interface.v

set\_global\_assignment -name VERILOG\_FILE ../code/synt/cam\_config/OV7670\_config\_rom.v

set\_global\_assignment -name VERILOG\_FILE ../code/synt/cam\_config/OV7670\_config.v

set\_global\_assignment -name VERILOG\_FILE ../code/synt/cam\_config/camera\_read.v

set\_global\_assignment -name VERILOG\_FILE ../code/synt/cam\_config/camera\_configure.v

set\_global\_assignment -name SDC\_FILE cam\_proj.out.sdc

set\_global\_assignment -name VERILOG\_FILE ../code/synt/cam\_wrp.v

set\_global\_assignment -name VERILOG\_FILE ../top/cam\_proj\_top.v

set\_global\_assignment -name SIGNALTAP\_FILE output\_files/stp1.stp

set\_global\_assignment -name QIP\_FILE ../code/synt/fifo\_1024x16.qip

set\_global\_assignment -name CDF\_FILE output\_files/programmer.cdf

set\_global\_assignment -name QIP\_FILE pll\_for\_disp.qip

set\_global\_assignment -name QIP\_FILE fifo\_big.qip

set\_global\_assignment -name VERILOG\_FILE ../code/gray\_28x28/grayscale.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/TOP.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/result.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/RAMtoMEM.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/RAM.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/maxpooling.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/dense.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/database.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/conv\_TOP.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/conv.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/border.v

set\_global\_assignment -name VERILOG\_FILE ../code/neuroset/addressRAM.v

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to Cke

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[7]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[6]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[5]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[4]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[3]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[2]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[1]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to LED[0]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to b[4]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to ba[1]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to ba[0]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to cas\_n

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to clk50

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to cs\_n

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to dqm[1]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to dqm[0]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to g[5]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to r[4]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to ras\_n

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to rst

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[11]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[10]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[9]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[8]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[7]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[6]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[5]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[4]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[3]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[2]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[1]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_addr[0]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[15]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[14]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[13]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[12]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[11]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[10]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[9]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[8]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[7]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[6]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[5]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[4]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[3]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[2]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[1]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sd\_data[0]

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to sdram\_clk

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to start\_gray\_kn

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to tft\_cs

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to tft\_dc

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to tft\_reset

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to tft\_sck

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to tft\_sdi

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to tft\_sdo

set\_instance\_assignment -name IO\_STANDARD "3.3-V LVTTL" -to we\_n

set\_instance\_assignment -name PARTITION\_HIERARCHY root\_partition -to | -section\_id Top

1. cam\_proj\_migration.qsf

На рис. 10 представлен результат компиляции новой версии проекта, на рис. 11 – отчет о сравнении двух версий.

Изображение выглядит как текст

Автоматически созданное описание

1. Отчет о компиляции новой версии проекта

Изображение выглядит как стол

Автоматически созданное описание

1. Сравнение двух версий проекта
2. Выводы

В данной лабораторной работе мы продолжили изучение сети **MobileNet**. Мы узнали, как реализовать нейронную сеть **MobileNet** на ПЛИС. В данной лабораторной работе мы подключили к плате камеру и LCD экран. Мы узнали, как производить обработку изображения, поступающего с камеры, на плате. Также мы научились выводить изображение на LCD экран. Для проверки работы сети к подключенной камере были поднесены изображения различных цифр, после чего на экране был произведен вывод распознанного значения. В завершении лабораторной работы нами была произведена миграция проекта на другую плату.