

IC – Lista de Exercícios de Fixação 3a

Questão 1 – As Figuras 1 e 2 ilustram o funcionamento de um conversor analógico/digital (ADC) de rampa dupla (ADC integrador)¹.

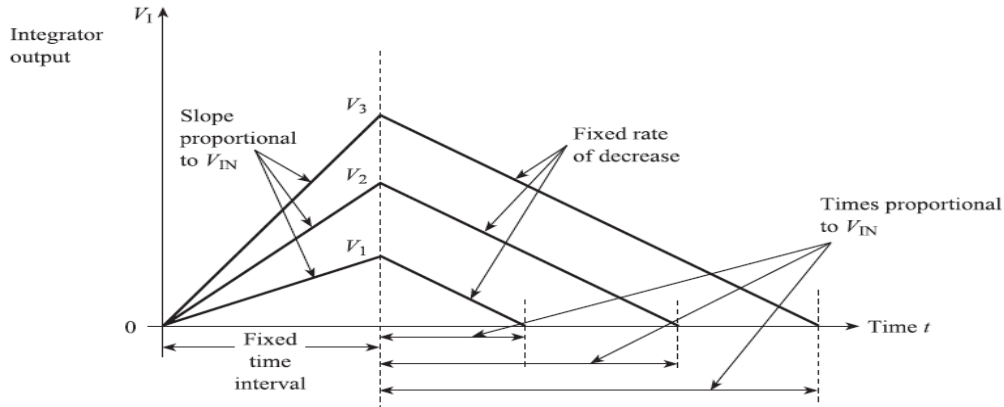


Figura 1

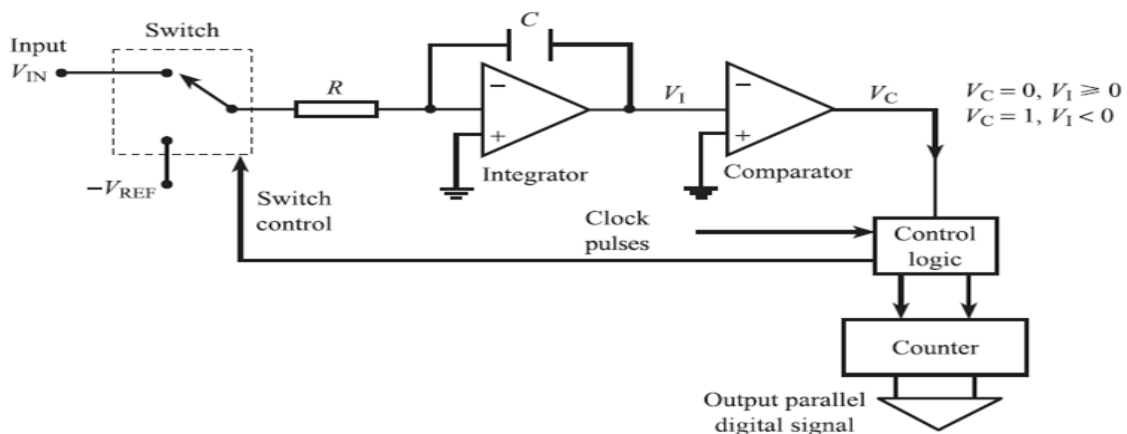


Figura 2

Responda os itens a seguir:

- Expresse a saída digital (dada pelo contador) do ADC em função de V_{IN} . Defina os parâmetros que forem necessários além dos informados nas figuras (por exemplo, a frequência do *clock* do contador, o número de bits do mesmo, etc.).
- O que determina o intervalo de quantização ΔV e o intervalo de amostragem ΔT na técnica de conversão mostrada? O intervalo ΔT é variável? Se sim, o que poderia ser feito para que ele fosse constante? Não dê descrições verbais, apresente as equações para ΔV e ΔT definindo os parâmetros que forem necessários.
- Qual a tensão máxima aplicável na entrada para que a conversão se dê adequadamente? Seja $V_{IN_{MAX}}$ esse valor. Qual a relação entre $V_{IN_{MAX}}$ e V_{REF} e como ela pode influenciar o valor da saída digital do ADC?

¹ O gráfico da Figura 1 não é exato, pois a saída do integrador possui sinal invertido em relação a V_{IN} . O gráfico real seria idêntico, porém espelhado em relação ao eixo das abscissas.

- d) A partir da análise feita nos itens anteriores, responda: o que deve nortear a escolha de R e C para que o conversor funcione adequadamente?
- e) Suponha que $V_{IN_{MAX}} = V_{REF}$. O número de bits do contador e sua frequência de *clock* podem ser definidos independentemente um do outro? E se $V_{IN_{MAX}} \neq V_{REF}$? Defina os parâmetros necessários.
- f) Admita que o ADC integrador seja tal que $V_{IN_{MAX}} = V_{REF} = 5V$, que a frequência de *clock* f_c do contador seja de 100 kHz, que ele possua 8 bits de resolução e que o intervalo de tempo fixo da rampa de subida seja $T = 255T_c$, onde $T_c = 1/f_c$. Qual é a saída digital – na codificação decimal e binária – correspondente a 1,04 V?

Questão 2 – As Figuras 3, 4 e 5 ilustram o funcionamento dos ADCs do tipo rampa, servo e de aproximações sucessivas – todos de malha fechada.

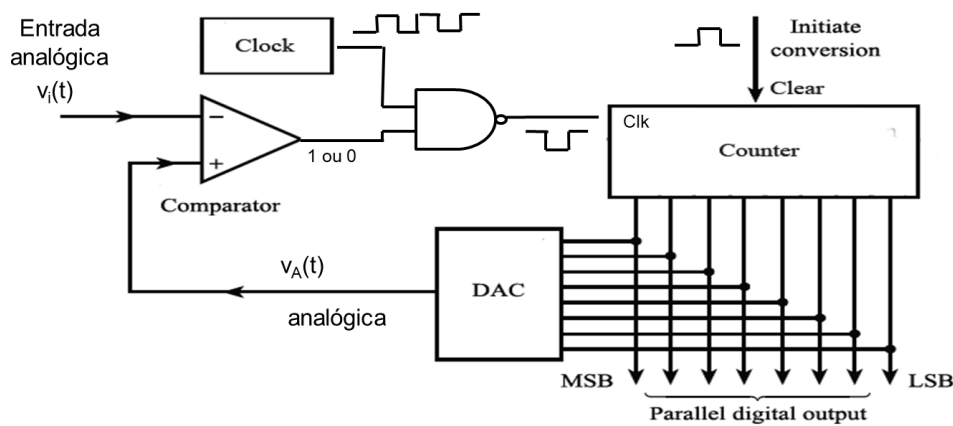


Figura 3

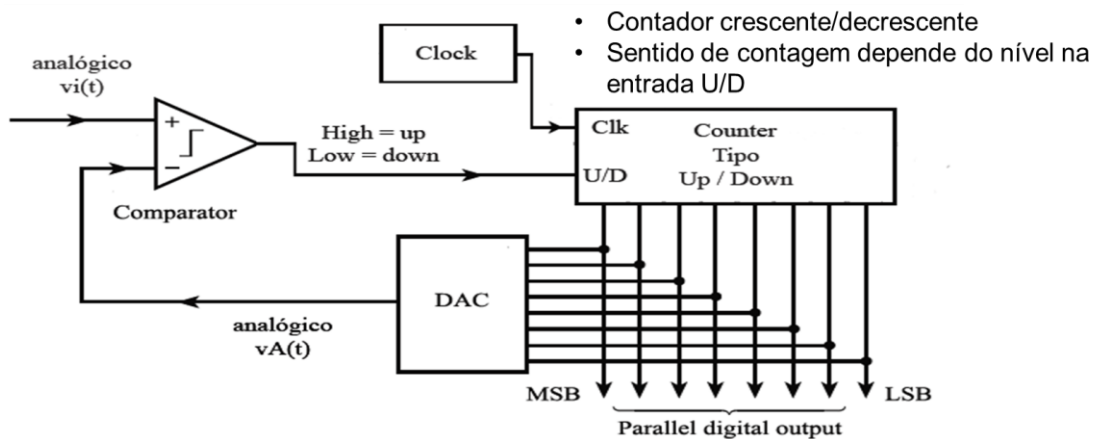


Figura 4

Suponha que o conversor digital/analógico (DAC) emprega o método de rede R-2R com amplificação não inversora e que possua tensão de saída V_{OUT} igual a uma tensão de referência $V_{REF} > 0$ para a palavra digital de tamanho máximo.

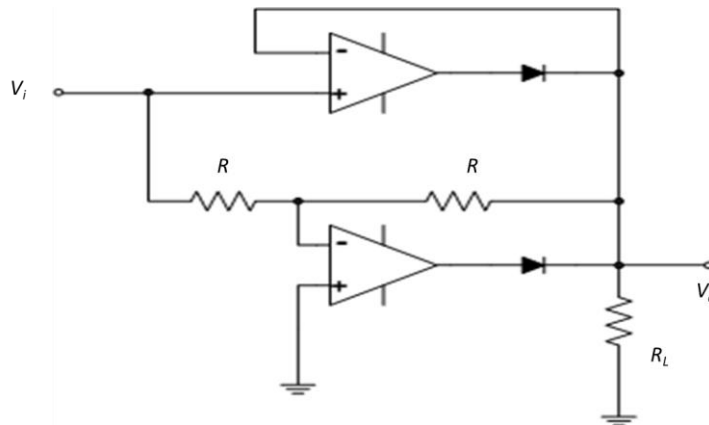


Figura 7

Supondo que você deve restaurar um sinal $e(t)$ com largura de banda de 50Hz e modulado em amplitude por uma portadora de frequência $f_s = 10\text{kHz}$, faça o que se pede abaixo:

- Esboce o esquemático do circuito de um demodulador sensível à fase (PSD – *phase-sensitive demodulator*) baseado no retificador de meia-onda da Figura 6 e que, em cascata com um filtro passa-baixas – a ser projetado no item “c” – seja capaz de restaurar o sinal $e(t)$. Você pode usar amplificadores, comparadores, etc.
- Esboce o circuito de um PSD baseado no retificador de onda completa da Figura 7 e que também seja capaz de restaurar $e(t)$ (desde que em cascata com um filtro passa-baixas como o do item “c”). Você pode usar amplificadores, comparadores, etc.
- Projete um filtro passa-baixas ativo de primeira ordem para ser conectado em cascata com qualquer um dos PSDs dos itens anteriores para efetivamente restaurar $e(t)$. O PSD em cascata com o filtro constitui um “detector de envoltória”. Escolha a frequência de corte do filtro de acordo com as características de $e(t)$ e da portadora AC.

Questão 4 – Responda os itens abaixo:

- Qual é a variação mínima de tensão de entrada que um ADC de 12 bits e tensão de referência igual a 3,3V pode detectar em sua entrada?
- Qual é a variação mínima na tensão de saída de um DAC de 14 bits de resolução e tensão de referência de 10V?
- Você deve usar um ADC para amostrar a tensão da rede de 60 Hz visando à análise da sua distorção harmônica. Para isso, você deve ser capaz de amostrar corretamente até a 30ª harmônica que possa estar presente na tensão da rede. Projete um circuito passa-baixas passivo com uma frequência de corte capaz de evitar o *aliasing* mas que não cause distorções significativas na componente de maior frequência a ser medida. Qual é a taxa de amostragem mínima do ADC?
- Modifique o DAC de rede R-2R visto em aula para que ele possa fornecer tensões negativas a partir da representação digital de complemento a dois de valores inteiros negativos.
- Considerando o ADC de aproximações sucessivas, se o contador e a lógica de incremento e decremento estão aptos a lidar com valores negativos na representação por complemento a dois, e o DAC do item “d” for utilizado, o ADC será capaz de amostrar

valores negativos também. Desse modo, supondo que o referido conversor possua tensão de referência de 5V e o contador tenha 8 bits de resolução, determina a palavra digital – na representação binária e decimal – de saída do ADC que corresponde a uma tensão de entrada $v_i = -1,56V$.

Questão 5 – Admita que você deve digitalizar um sinal modulado em frequência, com valor médio de 10kHz e com relação sinal-ruído de 40dB. Diante desse problema, faça:

- a) Projete um circuito comparador com histerese (use a largura de histerese mínima) que permita a digitalização adequada do sinal em frequência.
- b) Suponha que o ruído tenha densidade espectral de potência constante até uma frequência de corte de 10MHz. Você resolve usar um filtro passa-baixas com frequência de corte de 100kHz antes do comparador. Calcule a nova relação sinal-ruído e altere a largura da histerese, reduzindo-a ao novo valor mínimo.

Questão 6 – Deduza a função de transferência $G(s) = \Omega(s)/V_a(s)$ completa para o motor DC, considerando o modelo de circuito RL para a armadura e a aplicação de um termo de atrito viscoso $B\omega(t)$ ao eixo. Inicialmente, não use aproximações e apresente as constantes de tempo do motor. Despreze, por fim, a indutância da armadura e obtenha a função de transferência resultante, bem como a constante de tempo (deve haver apenas uma).