



UNIVERSIDAD
NACIONAL DE
SAN MARTÍN

ESCUELA DE CIENCIA Y TECNOLOGÍA

TRABAJO PRÁCTICO REGULARIZADOR
ELECTRÓNICA DIGITAL I

1er CUATRIMESTRE 2023

Docentes :

- Miguel Sagregas (msagre@gmail.com)
- Nicolas Alvarez (nalvare@gmail.com)

Estudiante:

Fernández, Rocío Belen

rfernandez@estudiantes.unsam.edu.ar



1. Realizar en binario (utilizando 8 bits), las siguientes operaciones, considerando que los números se representan con signo (complemento a la base). Verificar, mediante el análisis de los indicadores (flags), si las operaciones producen un resultado correcto.

a. $-54_d + 98_d$

Utilizo 8 bits ya que el *Valor Máximo* = $2^{8-1} - 1 = 127$

$54_d = 00110110$ (Aplico complemento a la base)

54_d		0	0	1	1	0	1	1	0
		1	1	0	0	1	0	0	1
									1
-54_d		1	1	0	0	1	0	1	0

$98_d = 01100010$

-54_d		1	1	0	0	1	0	1	0
98_d		0	1	1	0	0	0	1	0
44_d	1	0	0	1	0	1	1	0	0

S	C	V	Z
0	1	0	0

- El flag de **signo S** corresponde al msb (bit 8) que es 0.
- El flag de **carry out C** corresponde al bit 9 que es 1.
- El flag de **zero Z** indica si el resultado fue 0, como no lo fue Z que es 0.
- El flag de **overflow V** indica si excede el máximo posible del rango, pero no ocurrió es 0.

b. $-110_d - 28_d$

Utilizo 8 bits ya que el *Valor Máximo* = $2^{8-1} - 1 = 127$

$110_d = 01101110$ (Aplico complemento a la base)



110_d		0	1	1	0	1	1	1	0
		1	0	0	1	0	0	0	1
									1
-110_d		1	0	0	1	0	0	1	0

$$98_d = 00011100$$

28_d		0	0	0	1	1	1	0	0
		1	1	1	0	0	0	1	1
									1
-28_d		1	1	1	0	0	1	0	0

-110_d		1	0	0	1	0	0	1	0
-28_d		1	1	1	0	0	1	0	0
118_d	1	0	1	1	1	0	1	1	0

s	c	v	z
0	1	1	0

- El flag de **signo S** corresponde al msb (bit 8) que es 0.
- El flag de **carry out C** corresponde al bit 9 que es 1.
- El flag de **zero Z** indica si el resultado fue 0, como no lo fue Z que es 0.
- El flag de **overflow V** indica si excede el máximo posible del rango, pero ocurrió, así que vale 1.

El valor dado es incorrecto.

$$c. 28_H - 63_H = 40_d - 99_d$$

Utilizo 8 bits ya que el *Valor Máximo* $= 2^{8-1} - 1 = 127$

En este caso, represento cada dígito del hexadecimal como 4 bits para el módulo y luego aplico complemento a la base.

$$28_H = 0010 \ 1000$$

$$63_H = 0110\ 0011$$

63_H		0	1	1	0	0	0	1	1
		1	0	0	1	1	1	0	0
									1
-63_H		1	0	0	1	1	1	0	1

28_H		0	0	1	0	1	0	0	0
-63_H		1	0	0	1	1	1	0	1
	0	1	1	0	0	0	1	0	1

S	C	V	Z
1	0	0	0

- El flag de **signo S** corresponde al msb (bit 8) que es 1.
- El flag de **carry out C** corresponde al bit 9 que es 0.
- El flag de **zero Z** indica si el resultado fue 0, como no lo fue Z que es 0.
- El flag de **overflow V** indica si excede el máximo posible del rango, no ocurrió, así que vale 0.

2. Para el siguiente Karnaugh indicar todos los implicantes primos, esenciales o no, y minimizarlo. Escribir la función representada por él en sumatoria de minitérminos. Implementar el circuito y simularlo (incluir una captura de pantalla). Para la simulación se puede utilizar cualquier programa que deseen. Establecer si existe la posibilidad de riesgos. En caso afirmativo indicar cómo lo resolvería.

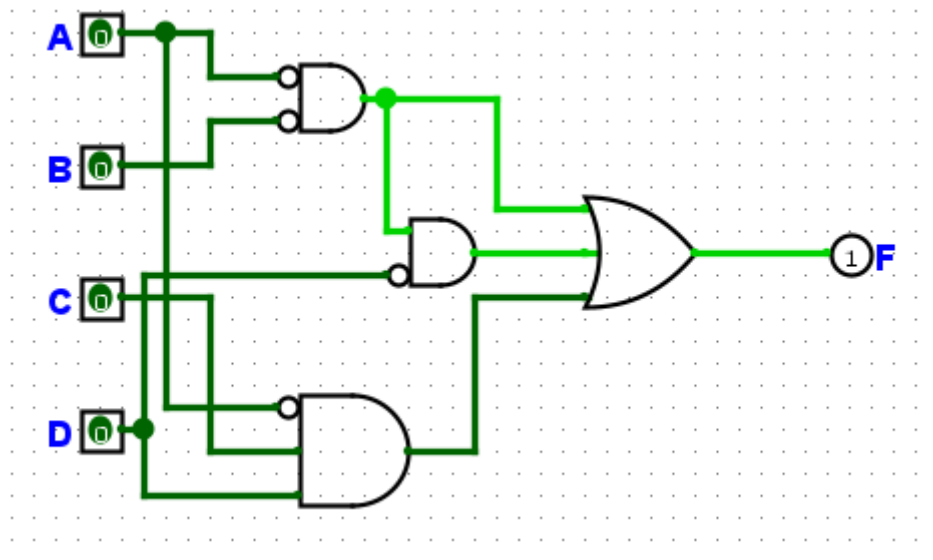
CD\AB	00	01	11	10
00	1			1
01	1			
11	1	1		
10	1			1

Primer paso: encierro los grupos de "1" y obtengo los siguientes implicantes primos:

- Amarillo: implicante primo esencial
- Violeta: implicante primo esencial
- Verde: implicante primo esencial

No tiene riesgos ya que al estar conectados los tres grupos mencionados anteriormente, no hay retardo en el pase de asociado al retardo de pases de compuertas.

$$F = \bar{A}.\bar{B} + \bar{A}.\bar{B}.\bar{D} + \bar{A}.C.D = \bar{A}.\bar{B}.(1 + \bar{D}) + \bar{A}.C.D$$



3. Calcular el margen de ruido estático y el fan out de una familia lógica con las siguientes características.

$V_{OHmin} = 5,1 V$	$V_{IHmin} = 3,3 V$	$I_{OH} = 120 \mu A$	$I_{OL} = 8 \mu A$
$V_{OLmax} = 0,40 V$	$V_{ILmax} = 0,65 V$	$I_{IH} = 20 \mu A$	$I_{IL} = 0,5 \mu A$

El cálculo del margen de ruido estático planteo :

$$V_{NH} = V_{OHmin} - V_{IHmin} = 5,1 V - 3,3 V = 1,8 V$$

$$V_{NL} = V_{ILmax} - V_{OLmax} = 0,65 V - 0,40 V = 0,25 V$$

Para obtener el fan out calculo la corriente de salida dividida por la de entrada:

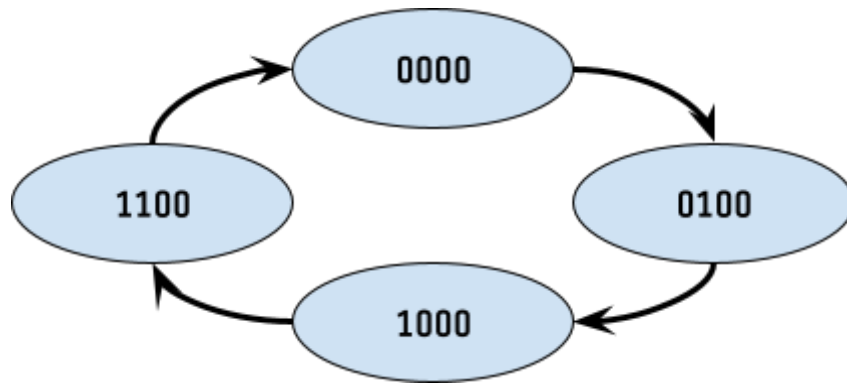
$$F_H = \frac{I_{OH}}{I_{IH}} = \frac{120 \mu A}{20 \mu A} = 6$$

$$F_L = \frac{I_{OL}}{I_{IL}} = \frac{8 \mu A}{0,5 \mu A} = 16$$

Por último tomamos los valores de menor magnitud de manera que el margen de ruido estático es 0,25V y el fan out es 6.

4. Diseñar un contador sincrónico cuya cuenta sea 0, 4, 8, 12. Implementarlo con flip-flops D. Simularlo (se puede utilizar Modelsim, Vivado, GHDL+GTKWave, EDA Playground o cualquier otro simulador).

Para el contador sincrónico, primero realizo el diagrama y la tabla de estados.



Q_a	Q_b	Q_c	Q_d	D_a	D_b	D_c	D_d
0	0	0	0	0	0	1	0
0	0	0	1	x	x	x	x
0	0	1	0	x	x	x	x
0	0	1	1	x	x	x	x
0	1	0	0	1	0	0	0
0	1	0	1	x	x	x	x
0	1	1	0	x	x	x	x
0	1	1	1	x	x	x	x
1	0	0	0	1	1	0	0
1	0	0	1	x	x	x	x
1	0	1	0	x	x	x	x
1	0	1	1	x	x	x	x
1	1	0	0	0	0	0	0
1	1	0	1	x	x	x	x
1	1	1	0	x	x	x	x
1	1	1	1	x	x	x	x



Las salidas del de contador: Q_a , Q_b , Q_c y Q_d . Cada salida corresponde a un Flip Flop D (D_a , D_b , D_c y D_d).

De la tabla, podemos sacar los mapas de Karnaugh para cada Flip Flop

(D_a) CD\AB	00	01	11	10		(D_b) CD\AB	00	01	11	10
00	0	1	0	1		00	1	0	0	1
01	x	x	x	x		01	x	x	x	x
11	x	x	x	x		11	x	x	x	x
10	x	x	x	x		10	x	x	x	x
(D_c) CD\AB	00	01	11	10		(D_d) CD\AB	00	01	11	10
00	0	0	0	0		00	0	0	0	0
01	x	x	x	x		01	x	x	x	x
11	x	x	x	x		11	x	x	x	x
10	x	x	x	x		10	x	x	x	x

De los mapas de Karnaugh, saco las siguientes funciones:

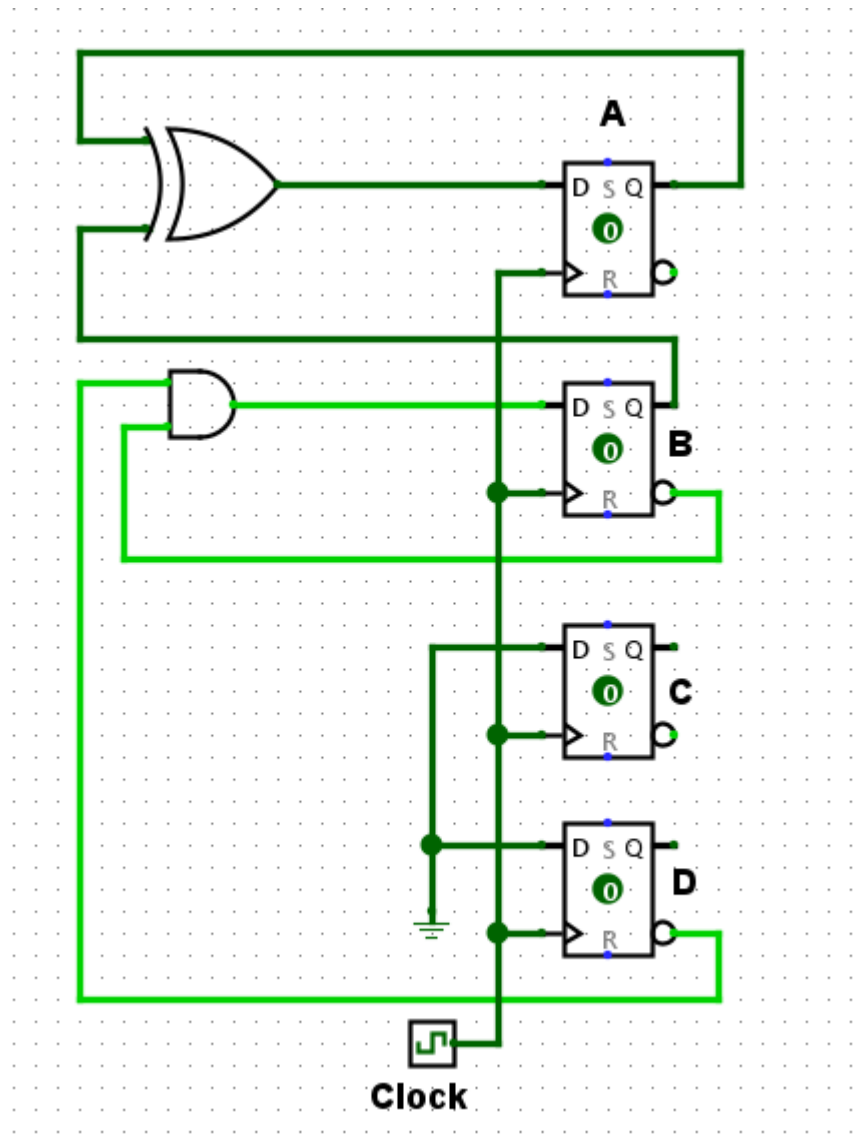
$$D_a = \bar{A} \cdot B + \bar{B} \cdot A = A \oplus B$$

$$D_b = \bar{D} \cdot \bar{B}$$

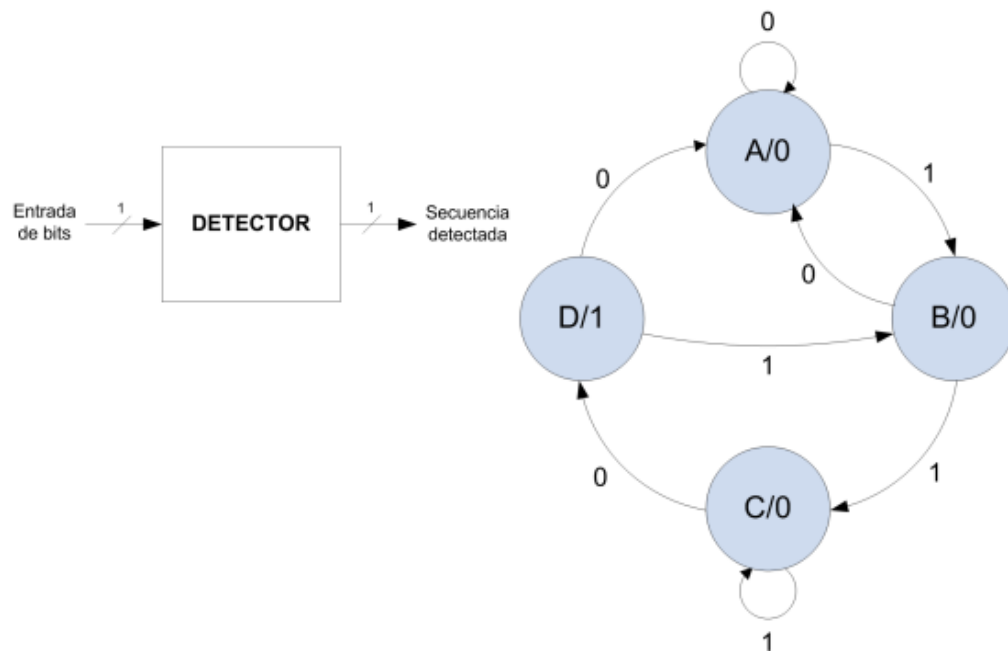
$$D_c = 0$$

$$D_d = 0$$

Podemos representar esas funciones en el siguiente circuito:



5. Indicar qué secuencia binaria detecta el circuito representado por el siguiente diagrama de estados (el estado inicial es A). Implementarlo utilizando máquinas de estado (armar el circuito con una máquina de Moore). Especificar la tabla correspondiente. Utilizar flip-flops D. Implementar en VHDL el circuito obtenido y simularlo (se puede utilizar Modelsim, Vivado, GHDL+GTKWave, EDA Playground o cualquier otro simulador).



Empiezo planteando la tabla correspondiente. Teniendo en cuenta que A= 00, B= 01, C= 10, D= 11.

	X	Q_a	Q_b	D_a	D_b
A	0	0	0	0	0
B	0	0	1	0	0
C	0	1	0	1	1
D	0	1	1	0	0
A	1	0	0	0	1
B	1	0	1	1	0
C	1	1	0	1	0
D	1	1	1	0	1



A partir de la tabla armo los mapas de Karnaugh

(D_a) X\AB	00	01	11	10		(D_b) X\AB	00	01	11	10
0	0	0	0	1		0	0	0	0	1
1	0	1	0	1		1	1	0	1	0

$$D_a = A \cdot \bar{B} + X \cdot B \cdot \bar{A}$$

$$D_b = X \cdot \bar{A} \cdot \bar{B} + X \cdot A \cdot B + \bar{X} \cdot \bar{B} \cdot A = X \cdot (\bar{A} \cdot \bar{B} + A \cdot B) + \bar{X} \cdot \bar{B} \cdot A$$

$$D_b = X \cdot \overline{A \oplus B} + \bar{X} \cdot \bar{B} \cdot A$$

