

Tarea 3: Descripción estructural en Verilog de un circuito digital basado en Muxes

Roberto Sánchez Cárdenas - B77059

San José, 3 de septiembre de 2020

Digitales II

Índice

1. Introducción	1
2. Descripción de compuertas	2
3. Plan de pruebas para los componentes	2
4. Descripción estructural	3
5. Checker y contador	4
6. Análisis de resultados y conclusiones	5
7. Tiempo empleado	5

1. Introducción

Una vez se que trabajó en la descripción conductual de un circuito, la cuál conlleva un proceso relativamente sencillo puesto que basta con describir por medio de operaciones if y else, el siguiente paso es tomar el circuito y crear los componentes de electrónica digital que sean necesarios para armarlo.

El circuito mostrado en la Figura 1 solo requiere de dos mux y un flip flop, sin embargo al buscar el circuito de un mux se observa que este está formado por varias compuertas AND, OR Y NOT como se muestra en la figura 4. Por lo tanto en esta tarea se hará la descripción de las compuertas mencionadas y luego se construirá el Mux, para implementar el circuito digital.

Para construir el circuito mostrado en la figura 1, se deben conectar en serie dos muxes como el mostrado en la figura 4, cada uno con las respectivas esntradas.

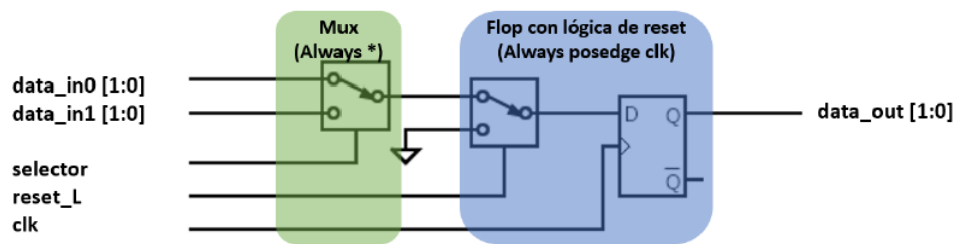


Figura 1: Circuito digital a implementar

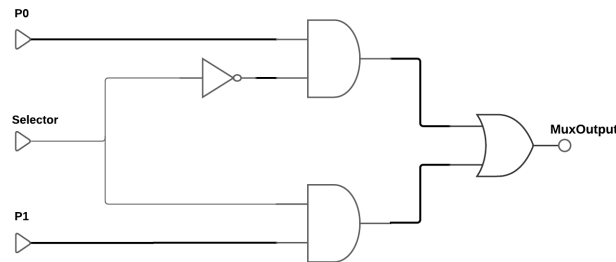


Figura 2: Mux 2:1 basado en compuertas

2. Descripción de compuertas

Cada una de las compuertas descritas fueron previamente buscadas en la página de Texas Instruments. Se construyeron los siguientes modelos.

Compuerta	Nombre	Tiempos rise/fall [ns]	Potencia [μ A]
AND	SN74LVC1G08	(1:5.5:10)	10
OR	SN74AHC1G32	(1:4:7)	10
NOT	SN74AHC1GU04	(1:3.75:6.5)	10
FLIPFLOP	SN74LVC1G80	5.5	10

Tabla 1: Componentes con sus características a un voltaje de alimentacion de 5V

3. Plan de pruebas para los componentes

Se creó una serie de pulsos los cuales alimentan a las entradas de las compuertas. Las compuertas AND, OR, el flipflop y mux, están alimentados por in_A e in_B, mientras la not solo toma la entrada in_A. El Mux tiene una entrada selectora asociada y el flop una entrada reloj. Las señales obtenidas con un retardo mínimo son las siguientes:

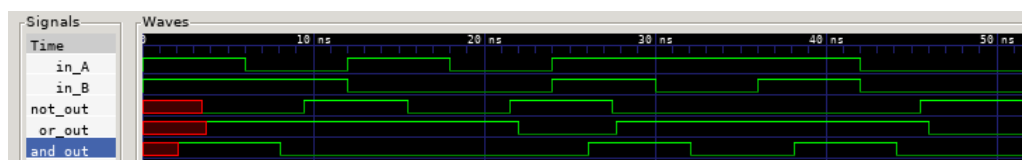


Figura 3: Salida de compuertas AND, OR y NOT

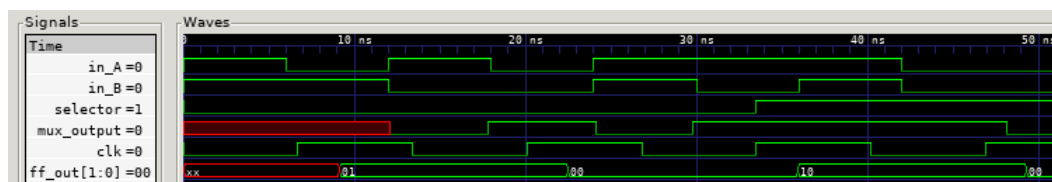


Figura 4: Salida del mux y flip flop

Si se observa cuidadosamente, todas las compuertas por sí solas responden como se espera. También se puede ver que el flip flop solo cambia en los flancos positivos del reloj. En importante notar que el mux tiene un retardo de 3ns, esto debido al que el camino más largo esta compuesto por una not, una and y una or, donde cada una tiene un restardo de 1ns.

Para la contrucción del mux de 2 bits se conectaron dos mux de un 1 bit en paralelo, de modo que cada mux maneja un bit.

4. Descripción estructural

En esta sección se procedió a tomar todo lo que se construyo en las secciones anteriores y armar el circuito mostrado en la Figura 1. Para ello se usaron 2 mux de 2 bits y un a la salida flip flop. Al usar un reloj con un toggle cada 10ns, el circuito tuvo el siguiente comportamiento.

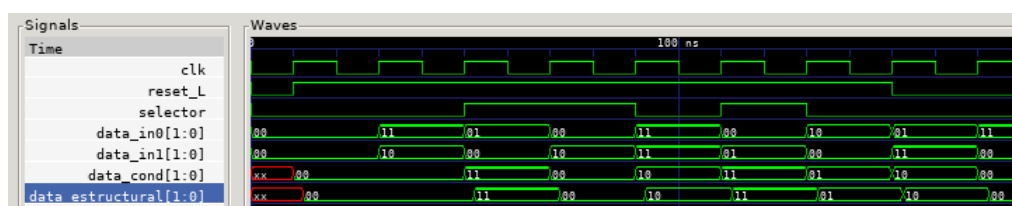


Figura 5: Salidas de descripción conductual y estructural con toggle cada 10ns

Con un periodo de 20ns, la descripción estructural tiene un comportamiento muy similar a la conductual, por lo que el funcionamiento es correcto, la única diferencia es tiempo de cambio del flip flop. Si el periodo se reduce, el circuito falla como se muestra en la siguiente imagen.

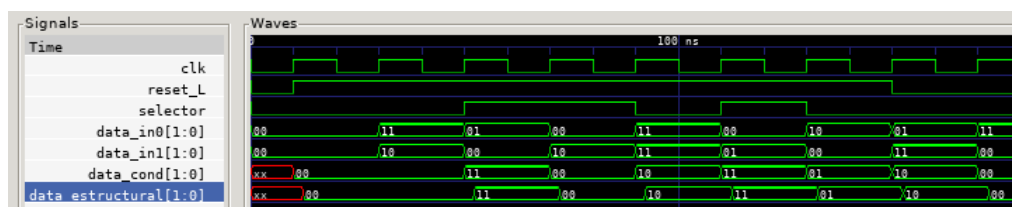


Figura 6: Salidas de descripción conductual y estructural con toggle cada 3ns

Con un toggle de 3ns el tiempo de reacción aumenta y hay cambios de señal que no se ven reflejados en la salida. Dado lo anterior confirmamos que la frecuencia de operación experimental debe ser mayor. Para hallar esta frecuencia experimental se realizaron múltiples pruebas. Se llegó al resultado de que, con un tiempo de cambio típico, el toggle se debe dar cada 6.7ns, como se muestra en la siguiente figura.

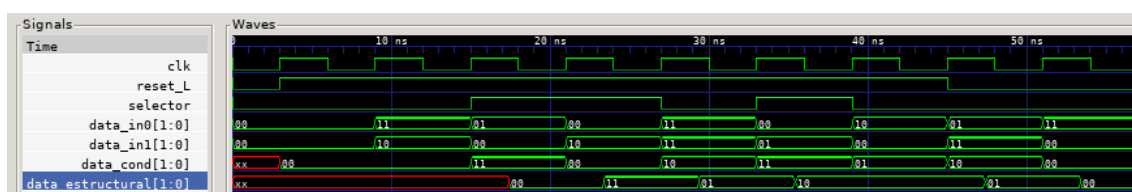


Figura 7: Salidas de descripción conductual y estructural con toggle en periodo mínimo cada 6.7ns

5. Checker y contador

Para comprobar el correcto funcionamiento de un circuito se diseñó un contador de flancos positivos y un comparador. Cada vez que el comparador ve que la señales no son iguales se muestra un mensaje con los tiempos y cuantos flancos se han contado por señal, primero los flancos de la conductual y luego la estructural.

La descripción estructural no concuerda con la conductual en				90 [ps]
9.0[ns]	Cond: 00	Estr: xx	Contadores[cond/estr] 0 0	
La descripción estructural no concuerda con la conductual en				150 [ps]
15.0[ns]	Cond: 11	Estr: xx	Contadores[cond/estr] 1 0	
17.4[ns]	Cond: 11	Estr: 00	Contadores[cond/estr] 1 0	
La descripción estructural no concuerda con la conductual en				210 [ps]
21.0[ns]	Cond: 00	Estr: 00	Contadores[cond/estr] 1 0	
23.4[ns]	Cond: 00	Estr: 11	Contadores[cond/estr] 1 1	
La descripción estructural no concuerda con la conductual en				270 [ps]
27.0[ns]	Cond: 10	Estr: 11	Contadores[cond/estr] 1 1	
29.4[ns]	Cond: 10	Estr: 01	Contadores[cond/estr] 1 1	
La descripción estructural no concuerda con la conductual en				330 [ps]
33.0[ns]	Cond: 11	Estr: 01	Contadores[cond/estr] 2 1	
35.4[ns]	Cond: 11	Estr: 10	Contadores[cond/estr] 2 1	
La descripción estructural no concuerda con la conductual en				390 [ps]
39.0[ns]	Cond: 01	Estr: 10	Contadores[cond/estr] 2 1	
La descripción estructural no concuerda con la conductual en				450 [ps]
45.0[ns]	Cond: 10	Estr: 10	Contadores[cond/estr] 2 1	
47.4[ns]	Cond: 10	Estr: 01	Contadores[cond/estr] 2 2	
La descripción estructural no concuerda con la conductual en				510 [ps]
51.0[ns]	Cond: 00	Estr: 01	Contadores[cond/estr] 2 2	
53.4[ns]	Cond: 00	Estr: 00	Contadores[cond/estr] 2 2	

Figura 8: Checher y contador de señales

Se puede ver que con un toggle cada 3ns al finalizar la segunda advertencia el contador no está igual en ambos diseños, en estos casos se confirma que hay un error de señales. Esto se puede confirmar en la figura 6.

6. Análisis de resultados y conclusiones

Se presentaron los resultados de armar el circuito presentado en la figura 1 a partir de compuertas lógicas. Cada una de las compuertas se probó y se confirmó su comportamiento correcto. Al comparar con los resultados obtenidos en la tarea previa, se confirmó que el circuito tiene un comportamiento correcto.

En la sección 4, donde se presentan los resultados de la descripción estructural también se realizaron pruebas para ver la frecuencia ideal a la que debe operar el circuito para evitar que hayan ciclos que no se lean de manera correcta. Por medio de estas pruebas se obtuvo que el periodo mínimo de operación es de 13.4ns, lo que se traduce a una frecuencia máxima $f_{\max} = 74,62MHz$.

A nivel teórico se calculó el camino más largo de los mux, de modo que se halló el tiempo de periodo mínimo que se puede obtener. Usando los tiempos típicos de funcionamiento el camino mas largo de un mux toma 9.3ns. Puesto que el circuito está formado por dos mux, el periodo teórico mínimo es de 18.6ns, por lo tanto, el periodo mínimo es menor a nivel experimental. La frecuencia máxima teórica es de $f_{\max} = 53,76MHz$.

Las frecuencia máxima de funcionamiento es mayor que la la teórica, esto puede deberse a la manera en que verilog calcula los tiempos de reacción de las compuertas, es posible que no siempre se tome un tiempo exacto al definido en el típico.

Para correr el código diseñado basta con usar el comando make en la termianl estando en la dirección en donde se tiene los archivos.

7. Tiempo empleado

El tiempo total empleado para esta tarea fue aproximadamente 15 horas. Se tuvieron múltiples inconvenientes con el manejo de tipos de cables y regs. También se tuvo un inconveniente con la conexión de los mux en un caso.

- Investigación: 1 hora y media
- Diseño de pruebas y make: 2 hora
- Compuertas: 1 hora
- Pruebas: 4 horas
- Corrección de errores: 4 horas
- Reporte: 2 horas y media