

Tarea #5

(Entrega 10 de setiembre de 2020)

Descripción estructural del multiplexor con síntesis automática

*Al igual que en la **Tarea #1** tome el tiempo que demora en hacer cada una de las cosas solicitadas: búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.*

Evaluación

- | | |
|-------------------------------|-----|
| 1. Funcionamiento del diseño: | |
| a. Descripción sintetizada | 40% |
| b. Pruebas y verificador | 20% |
| c. Evaluación del diseño | 20% |
| 2. Reporte del Proyecto | 10% |
| 3. Makefile | 10% |

Trabajo a realizar sobre el dispositivo a diseñar

Para esta tarea se deben completar los siguientes puntos:

1. Obtenga una segunda descripción estructural a partir del programa de síntesis Yosys. Busque una librería de elementos lógicos para hacer el mapeo tecnológico correspondiente. En detalle se deberían completar las siguientes tareas:
 - a. Realice la síntesis de alto nivel del diseño conductual del multiplexor. Esto produce una descripción estructural genérica (RTLIL) que no depende de una tecnología en particular. Los componentes usados en esta descripción corresponden a los de la biblioteca interna del sintetizador Yosys. En resumen, es llegar hasta **“techmap; opt”** en el script de yosys y hacer un **“write_verilog sintetizado.v”**.
 - b. Verifique que la descripción estructural genérica funciona usando el verificador automático ya construido.
 - c. Seleccione una biblioteca con una tecnología comercial disponible para realizar el mapeo tecnológico del diseño. Esto produce una descripción estructural usando componentes comercialmente disponibles. Para esta tarea puede usar *cmos_cells.lib*.
 - d. Verifique que la descripción estructural con el mapeo tecnológico pasa las pruebas usando el verificador automático. Use el archivo *cmos_cells.v* para la simulación.
 - e. Modifique el archivo *cmos_cells.v* para que la simulación tome en cuenta retardos. Verifique que el diseño sintetizado con el archivo *cmos_cells.v* modificado también funciona.
 - f. Busque los datos pertinentes y evalúe el diseño de la siguiente forma:

- i. Número de componentes usados.
 - ii. Una estimación el costo del diseño basado en la oferta de mercado de los componentes usados y el tiempo de desarrollo que se ha invertido en el proyecto.
 - iii. Frecuencia máxima de operación para cada uno de los modos de funcionamiento.
- g. Agregue la síntesis con yosys al makefile. Utilice el comando de Unix “sed” para cambiarle el nombre al módulo sintetizado de forma automática.
 - h. Compare los dos diseños estructurales realizados, el de los componentes seleccionados manualmente y el realizado con el sintetizador. Comente las dos experiencias de diseño con detalles adicionales.
 - i. Recuerde utilizar el script completo de síntesis, en la Figura 1 se observa un ejemplo de la documentación de Yosys.

```
# read design
read_verilog counter.v
hierarchy -check -top counter

# the high-level stuff
proc; opt; fsm; opt; memory; opt

# mapping to internal cell library
techmap; opt

# mapping flip-flops to mycells.lib
dfflibmap -liberty mycells.lib

# mapping logic to mycells.lib
abc -liberty mycells.lib

# cleanup
clean

# write synthesized design
write_verilog synth.v
```

Figura 1. Script completo de Yosys.

Guía para el reporte

Se debe entregar en forma electrónica un documento que incluya los siguientes puntos en a lo sumo 10 páginas de longitud:

1. **Distribución del tiempo invertido en la tarea.**
2. **Descripción arquitectónica o diagrama del circuito.**
3. **Plan de Pruebas:** Descripción de las pruebas realizadas.
4. **Instrucciones de utilización de la simulación:** Describir cómo correr las pruebas mediante el makefile.
5. **Ejemplos de los resultados:** Una descripción de los resultados más importantes acompañados de los diagramas temporales de la simulación (GTKWave) o cualquier otra salida que demuestre claramente el comportamiento descrito. No es necesario incluir una muestra exhaustiva de resultados, sino que los más representativos del diseño. El punto es mostrarle al lector los comportamientos más sobresalientes para formarle una idea clara del funcionamiento del diseño.
6. **Análisis y conclusiones:** Analice los resultados y enumere los inconvenientes durante la tarea.