

Propuesta de contenido para el curso IE-523 Circuitos Digitales II

| Semana | Temas | Entregas / Material de Trabajo |
|--------|---|--|
| 1 | Perspectiva histórica del diseño de sistemas digitales <ul style="list-style-type: none"> Problemas relacionados al diseño de sistemas grandes: <ul style="list-style-type: none"> Planeamiento Necesidad de trabajo en equipo. Complejidad de diseño: muchos detalles, escala. Complejidad en la verificación/validación. Historia (Mapas de Karnaugh, Quine-McClusky, Espresso, SIS, MVSIS, ABC, Yosys) Jerarquía de diseño / Niveles de descripción | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #1 |
| 2 | Descripción conductual del circuito digital <ul style="list-style-type: none"> Introducción a un lenguaje de descripción de <i>hardware</i> (HDL). Estructura de Verilog: módulos, procesos concurrentes, alambres y registros. Temporización básica. Conceptos de elaboración de pruebas | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #2 Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #1 |
| 3 | Construcción de una biblioteca de componentes <ul style="list-style-type: none"> Restricciones al diseño: frecuencia máxima, consumo de energía, y costo. Parámetros temporales: t_{pdh}, t_{pdl}, t_{cdh}, t_{cdl}, t_{setup}, t_{hold}. Código de instrumentación. Simulación de dispositivos con parámetros temporales y consumo de energía. | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #3 y #4 Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #2 |
| 4 | Síntesis manual del circuito <ul style="list-style-type: none"> Estrategias de diseño: top-down, bottom-up Diseño manual de un sistema digital. Descripción lógica genérica y mapeo de tecnología. Segmentación del diseño Descripción estructural del diseño en Verilog Estimación de frecuencia máxima de operación, consumo de potencia y costo del diseño. | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #5 Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #3 y #4 |
| 5 | Síntesis automática del circuito <ul style="list-style-type: none"> Uso de herramientas de síntesis automáticas Limitaciones de la síntesis automática. Descripción lógica genérica y mapeo de tecnología. Descripción estructural del diseño en Verilog Estimación de frecuencia máxima de operación, consumo de potencia y costo del diseño. Comparación con el diseño sintetizado manualmente. | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #6 Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #5 |
| 6 | Elaboración de Pruebas <ul style="list-style-type: none"> Modelado de Fallas: funcionales, atado-a (stuck-at) y de puente. Pruebas funcionales. Construcción del verificador en el banco de pruebas. Pruebas estructurales para circuitos combinacionales. | Miércoles: <ul style="list-style-type: none"> Profesor entrega enunciado del proyecto #1. Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #6 |
| 7 | Elaboración de Pruebas <ul style="list-style-type: none"> Introducción a DFT, “<i>design for testability</i>”. Conceptos de observabilidad y controlabilidad. Metodología del “<i>Scan Path</i>”. | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #7 Estudiantes hacen la presentación de avance #1 del Proy#1. Ver [1] y [2] |

| | | |
|----|--|---|
| | <ul style="list-style-type: none"> Inclusión del “Scan Path” a la descripción estructural | abajo. |
| 8 | Comunicación entre subsistemas <ul style="list-style-type: none"> Comunicación unidireccional y bidireccional Comunicación Sincrónica y Asincrónica Comunicación Serial y Paralelo Codificación de los datos Ejemplos de estándares: RS-232, PCIe, USB, DDR, etc. | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #8 Estudiantes hacen la presentación de de avance #2 del Proy#1. Ver [1] y [2] abajo. Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #7 |
| 9 | Tecnología: Niveles de integración y dispositivos <ul style="list-style-type: none"> Sistemas Complejos Partición Funcional de Sistemas Complejos Estrategias top-down y bottom-up Escalas de integración: SSI, MSI, LSI, VLSI, SOC Balance entre Hardware y Software / Niveles de Paralelismo Dispositivos Especiales: muxes, sumadores, memorias, microprocesadores, FPGAs, PLDs, ASICs, dispositivos de interfaz con señales analógicas. | Miércoles: <ul style="list-style-type: none"> Estudiantes hacen la presentación de de avance #3 del Proy#1. Ver [1] y [2] abajo. Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #8 |
| 10 | Tecnología: Niveles de integración y dispositivos <ul style="list-style-type: none"> FPGAs Memorias Dinámicas | Miércoles: <ul style="list-style-type: none"> Estudiantes hacen la presentación final del Proy#1 |
| 11 | Descripción de sistemas digitales usando RTL <ul style="list-style-type: none"> Algoritmos y RTL: Similitudes entre un programa y la transferencia entre registros. Alternativas de solución: <i>Software</i> vs. <i>Hardware</i> Notación RTL Partición Ruta de Datos (<i>Data Path</i>) y Control | Miércoles: <ul style="list-style-type: none"> Profesor entrega enunciado del proyecto #2. |
| 12 | Descripción de sistemas digitales usando RTL <ul style="list-style-type: none"> Mapeo de algoritmos a una ruta de datos y control Tabla de Transferencias entre Registros Transferencias incondicionales Transferencias condicionales | Miércoles: <ul style="list-style-type: none"> Profesor entrega Tarea #9 (controladores y pipeline) Estudiantes hacen la presentación de de avance #1 del Proy#2. Ver [2] abajo. |
| 13 | Descripción de sistemas digitales usando RTL <ul style="list-style-type: none"> Esquemas de secuenciamiento con flip flops y latches: <ul style="list-style-type: none"> Reloj de una fase Reloj de dos fases Reloj de pulsos | Miércoles: <ul style="list-style-type: none"> Estudiantes hacen la presentación de de avance #2 del Proy#2. Ver [2] abajo. Jueves: <ul style="list-style-type: none"> Estudiantes entregan Tarea #9 |
| 14 | Descripción de sistemas digitales usando RTL <ul style="list-style-type: none"> Controladores: 1 ff/estado (<i>one-hot</i>), Richards, y microprogramado <ul style="list-style-type: none"> Velocidad de los controladores Salto unidimensionales vs saltos multidimensionales Flexibilidad en la modificación de algoritmos Paralelismo via entubamiento (Pipeline) | Miércoles: <ul style="list-style-type: none"> Estudiantes hacen la presentación de de avance #3 del Proy#2. Ver [2] abajo. |
| 15 | Descripción de sistemas digitales usando RTL <ul style="list-style-type: none"> Aprovechamiento de recursos en la ruta de datos <ul style="list-style-type: none"> Recursos independientes vs recursos compartidos Compromiso entre reducción de recursos y | Miércoles: <ul style="list-style-type: none"> Estudiantes hacen la presentación final del Proy#2 |

| | | |
|----|---|--|
| | velocidad del sistema | |
| 16 | Descripción de sistemas digitales usando RTL <ul style="list-style-type: none"> Comentar resultados de tarea sobre controladores / <i>pipeline</i>. | |

[1] Usando lo descrito en "*Criterios de evaluación para los Proyectos de Diseño del curso IE-523*" cada grupo debe presentar ante la clase:

- Plan de Trabajo.
- Descripción Arquitectónica.
- Plan de Pruebas.

[2] Los integrantes del grupo presentan ante la clase:

- Plan de Trabajo con los avances hechos.
- Ejemplos de resultados obtenidos. (Se incluyen resultados con problemas o resultados satisfactorios)
- Algunas conclusiones o recomendaciones que se tengan a este punto.