

Temps-Réel et Multi-cœurs: Problème de contention mémoire

Louisa BESSAD
Roberto MEDINA

13 Mai 2014



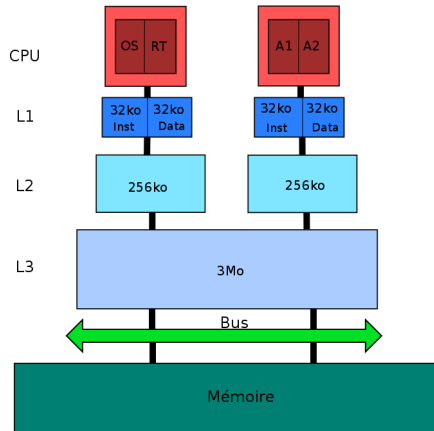
- Minimisation des coûts
 - CPU : hyperviseurs pour virtualisation
 - Cache : cache coloring
 - Mémoire : virtualisation de la mémoire spatiale
 - Bus et contrôleur mémoire : partage temporel



- Mise en évidence de la contention
- Problème de partage des composants
- Répartition de bande passante

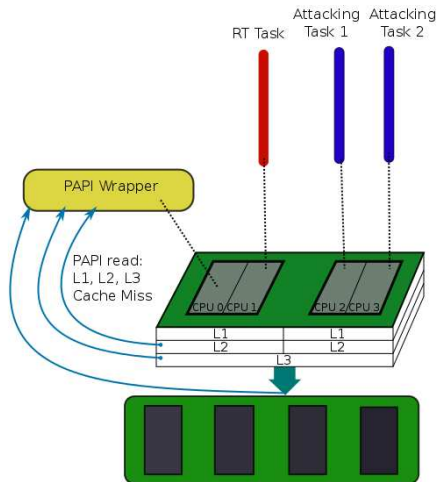
Architecture utilisée

- Intel Core i3
- Quatre cœurs logiques
- Trois niveaux de cache
- L3 et bus partagés
- Isolation des CPUs



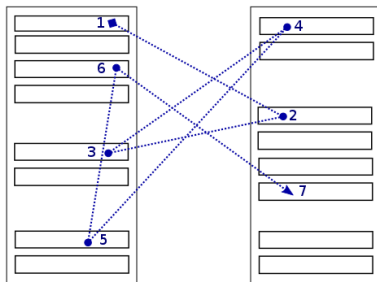
Wrapper : Mesures des performances

- Que mesurer ?
- Librairie PAPI : options et évènements
- Clouer des processus sur les CPUs



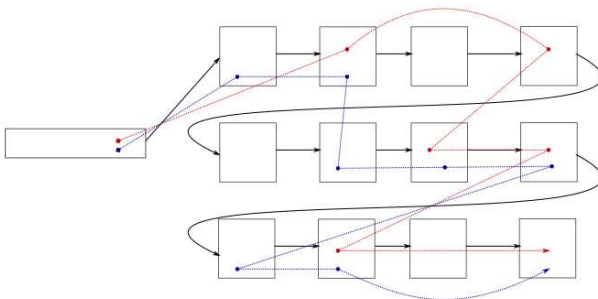
Tâche temps-réel

- Tableaux statiques de grande taille
- Parcours aléatoire (préfetching)
- Regarde si son échéance est satisfaite



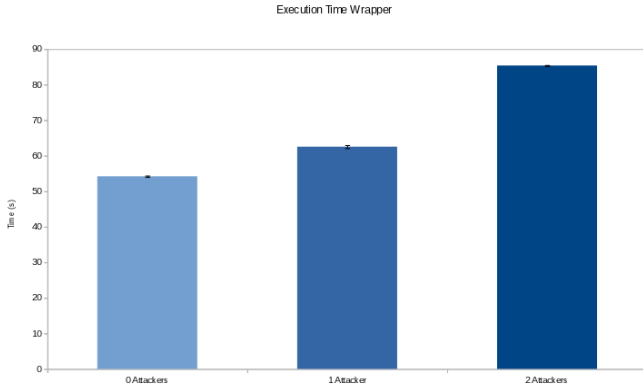
Tâches attaquantes

- Liste dynamique de grande taille
- Éléments de la liste : matrices carrées
- Itérations aléatoires



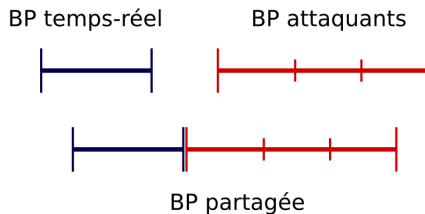
Problème de concurrence d'accès

- Augmentation du temps d'exécution
- Augmentation du nombre de cache MISS



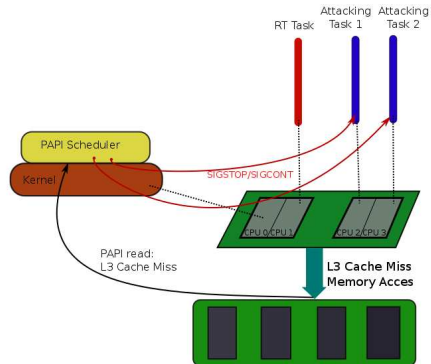
Sous réservation de BP mémoire

- Temps d'exécution tâche temps-réel
- Répartition équitable de BP
- Compteurs globaux



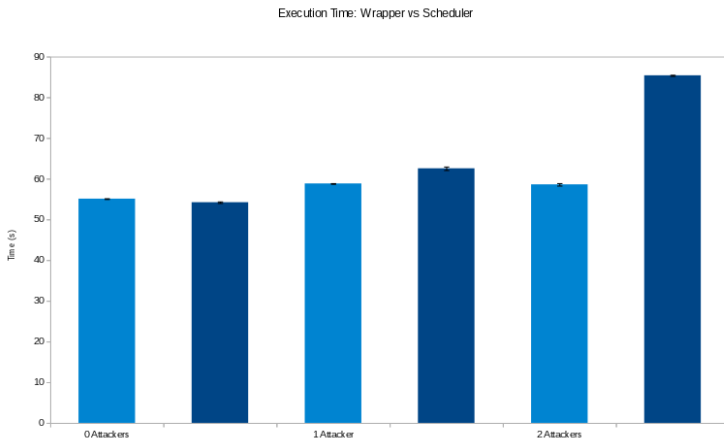
Mécanisme d'arrêt : solution en mode utilisateur

- Signaux POSIX
- Attaquants arrêtés
- Timer réveille le mécanisme



- Mise en évidence de la contention mémoire
- Efficacité du mécanisme d'arrêt
 - Introduction de latence (coût du mécanisme)
 - Stabilisation du temps d'exécution
 - Diminution du taux des MISS

Résultats (2) : comparaison



- Mise en évidence du problème
- Développement d'une plateforme de test
- Mesures de l'efficacité et dimensionnement :
 - Temps d'exécution borné
 - Accès concurrents à la mémoire

