

Travail à la Maison

TM1 – CE312/CE318 (Architecture matérielle) [2]

Préliminaires :

- Ce travail est une préparation pour le premier TP CE311/CE317 (TP partie matérielle), **il sera relevé (format papier) à la fin de la première séance de TP pour chaque binôme.**

Ce qui est attendu dans vos comptes rendus :

- **Des explications claires et concises sur vos manipulations** contenant des **schémas** et/ou des **captures d'écrans commentées**.
- Les **réponses aux questions posées** en respectant la numérotation
- Les **codes sources et/ou chronogrammes réalisés**
- Une attention particulière sera apportée au choix des noms des différents signaux et les codes devront être commentés (succinctement).

1 Codage d'un compteur modulo 16 [2]

1.1 En utilisant l'entité décrite ci-dessous, codez en VHDL RTL l'architecture d'un compteur modulo 16 sur 4 bits.

- Reset synchrone actif sur niveau haut
- Comptage sur front montant d'horloge
- Activation/désactivation du comptage (e.q. enable)
- Gestion automatique du débordement (c'est-à-dire retour à 0 du compteur)
- Témoin de débordement (signal deb)

```
entity compteur_16 is
  Port ( clk : in STD_LOGIC;
        rst : in STD_LOGIC;
        enable : in STD_LOGIC;
        deb : out STD_LOGIC;
        out_count : out STD_LOGIC_VECTOR (3 downto 0)
        );
end compteur_N;
```

Conseil : Pensez à ajouter les bibliothèques et paquets nécessaires à l'utilisation des types.

1.2 Codez un testbench permettant de vérifier le fonctionnement de votre compteur modulo 16.

1.3 Réalisez manuellement les chronogrammes de toutes les entrées et sorties de votre compteur modulo 16, ainsi que des éventuels signaux internes, que vous obtiendrez en simulant votre testbench précédent.

Conseil : Pensez à ajouter le temps sur l'axe des abscisses.

Remarque : En séance de TP, vous vérifierez que les chronogrammes obtenus (à faire valider par l'enseignant) sont bien identiques à votre analyse précédente.