

# TP1 : Initiation à VIVADO et aux premiers designs

TP – CE312/CE318

## Préliminaires :

Le travail à la maison TM1 (à réaliser avant la séance de TP) et le compte-rendu du TP1 seront ramassés à la fin de la séance et tous deux pris en compte dans la note finale du TP.

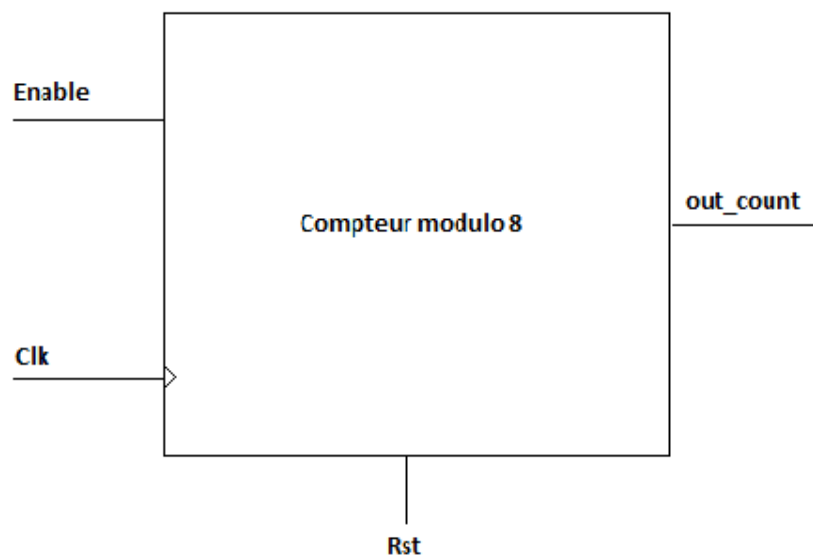
En termes d'architecture, TM1 propose de réaliser un compteur modulo 16. Ce TP propose d'étudier et d'implémenter sur carte un compteur modulo 8.

### Ce qui est attendu dans vos comptes rendus :

- Des explications claires et concises sur vos manipulations contenant des schémas et/ou des captures d'écrans commentées.
- Les réponses aux questions posées en respectant la numérotation
- Les codes sources et/ou chronogrammes réalisés
- Une attention particulière sera apportée au choix des noms des différents signaux et les codes devront être commentés (succinctement).

### Etape 1.1 : Composants à étudier : Compteur modulo 8

La première architecture proposée en langage VHDL est celle d'un compteur basé sur un registre de 3 bits, permettant de compter de 0 à 7. Cette architecture sera d'abord simulée, puis implémentée sur une carte Basys3 équipée d'un FPGA de la série Artix-7 du fabricant Xilinx. Le bon comportement du compteur pourra ainsi être vérifié.



D'après la figure ci-dessus, le fonctionnement du circuit de compteur modulo 8 est comme suit :

- clk est l'horloge du compteur.
- Si rst est mis à 1, le compteur est mis à 0 au prochain front montant d'horloge.
- Si enable est à 1, le compteur compte au prochain front montant d'horloge alors que si enable est à 0, le compteur arrête de compter.

## Etape 1.2 : Réalisation du compteur modulo 8

### Analysez le fonctionnement du compteur modulo 8 fourni (compteur\_modulo8\_v1.vhd).

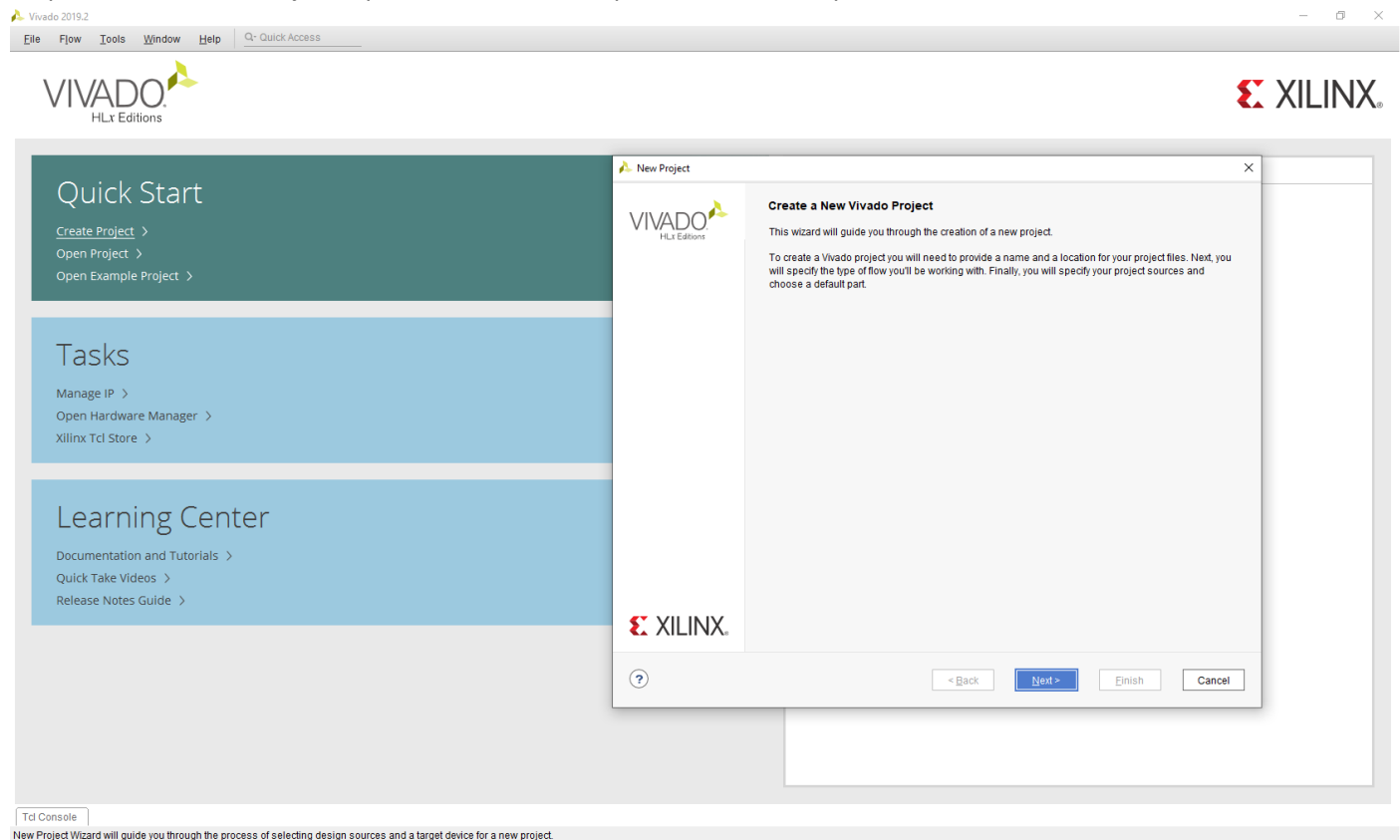
Puis vérifiez son fonctionnement avec le testbench fourni (tb\_compteur\_8\_v1.vhd) en suivant les étapes ci-dessous.

#### Etape 1.2.1 : lancement du logiciel

Lancez « VIVADO.exe », la version ici présentée est la 2019.2.

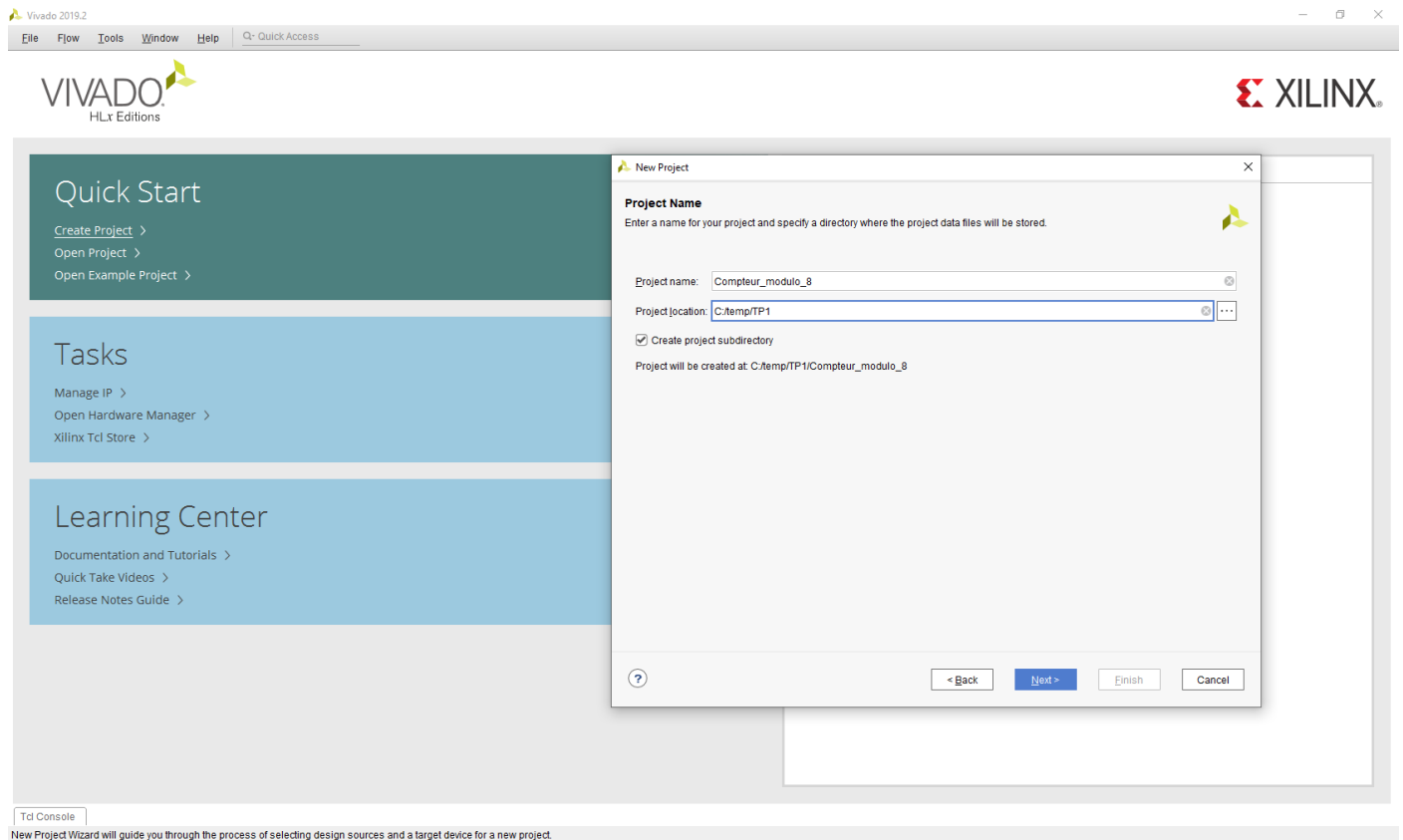
#### Etape 1.2.2 création du projet

Cliquez sur « Create Project » puis dans la fenêtre qui est ouverte, cliquez sur “Next”.



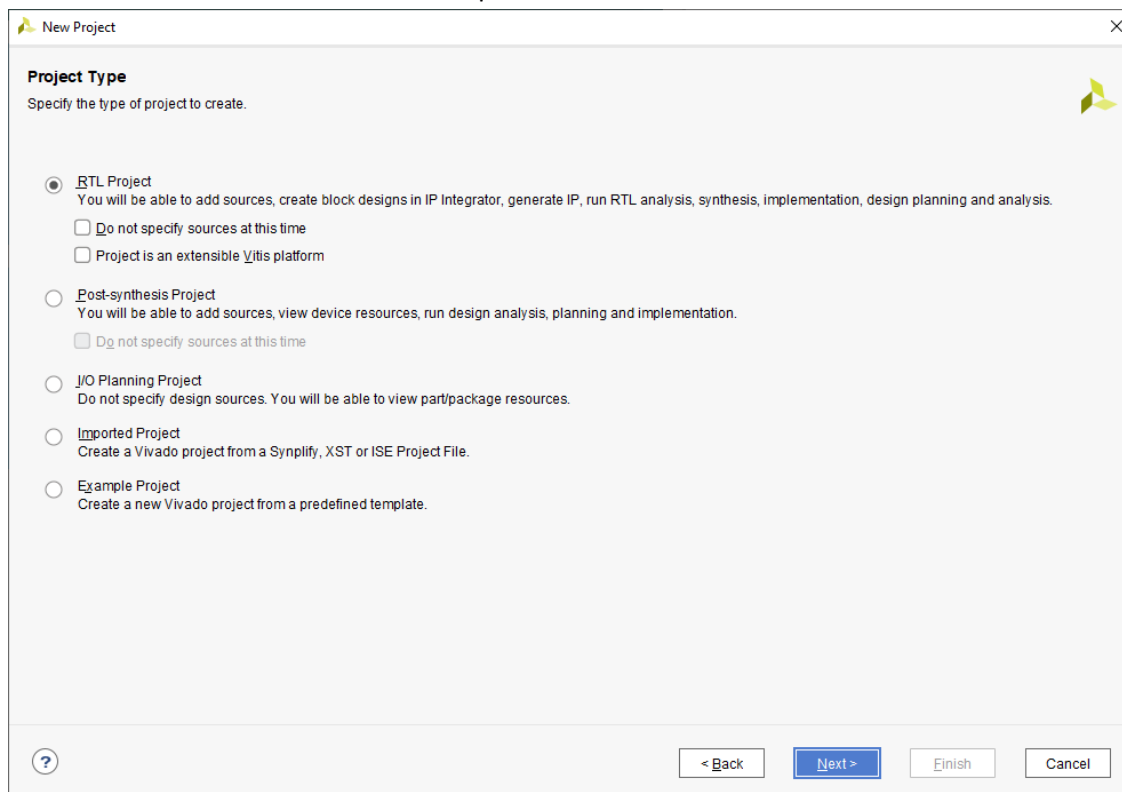
### Etape 1.2.3 : Définition du nom et de l'emplacement du projet

Renseignez les champs « Project name » et « Project location » avec le nom et l'emplacement cible de votre projet en cours de création puis cliquez sur « Next ».



### Etape 1.2.4 : Définition du type de projet

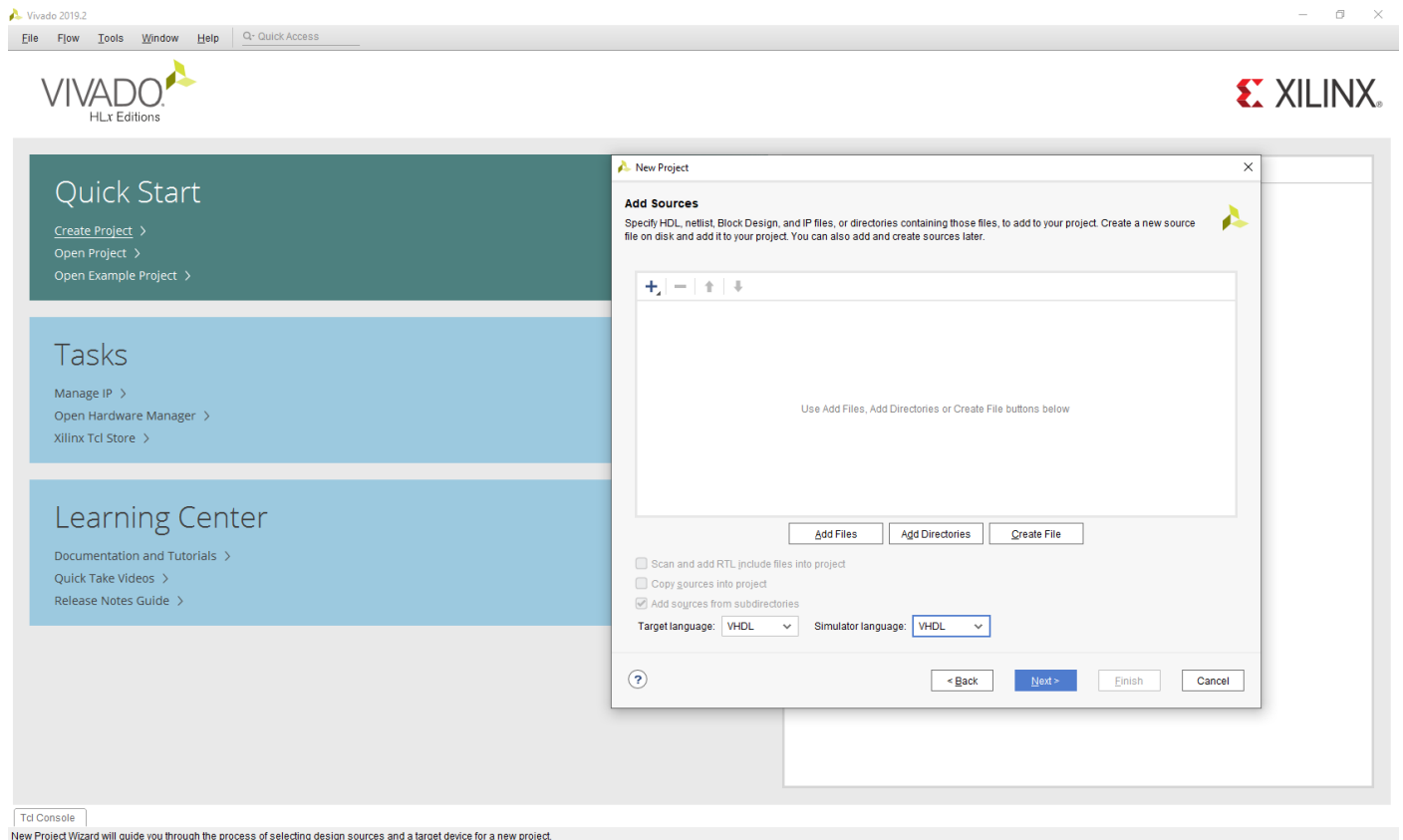
Cochez la case comme ci-dessous et cliquez sur « Next ».



### Etape 1.2.5 : ajout de fichiers déjà rédigés et sélection du langage utilisé

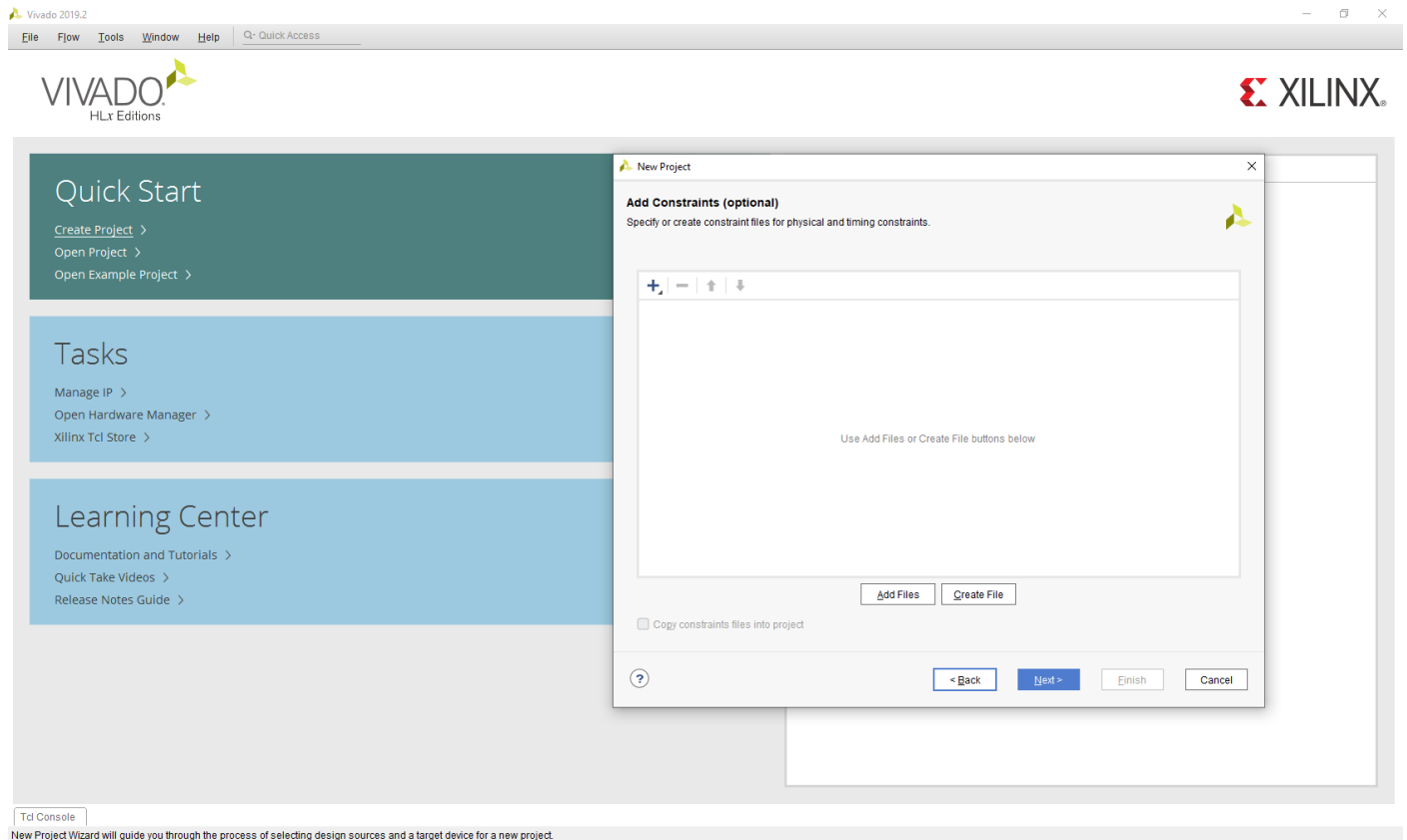
Lors de cette étape vous devez ajouter les fichiers sources déjà rédigés. Sélectionnez Add Files, et ajoutez *compteur\_8\_v1.vhd* et *compteur\_8\_v2.vhd* (tous deux disponibles sur Chamilo). N'ajoutez pas d'autre fichier pour l'instant.

Renseignez dans le « Target language » et le « Simulator language » l'option VHDL. (Dans ce TP seul le VHDL sera utilisé). Ensuite, cliquez sur « Next ».



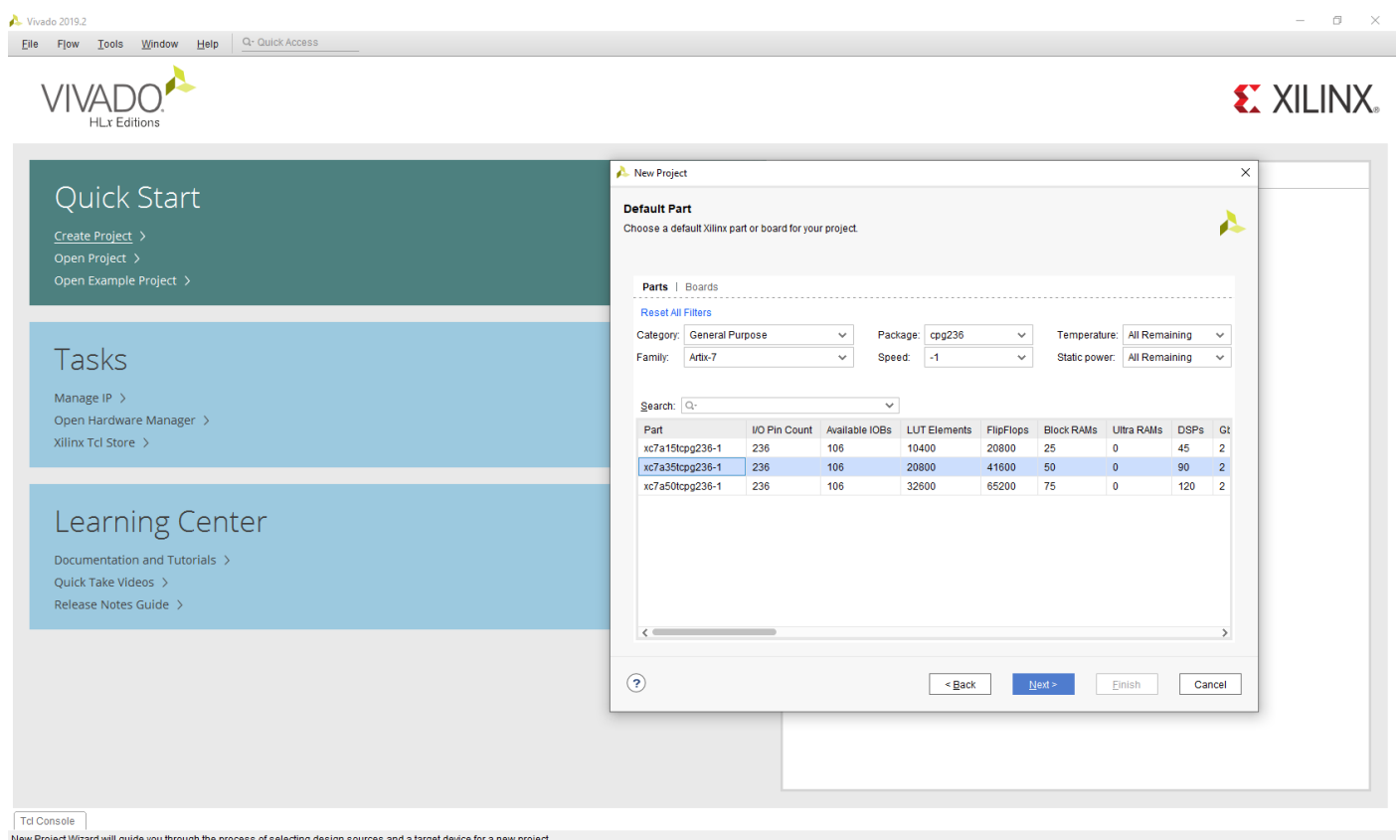
### Etape 1.2.6 : Ajout d'IPs/Constraints

Sélectionnez Add Files, puis ajoutez le fichier *basy3\_constraints\_TP1.xdc* (disponible sur Chamilo). Cliquez sur Next.



### Etape 1.2.7 : Sélection du composant FPGA cible

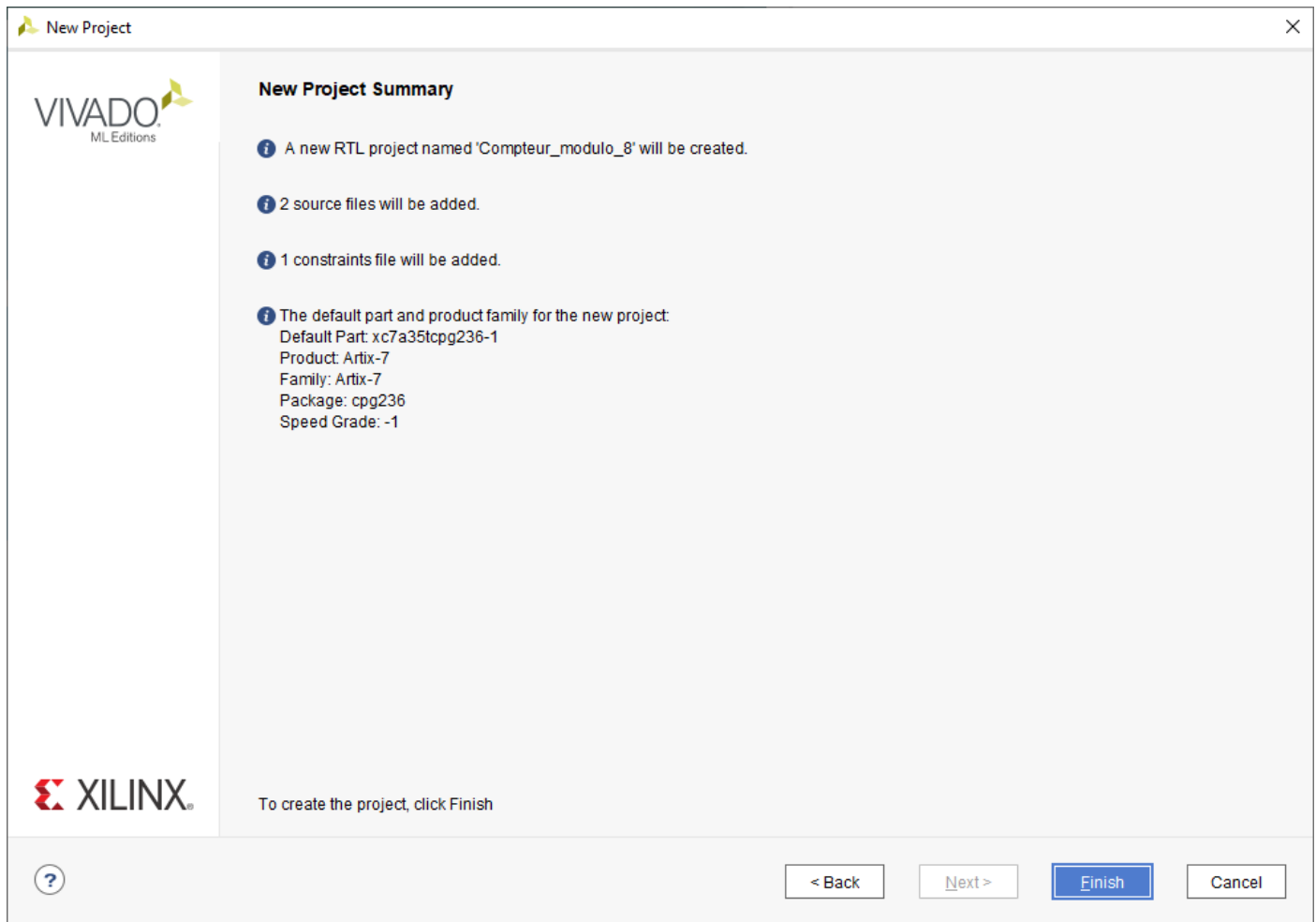
Choisissez le FPGA correspondant à celui embarqué sur la carte Basys 3 : xc7a35tcbg236-1 et puis cliquez sur « Next ».



New Project Wizard will guide you through the process of selecting design sources and a target device for a new project.

### Etape 1.2.8 : Validation du projet

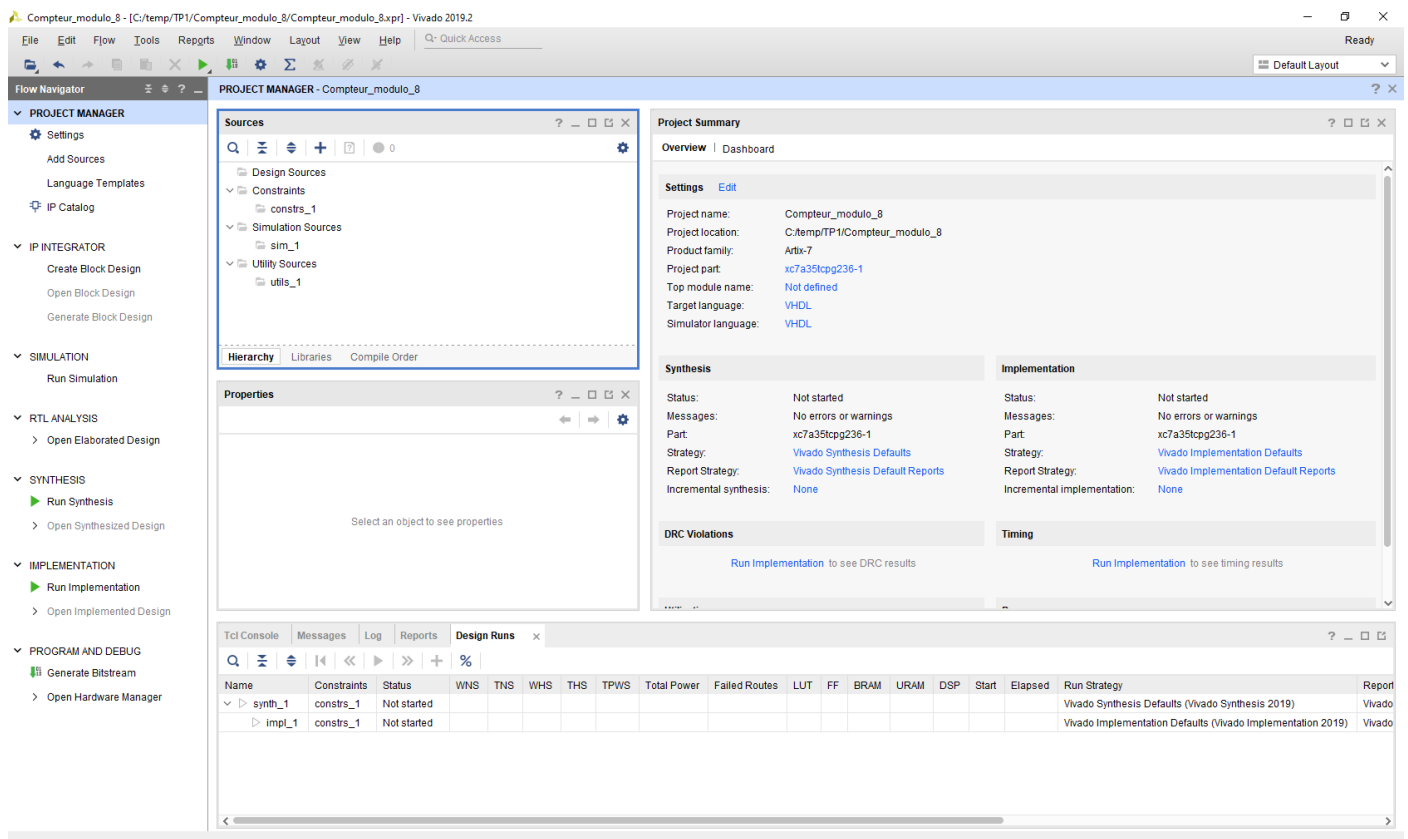
Vérifiez que vous avez les mêmes informations que sur la capture ci-dessous. Si oui, sélectionnez Finish.



## Etape 1.2.9 : Présentation de l'interface projet de VIVADO

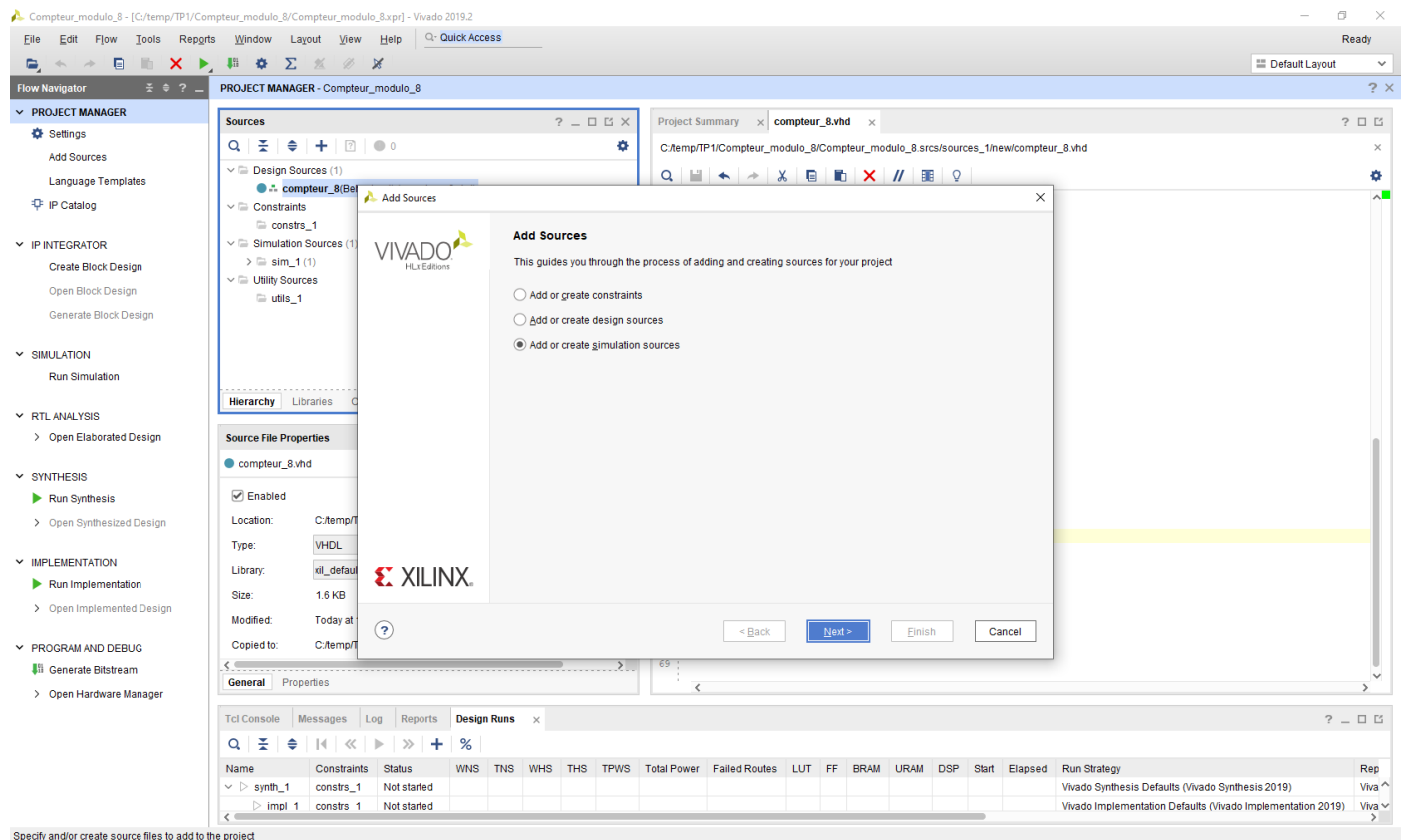
Ici plusieurs fenêtres sont importantes :

- « Flow Navigator » vous propose des certains nombres d'actions sur le flow de conception/implémentation du projet
- « Project Manager » affiche la structure/hiérarchie des fichiers présents dans le projet
- « Project Summary » affiche les informations relatives aux paramètres projet et les résultats de synthèse et implémentation.



### Etape 1.2.10 : Ajout du fichier de simulation

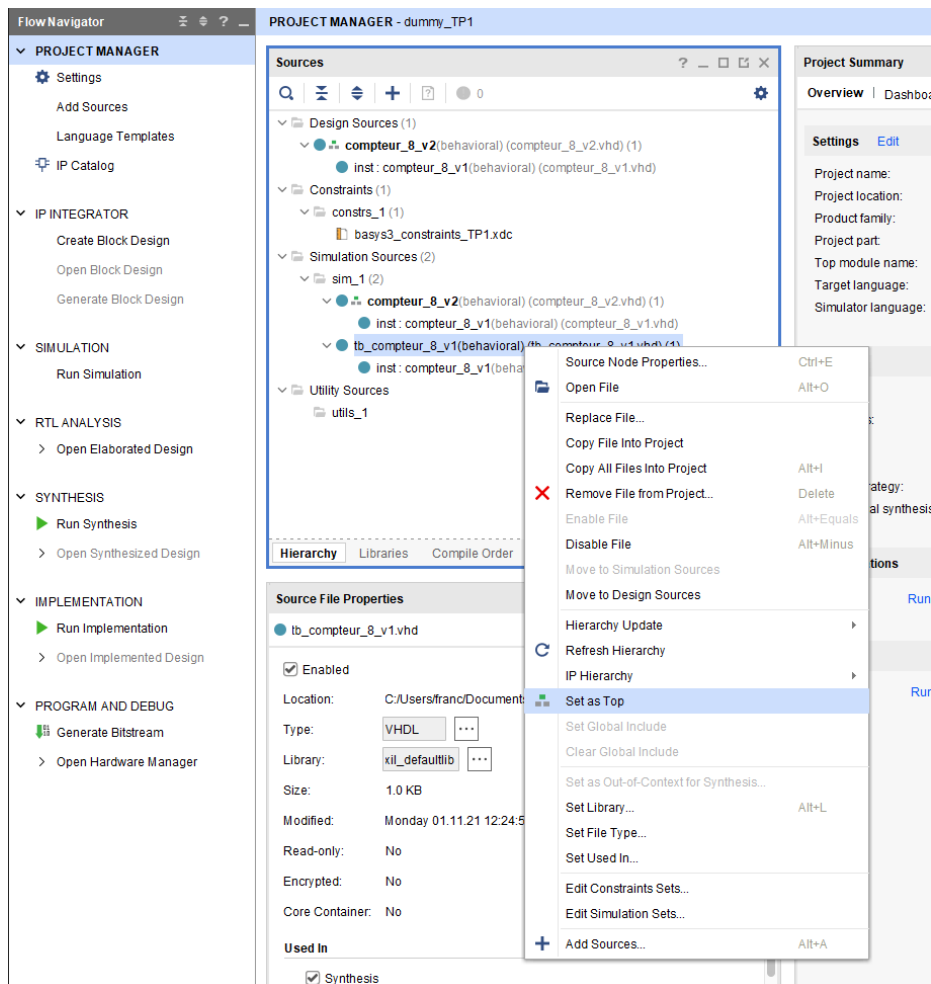
Dans le Flow Navigator (dans la partie gauche de l'écran), cliquez sur « Add Sources » puis « Add or create simulation sources » puis sur Next. Sélectionnez « Add Files » et ajoutez *tb\_compteur\_8\_v1.vhd* (disponible sur Chamilo). Cliquez sur Finish.





### Etape 1.2.11 : Paramétrage et lancement de la simulation

Dans la partie Sources, faites un clic droit sur le fichier tb\_compteur\_8\_v1.vhd et sélectionnez Set as Top :



Dans le Flow Navigator, cliquez sur Run Simulation puis Run Behavioral Simulation.

**Analysez les chronogrammes obtenus.**

### Etape 1.3 : Implémentation du compteur sur FPGA

Dans le Flow Navigator, sélectionnez Generate Bitstream, puis cliquez sur Yes dans la pop-up qui s'ouvre. A ce stade, suivez les indications de l'enseignant pour charger le compteur sur la carte Basys3.

**Questions :**

- Quel est le rôle du fichier `compteur_8_v2.vhd` ?
- A quoi sert l'utilisation d'un fichier testbench ?
- Analysez les chronogrammes obtenus lors de la simulation.
- Dans votre cas combien de flip flop sont générées après la synthèse ?
- Quelles sont les étapes du flot de conception et de vérification ?
- Quel est le rôle du fichier `basys3_constraints_TP1.xdc` ?
- Le comportement du compteur sur la carte Basys3 correspond-il à celui que vous attendiez ?