

Central DMA Specification

1. 功能介绍

该模块完成数据在不同地址空间的直接 copy。配置寄存器采用 APB 接口，数据传输采用 AXI 接口。具体功能如下：

- source/destination 起始地址只需要 byte 对齐（无需 32bit 对齐）；且 source/destination 起始地址在一个 32bit 内的 byte 位置可以任意（比如 source 从 0xc001001 开始，destination 从 0xf080003 开始）。
- 支持 2D（二维矩形框[y, x]）数据的 copy，要求 source/destination 的二维矩形框的低维（x-dir）byte 长度必须一致；
- 二维矩形框[y, x]的低维，即 x-dir，byte 长度取值范围：[4, 65536]；
- 二维矩形框[y, x]的高维，即 y-dir，取值范围：[1, 65536]；
- 二维矩形框[y, x]的低维，即 x-dir，每完成一行数据，距离一行有效数据可以有 [0~65535] byte 的间隔；source/destination 的间隔距离可以任意；
- 支持 command linked list，SW 一次配置可以完成多块数据的 copy（一次最多 255 块）；

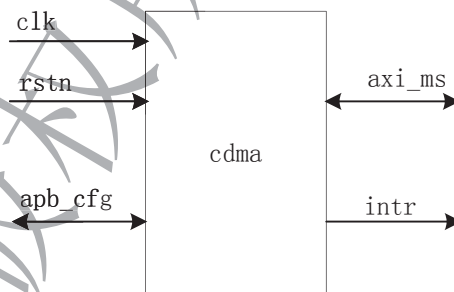
该模块通过 APB slave 接口来配置内部寄存器；通过 AXI master 接口来完成数据的 read/write 操作。

为了提高 AXI bus 的利用率，使用了如下 AXI 总线的特性：

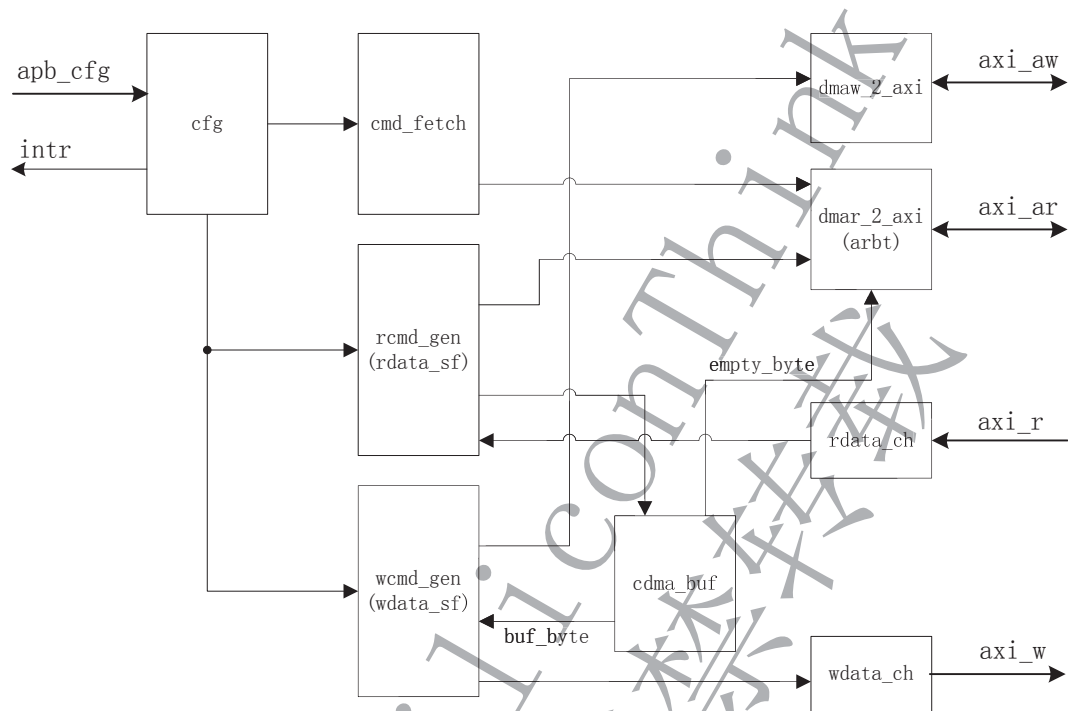
- Read/Write channel 并发操作；
- Read command outstanding；
- User ARID, can support read data out-of-order；

本设计综合考虑了 AXI 总线 data 传输时的总线等待（wait cycle），即 AXI 总线数据传输效率与 Central DMA 内部 buffer 深度的平衡，折衷选择了适合的内部 buffer 深度。

设计框图如下图所示：



内部模块结构如下：



2. IO 功能定义

Name	Direction	Bits	Description
clk	I	1	时钟输入。
rstn	I	1	异步复位输入，低有效。
intr	O	1	中断输出，high level active。
axi_ms_inf	I/O	NA	标准的 AXI master 接口 (32bits, maximal burst length is 16)。
apb_inf	I/O	NA	标准的 APB salve 接口。

AXI 接口时序：见 AMBA 标准协议：《AMBA™ AXI Protocal》，v1.0；
APB 接口时序：见 AMBA 标准协议：《AMBA™ 3 APB Protocal》，v1.0；

注：AMBA 协议是 ARM 公司定义的总线协议。

3. 寄存器定义

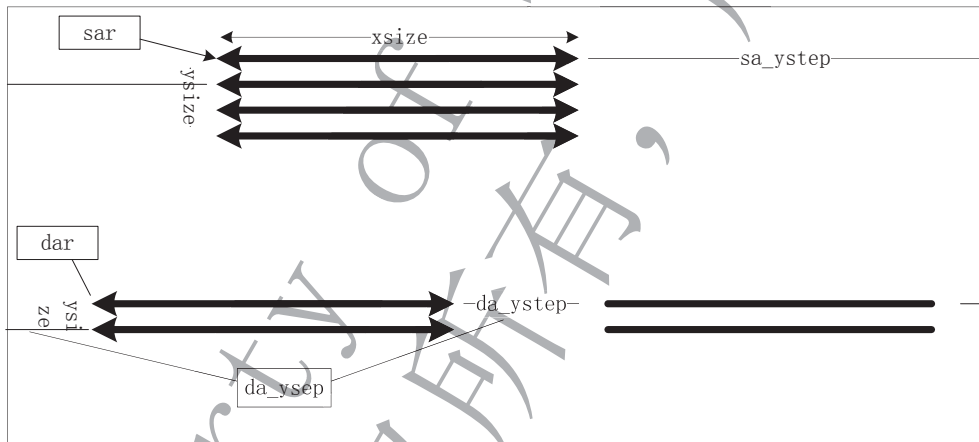
ad dr	bit	name	acc ess	description
00	31:0	sar	r/w	DMA source begin byte address。如果 DMA command list 有效，反应的是当前 DMA command 的 SAR。
04	31:0	dar	r/w	DMA destination begin byte address。如果 DMA command list 有效，反应的是当前 DMA command 的 DAR。
08	15:0	trans_xsize	r/w	一个 DMA burst，每次在 x-dir 连续访问的 byte 数目。如果 DMA command list 有效，反应的是当前 DMA command 的信息。
	31:16	NA	r	Reserved。
0C	15:0	trans_ysize	r/w	一个 DMA burst，在 y-dir 访问的数目。如果 DMA command list 有效，反应的是当前 DMA command 的信息。
	31:16	NA	r	Reserved。
10	15:0	sa_ystep	r/w	一个 DMA burst，在每次 x-dir 访问结束后，sar 地址跳跃的 byte 数目。如果 DMA command list 有效，反应的是当前 DMA command 的信息。
	31:16	da_ystep	r	一个 DMA burst，在每次 x-dir 访问结束后，dar 地址跳跃的 byte 数目。如果 DMA command list 有效，反应的是当前 DMA command 的信息。
14	31:0	llr	r/w	下一个 DMA burst cmd 存放的地址，必须是 32bit 对齐的地址。如果地址是 0x00000000，则 DMA 结束。如果 DMA command list 有效，0x00 ~ 0x14 寄存器反应的是当前 DMA command 的信息。
18	0	intr	r/w	DMA 结束后，HW 置 1；SW 写 0 清除。
	1	busy	r	1: DMA 正在工作，不能配置 DMA 的寄存器（dma_halt 除外）；也不能修改 DMA command link list 的内容。
	7: 2	NA	r	Reserved。
	15:8	cmd_num	r	当前 DMA controller 正在处理的 DMA cmd 位置。
	31:16	NA	r	Reserved。
	0	intr_en	r/w	1: DMA cmd list 执行完毕后，允许中断产生。
1C	3: 1	NA	r	Reserved。
	4	dma_halt	r/w	1: 暂定 AXI bus 接口的数据传输。

	7:5	NA	r	Reserved。
	8	bf	r/w	AXI transfer 中的 bufferable flag。
	9	cf	r/w	AXI transfer 中的 cacheable flag。
	31:10	NA	r	Reserved。
20	0	dma_sof	r/w	写 1, 启动一个 DMA 传输。HW 自动清 0。
	31:1	NA	r	Reserved。
24	31:0	NA	r	Reserved。
28	31:0	NA	r	Reserved。
2C	15:0	version_id	r	0x5310。
	31:16	NA	r	Reserved。

4. DMA 功能说明

4.1. 2D 数据 copy 说明

一个 2D DMA 的数据 copy 示意图如下：



其中：

- 如果 $sa_ystep == 0$, $da_ytsep != 0$, 则可以把一个连续的数据块拆分成一个 x-dir 不连续的 2D 矩形数据块；
- 如果 $sa_ystep != 0$, $da_ytsep == 0$, 则可以把一个 x-dir 不连续的 2D 矩形数据块，拼接成一个连续的数据块；

4.2. Command Linked List 说明

- 第一个 2D DMA command 放在 Central DMA 的内部寄存器中；
 - 第一个 2D DMA command 的 llr_0 指向下一个 2D DMA command 在内存的起始地址；
 - 第二个 2D DMA command 的 llr_1 指向下一个 2D DMA command 在内存的起始地址；
 - ...
 - 最后一个 2D DMA command 的 llr_n 必须为 0x00，表示这组 2D DMA comandnd 结束；
- 注：一个最多配置 255 个 2D DMA comandnd。

