

# INSTITUTO SUPERIOR DE ENGENHARIA DE LISBOA

Licenciatura em Engenharia Informática e de Computadores  
e  
Licenciatura em Engenharia Informática, Redes e Telecomunicações



Relatório do 1.º Laboratório  
de  
Lógica e Sistemas Digitais

**Funções Lógicas – Tecnologia TTL**

03 de novembro de 2021

# 1 Introdução

Este primeiro laboratório para avaliação de Lógica e Sistemas Digitais tem como objetivo o desenvolvimento de um circuito em VHDL para a abertura de uma cancela nos vários departamentos de uma empresa com 16 funcionários. Cada funcionário tem um código de 4 bits e pertence a 1 ou 2 departamentos. O objetivo é fazer a cancela abrir quando o circuito para os departamentos a que cada funcionário pertence. Para além do desenvolvimento do circuito em VHDL, temos também de realizar a implementação desse circuito com a placa de desenvolvimento DE10-Lite da Intel. Este circuito é desenvolvido a partir de uma tabela de verdade fornecida de forma aleatória a cada grupo pelo docente.

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	1	0	1
0	0	0	1	1	0	1	0
0	0	1	0	1	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	1	1	0	0
0	1	0	1	0	0	1	0
0	1	1	0	0	1	0	1
0	1	1	1	0	0	0	1
1	0	0	0	1	0	1	0
1	0	0	1	0	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	0	1	0	1
1	1	0	0	0	1	0	0
1	1	0	1	0	0	0	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

Tabela 1 – Tabela de verdade fornecida

Em que A0, A1, A2 e A3 representam os bits do número de funcionário e D0, D1, D2 e D3 são os 4 departamentos que existem dentro da empresa

## 2 Desenvolvimento do Trabalho

### 2.1 Determinação das expressões lógicas D0, D1, D2 e D3

Recorrendo a mapas de Karnaugh é possível determinar as expressões das várias funções booleanas D0, D1, D2 e D3.

	$\bar{A} \cdot \bar{B}$	$\bar{A} \cdot B$	$A \cdot B$	$A \cdot \bar{B}$
$\bar{A} \cdot \bar{B}$	0	1	0	1
$\bar{A} \cdot B$	1	0	0	0
$A \cdot B$	0	0	1	1
$A \cdot \bar{B}$	1	0	0	1

Tabela 2 – Mapa de Karnaugh da função D0

	$\bar{A} \cdot \bar{B}$	$\bar{A} \cdot B$	$A \cdot B$	$A \cdot \bar{B}$
$\bar{A} \cdot \bar{B}$	1	0	0	0
$\bar{A} \cdot B$	1	0	0	1
$A \cdot B$	1	0	0	0
$A \cdot \bar{B}$	0	0	1	1

Tabela 3 – Mapa de Karnaugh da função D1

	$\bar{A} \cdot \bar{B}$	$\bar{A} \cdot B$	$A \cdot B$	$A \cdot \bar{B}$
$\bar{A} \cdot \bar{B}$	0	1	1	1
$\bar{A} \cdot B$	0	1	0	0
$A \cdot B$	0	0	0	0
$A \cdot \bar{B}$	1	1	0	0

Tabela 4 – Mapa de Karnaugh da função D2

	$\bar{A} \cdot \bar{B}$	$\bar{A} \cdot B$	$A \cdot B$	$A \cdot \bar{B}$
$\bar{A} \cdot \bar{B}$	1	0	1	0
$\bar{A} \cdot B$	0	0	1	1
$A \cdot B$	0	1	0	1
$A \cdot \bar{B}$	0	1	1	0

Tabela 5 – Mapa de Karnaugh da função D3

Expressão D0:

$$D0 = \bar{A}1 \cdot A2 \cdot \bar{A}3 + A0 \cdot \bar{A}1 \cdot \bar{A}3 + A0 \cdot A1 \cdot A2 + \bar{A}0 \cdot \bar{A}1 \cdot \bar{A}2 \cdot A3 + \bar{A}0 \cdot \bar{A}1 \cdot \bar{A}2 \cdot A3 + \bar{A}0 \cdot A1 \cdot \bar{A}2 \cdot \bar{A}3$$

Expressão D1:

$$D1 = \bar{A}0 \cdot \bar{A}2 \cdot \bar{A}3 + \bar{A}0 \cdot A1 \cdot \bar{A}3 + A1 \cdot \bar{A}2 \cdot \bar{A}3 + A0 \cdot \bar{A}1 \cdot A2$$

Expressão D2:

$$D2 = \bar{A}0 \cdot \bar{A}2 \cdot A3 + \bar{A}0 \cdot \bar{A}1 \cdot A2 + A0 \cdot \bar{A}1 \cdot \bar{A}2$$

Expressão D3:

$$D3 = \bar{A}0 \cdot A2 \cdot A3 + \bar{A}1 \cdot A2 \cdot A3 + A1 \cdot A2 \cdot \bar{A}3 + A0 \cdot \bar{A}2 \cdot A3 + \bar{A}0 \cdot \bar{A}1 \cdot \bar{A}2 \cdot \bar{A}3$$

## 2.2 Logigrama das expressões lógicas D0, D1, D2 e D3

Estes são os logigramas das expressões lógicas:

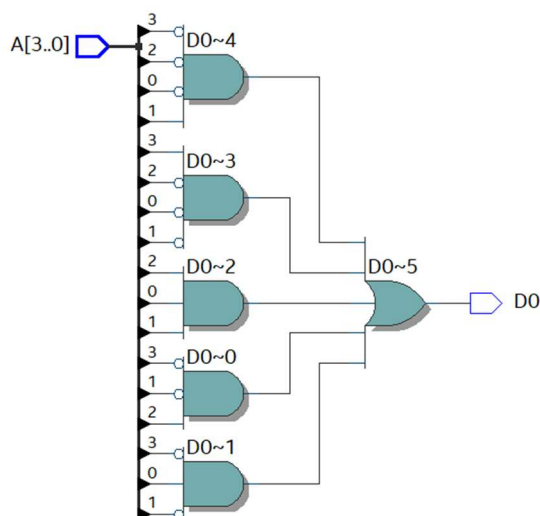


Imagem 1 – Diagrama lógico da expressão D0

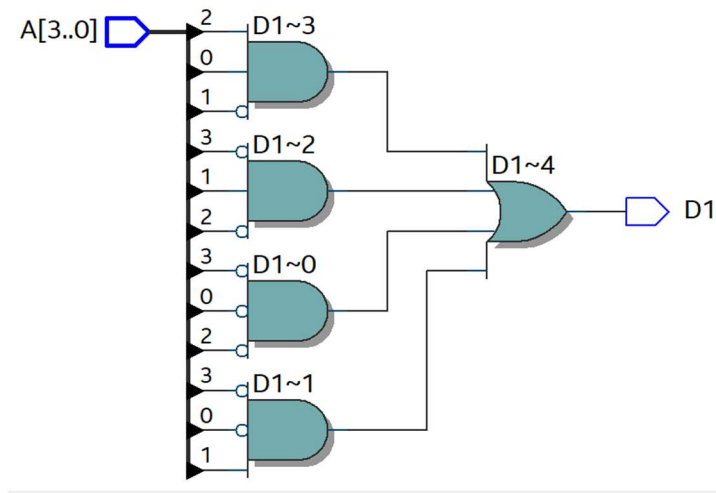


Imagem 2 – Diagrama lógico da expressão D1

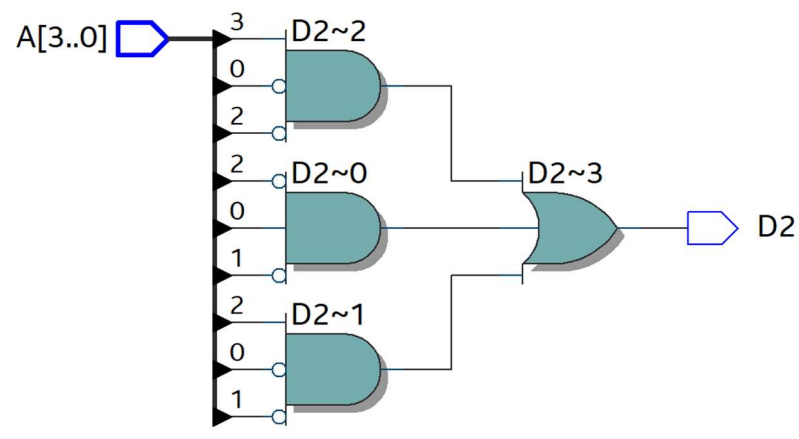


Imagem 3 – Diagrama lógico da expressão D2

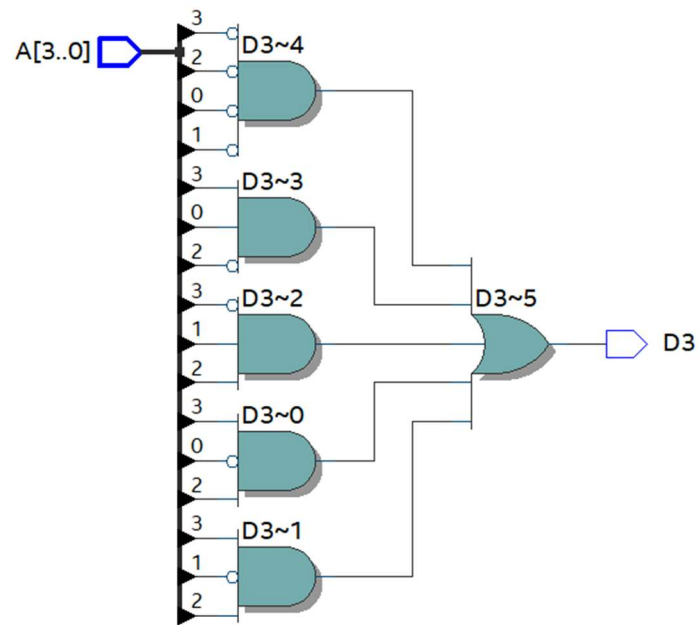


Imagem 4 – Diagrama lógico da expressão D3

### 3 Montagem e Teste Laboratorial

Após determinar as expressões lógicas de cada departamento, passamos ao desenvolvimento do circuito utilizando o software Quartus Prime com a finalidade de posteriormente ser implementado e testado utilizando a placa de desenvolvimento DE-Lite da Intel. Após descrevermos o circuito em VHDL, obtemos o seguinte circuito:

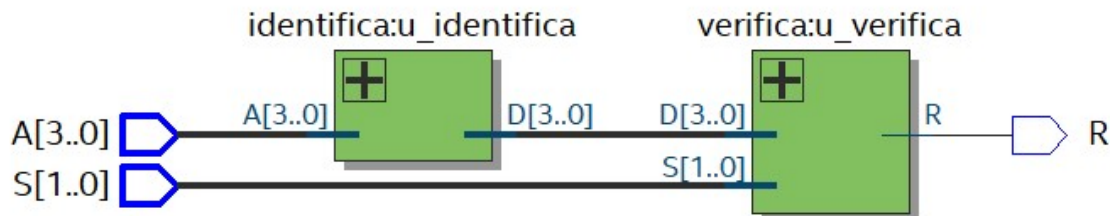


Imagem 5 – Circuito

Neste circuito, o componente **u\_identifica** é o módulo que identifica o departamento do funcionário e **u\_verifica** é o multiplexador que, recorrendo ao selecionador, irá abrir a porta da cancela se o funcionário pertencer ao departamento em que está a tentar entrar.

Antes de implementarmos na placa, testamos primeiro o funcionamento do circuito utilizando a simulação que está incluída no software, **RTL simulation**. Nessa simulação testamos em alguns funcionários, introduzindo a combinação de 4 bits que identifica cada funcionário e de seguida, utilizando a combinação de 2 bits do selecionador, verificámos se as cancelas abriam nos departamentos a que esse funcionário pertencia e se a cancela se mantinha fechada nos departamentos a que o funcionário não pertencia.

Apos essa testagem ainda no software, passámos à implementação do circuito na placa de desenvolvimento DE-Lite da Intel. Para isso, atribuímos 7 pinos (4 que identificavam o funcionário, 2 para o seletor e 1 LED para a cancela). Por fim, utilizamos os pinos para verificar os resultados que corresponderam com os dados fornecidos pelo docente, indicados na primeira tabela de verdade.

```
set_location_assignment PIN_C10 -to A[0]
set_location_assignment PIN_C11 -to A[1]
set_location_assignment PIN_D12 -to A[2]
set_location_assignment PIN_C12 -to A[3]

set_location_assignment PIN_B14 -to S[0]
set_location_assignment PIN_F15 -to S[1]

set_location_assignment PIN_A8 -to R
```

Imagem 6 – Atribuição dos pinos

## 4 Conclusões

Com este trabalho conseguimos aprofundar os nossos conhecimentos sobre circuitos combinatórios em VHDL utilizando vários módulos e também implementando e simulando numa placa DE10-Lite.

Verificou-se que para implementar estes tipos de circuitos é muito importante ter conhecimento sobre os mapas de Karnaugh, VHDL e também de como um Multiplexador funciona e a sua implementação.