

INSTITUTO SUPERIOR DE ENGENHARIA DE LISBOA

Licenciatura em Engenharia Informática e de Computadores

e

Licenciatura em Engenharia Informática, Redes e Telecomunicações



5.º Laboratório de Lógica e Sistemas Digitais

Circuitos Sequenciais - Contador

9 de dezembro de 2022

1 Objetivo

O objetivo principal deste trabalho é projetar um contador e descrevê-lo em VHDL. O contador será simulado e implementado com a placa de desenvolvimento DE10-Lite da Intel. O trabalho não conta para avaliação.

2 Descrição do Sistema de Contagem

Pretende-se desenvolver um sistema de contagem decrescente com valor máximo de contagem igual a 15 e com possibilidade de carregamento paralelo. A contagem deverá ser apresentada em um *display* de 7-segmentos da placa DE10-Lite. O circuito completo deverá ser desenvolvido de acordo com o diagrama de blocos da figura 1.

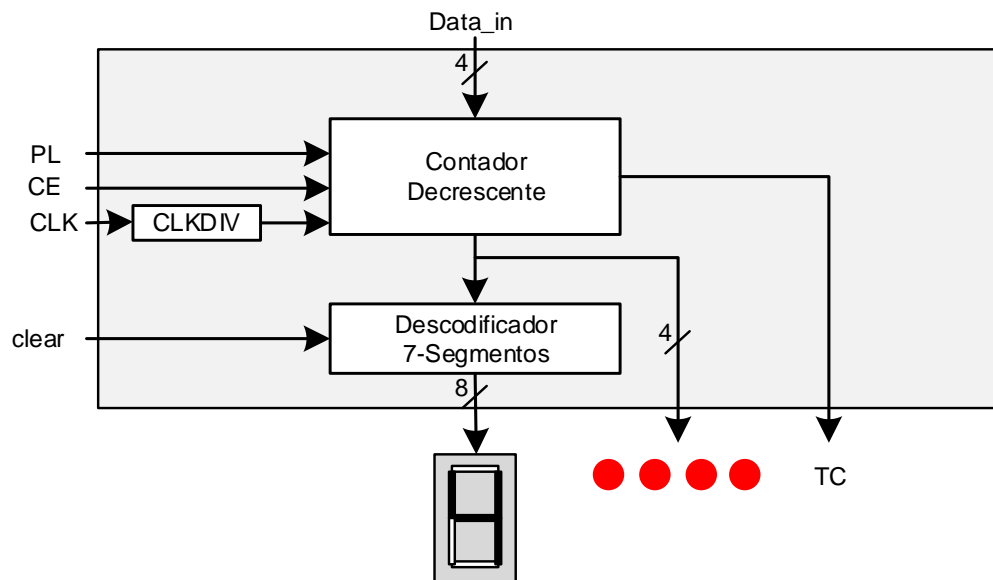


Figura 1 – Diagrama de blocos do sistema de contagem

O sistema tem as seguintes entradas e saídas:

- **Data_in**: Entrada de dados para carregamento paralelo;
- **PL** (*Parallel Load*): entrada síncrona de controlo do carregamento paralelo. Quando a '1', o valor *Data_in* é guardado no contador;
- **CE** (*Count Enable*): entrada síncrona de controlo da contagem. Quando a '1', o contador conta em modo decrescente;
- **Clear**: Entrada de controlo do display de 7-segmentos. Quando ativa o *display* de 7-segmentos fica apagado;
- **TC** (*Terminal Count*): Indica o fim de contagem. Quando a '1' indica que a contagem chegou a zero.

O sistema é constituído pelos seguintes módulos:

- Contador decrescente: realiza a contagem decrescente, com possibilidade de carregamento paralelo e controlo de contagem (a desenvolver);
- CLKDIV: divisor de relógio. Permite gerar um sinal de relógio (CLK) de 1 Hz a partir de um sinal de relógio de 50 MHz;
- Descodificador 7-Segmentos: descodifica um número entre 0 e 15 para código de 7-segmentos.

3 Desenvolvimento do Trabalho

Considere os seguintes passos de desenvolvimento do sistema de contagem:

1. Desenvolva o contador decrescente com carregamento paralelo;
2. Descreva o circuito em VHDL;
3. Simule o contador
4. Adicione o módulo CLKDIV e o decodificador de 7-segmentos;
5. Faça a atribuição de pinos;
6. Compile o circuito;
7. Teste em FPGA.