



Trabalho Prático 3

Memória e Portos

ARQUITETURA DE COMPUTADORES

DEPARTAMENTO DE ENGENHARIA ELETRÓNICA E DE
TELECOMUNICAÇÕES E COMPUTADORES

18 de Maio de 2022

1 Objetivos

Este trabalho tem como principal objetivo o estudo dos mecanismos de endereçamento usados pelos processadores modernos no acesso aos dispositivos de memória e aos periféricos.

Tomando como exemplo um sistema baseado no processador P16, aborda-se o projeto de módulos de memória e de portos paralelos de entrada e de saída, a utilização dos respetivos sinais de controlo e a geração dos sinais de seleção de endereços atribuídos aos dispositivos envolvidos, com destaque para a sua representação nos mapas de endereçamento, também designados por mapas de memória.

2 Trabalho a Realizar

O trabalho a realizar incide sobre o sistema apresentado na Figura 1, que descreve um exemplo de decodificação de endereços em torno de um processador P16, com alguns problemas no mapeamento em memória dos dispositivos.

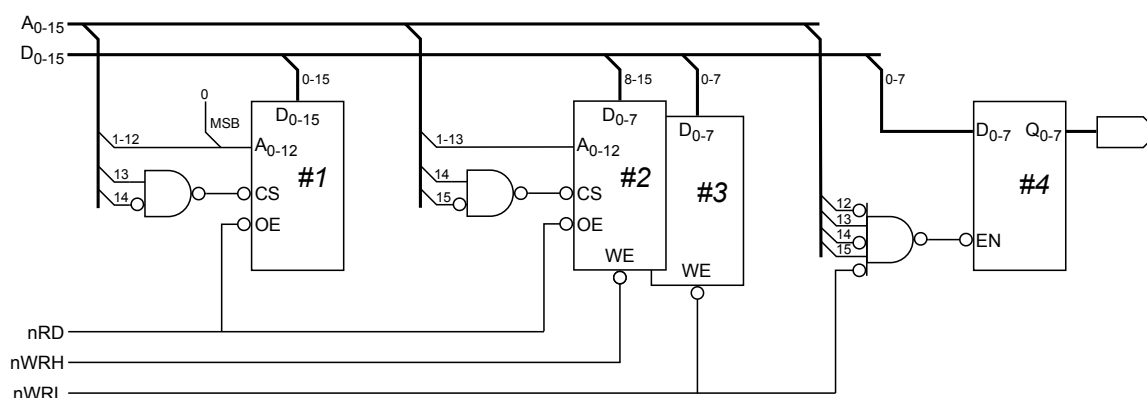


Figura 1: Diagrama lógico do sistema objeto de estudo.

2.1 Definição do mapa de endereçamento

- Caracterize o(s) módulo(s) de memória apresentados na Figura 1 quanto ao seu tipo e organização. Indique, também, a capacidade do(s) conjunto(s) que formam, em bytes.
- Caracterize o(s) porto(s) apresentados na Figura 1 quanto ao seu tipo, dimensão, em bytes, e modos de acesso suportados, i.e. *word-wise* e/ou *byte-wise*.
- Apresente o mapa de endereçamento do conjunto, explicitando as funcionalidades, as capacidades e os endereços de início e de fim do espaço atribuído a cada dispositivo/ conjunto de dispositivos. Se for o caso, indique no mapa também a ocorrência de subaproveitamento ou de *fold-back* e a localização de zonas interditas (também designadas por "conflito").
- Comente a seguinte afirmação: "A capacidade de memória instalada no sistema é plenamente acessível."

2.2 Caracterização da atividade dos barramentos

Numa tabela com o formato indicado na Tabela 1, apresente a atividade dos barramentos e dos sinais em referência, quando observados passo-a-passo, para a execução do troço de código apresentado na Listagem 1 sobre o sistema apresentado na Figura 1.

Considere seguintes valores iniciais para os registos do processador: R0=0xA055, R1=0xA000, SP=0x8000 e PC=0x2000.

```

push r0
mov r2, r13
strb r0, [r1, #0]
ldrb r0, [r2, #1]
lsl r2, r0, #8
ldr r0, [r2, #0]

```

Listagem 1: Troço de código objeto de estudo.

Instrução	Controlo			Endereço	Dados ¹
	nRD	nWRH	nWRL	A15 ... A0	D15 ... D0
				0x2000	

Tabela 1: Tabela exemplo para o registo da atividade nos barramentos do processador.

2.3 Evolução da arquitetura

Pretende-se redesenhar o sistema apresentado para que passe a ser completamente funcional, cumprindo os seguintes critérios:

- Utilizar todos os módulos de memória já existentes;
 - Aumentar para 16 KB a quantidade de memória disponível do tipo ROM;
 - Acrescentar 8 KB de memória do tipo RAM;
 - Garantir que a dimensão do espaço atribuído a cada módulo de memória é coincidente com a sua capacidade;
 - Utilizar gamas de endereços contíguas para localizar os módulos de memória do mesmo tipo;
 - Acrescentar um porto de entrada a 16 bits, com acesso *byte-wise* e *word-wise*;
 - Impedir a existência de zonas interditas;
 - Assegurar a execução do programa imediatamente após a ligação da energia elétrica.
- a) Apresente o mapa de endereçamento do novo sistema, de acordo com os requisitos enunciados, explicitando as funcionalidades, as capacidades e os endereços de início e de fim do espaço atribuído a cada dispositivo/ conjunto de dispositivos e, se for o caso, inscrevendo também a ocorrência de *fold-back*.
 - b) Indique as expressões lógicas dos sinais *chip select* de todos os dispositivos envolvidos, conforme a solução apresentada na alínea a).
 - c) Apresente o diagrama correspondente à instalação da nova RAM, conforme a solução apresentada na alínea b) e escolhendo os dispositivos que considerar mais adequados, de entre os seguintes: 4 K × 4, 4 K × 8, 8 K × 8 e 8 K × 16.
 - d) Apresente o diagrama relativo ao novo porto, conforme a solução apresentada na alínea b) e recorrendo aos circuitos que considerar mais adequados, de entre os seguintes: registos do tipo *edge-triggered* ou *latch*, com 8 bits e 16 bits, e *tri-state buffers*, também com 8 bits e 16 bits.

3 Avaliação

O trabalho deve ser realizado em grupo e conta para o processo de avaliação da unidade curricular.

Na entrega do trabalho, cada grupo deverá submeter na plataforma Moodle um relatório do trabalho realizado com as respostas às perguntas formuladas no enunciado, descrevendo, sucintamente, os raciocínios e os cálculos efetuados.

A data limite para a entrega dos trabalhos é 27 de maio de 2022. Após esta entrega, o docente responsável pela lecionação das aulas teórico-práticas combinará com cada grupo de alunos uma data e hora para a realização da apresentação do trabalho.

¹Genericamente, no barramento de dados pode ocorrer um valor concreto, alta impedância (ZH) ou conflito (conf).