

INSTITUTO SUPERIOR DE ENGENHARIA DE LISBOA

Licenciatura em Engenharia Informática e de Computadores

e

Licenciatura em Engenharia Informática, Redes e Telecomunicações



2.º Trabalho de Laboratório de Lógica e Sistemas Digitais

Circuitos Aritméticos

12 de novembro de 2022

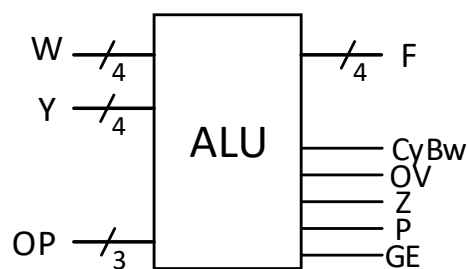
1 Objetivo

O objetivo deste trabalho é descrever um circuito aritmético (ALU - Unidade Lógica e Aritmética) com base em VHDL estrutural, simular e implementar o circuito na placa de desenvolvimento DE10-Lite da Intel. O trabalho é obrigatório e conta para a avaliação prática.

2 Descrição do circuito a desenvolver

Pretende-se projetar uma unidade aritmética que realize as operações $W + Y$, $W/2 + Y$, $W - Y$, $W/2 - Y$, W and Y , W or Y , W xor Y e not W sobre operandos de 4 bits. O resultado tem 4 bits e deve gerar as *flags* *CyBw* (*Carry/Borrow*), *OV* (*Overflow*), *Z* (*Zero*), *P* (*Paridade*) e *GE* (*Greater or Equal*).

As entradas e saídas do sistema, bem como as operações, estão representadas na Figura 1.



OP	Operação	CyBw	OV	Z	P	GE
0 0 0	W and Y	-	-	X	X	-
0 0 1	W or Y	-	-	X	X	-
0 1 0	W xor Y	-	-	X	X	-
0 1 1	not W	-	-	X	X	-
1 0 0	$W + Y$	X	X	X	X	-
1 0 1	$W - Y$	X	X	X	X	X
1 1 0	$W/2 + Y$	-	X	X	X	-
1 1 1	$W/2 - Y$	-	X	X	X	X

Figura 1 – Especificação da ALU a desenvolver

As entradas W e Y são os operandos de 4 bits e a entrada OP seleciona a operação a realizar. Para as operações aritméticas, considere que os operandos estão representados em números naturais, (\mathbb{N} , inteiros sem sinal) e relativos (\mathbb{Z} , inteiros com sinal), exceto nas operações que envolvam a divisão por dois, só representados em números relativos. A saída F também de 4 bits é o resultado da operação, no mesmo domínio dos operandos. Adicionalmente, são gerados ainda cinco indicadores de erro e relação (*flags*):

- *CyBw* (*Carry/Borrow*): Representa o *carry* de saída da operação de soma ou o *borrow* de saída da operação de subtração. Fica ativa quando o resultado excede o domínio dos números naturais;

- **OV (Overflow):** Fica ativa quando o resultado excede o domínio dos números relativos;
- **Z (Zero):** Fica ativa quando o resultado é igual a zero;
- **P (Paridade):** Fica ativa quando o número de bits com o valor lógico '1' do resultado é ímpar;
- **GE (Greater or Equal):** Fica ativa quando o primeiro operando é maior do que o segundo, considerando-se apenas na representação de números relativos;

Em algumas operações, o valor das *flags* não tem significado (ver tabela junta à Figura 1). Por exemplo, nas operações lógicas apenas as *flags* Z e P têm significado. As restantes *flags* não têm significado nas operações lógicas, podendo assumir qualquer valor.

3 Realização do Trabalho

O circuito deverá ser implementado de acordo com o diagrama de blocos da Figura 2.

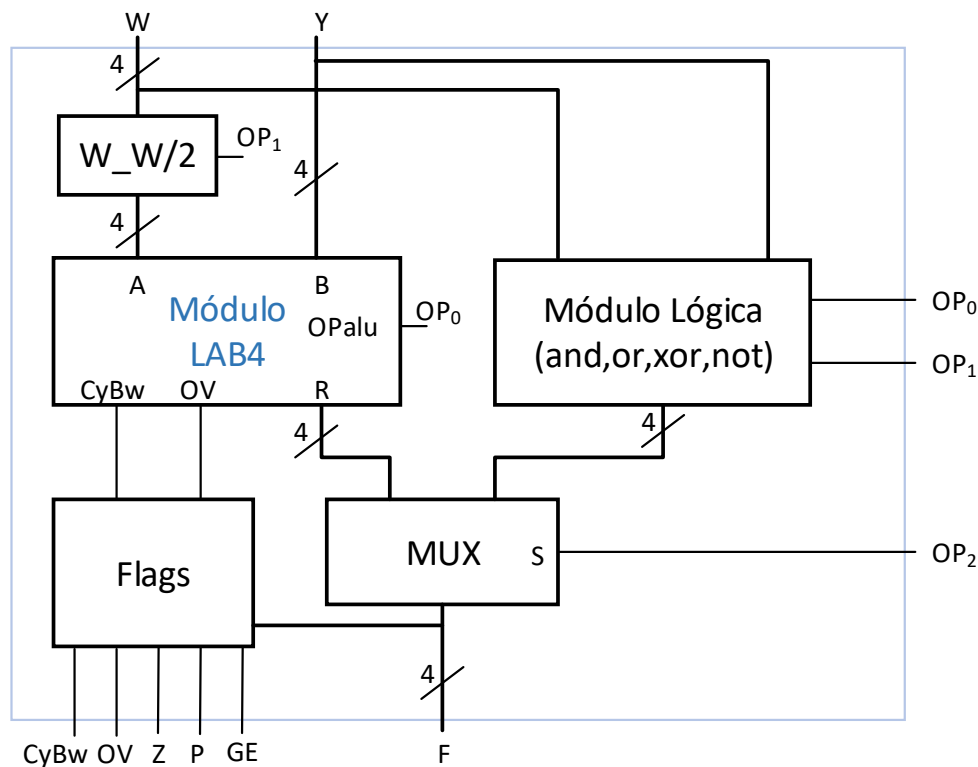


Figura 2 – Diagrama de blocos da ALU

Para o projeto da ALU deverá elaborar os seguintes passos:

1. Considere o módulo aritmético desenvolvido no laboratório LAB4 (*Módulo LAB4*);
2. Desenvolva e descreva em VHDL o módulo de lógica com base no módulo desenvolvido no LAB3;
3. Desenvolva e descreva em VHDL o módulo *Flags*, com base nas *flags* geradas pelo módulo LAB4 e no resultado R para gerar as cinco *flags* do circuito;
4. Desenvolva e descreva em VHDL o módulo $W_W/2$ (W_Wdiv2 , em VHDL) que realiza condicionalmente a operação $W/2$;
5. Reúna todas as unidades numa entidade de topo que corresponde à descrição completa da ALU;
6. Simule o circuito (considere o ficheiro de teste anexo ao trabalho);
7. Implemente o circuito na placa DE10-Lite;
8. Confirme o funcionamento do circuito para as combinações de entrada dadas na tabela do anexo A;

Deverá apresentar um relatório do trabalho desenvolvido com a seguinte estrutura:

1. Capa com a indicação do curso, unidade curricular, elementos do grupo (número e nome), nome do trabalho;
2. Introdução: breve descrição do trabalho a desenvolver e quais os objetivos;
3. Análise e Projeto: descrição de todas as funções lógicas e diagramas lógicos;
4. Montagem laboratorial: Resultados experimentais e confirmação dos resultados teóricos;
5. Conclusão: comentário sobre o trabalho desenvolvido e sobre os resultados obtidos.
6. Anexo: Código VHDL

ANEXO A

							Resultado Teórico								Resultado Experimental							
OP	W ₍₂₎	W _(N)	W _(Z)	Y ₍₂₎	Y _(N)	Y _(Z)	F ₍₂₎	F _(N)	F _(Z)	CyBw	OV	Z	P	GE	F ₍₂₎	F _(N)	F _(Z)	CyBw	OV	Z	P	GE
1 0 0	1010			0101																		
1 0 0	1010			1101																		
1 0 0	0110			0101																		
1 0 0	1010			1010																		
1 0 1	1010			0101																		
1 0 1	1010			1101																		
1 0 1	0110			0101																		
1 0 1	1010			1010																		
1 1 0	1010			0101																		
1 1 0	1010			1101																		
1 1 0	0110			0101																		
1 1 0	1010			1010																		
1 1 1	1010			0101																		
1 1 1	1010			1101																		
1 1 1	0110			0101																		
1 1 1	1010			1010																		
0 0 0	1011			1101																		
0 0 1	1011			1101																		
0 1 0	1011			1101																		
0 1 1	1011			1101																		

