

Actividad 7 - Unidad aritmética lógica

Electrónica II para Ing. Electrónica. 2025

Objetivos

1. Diseña, describe en VHDL y evalúa mediante banco de pruebas automático una unidad aritmética-lógica de W bits (parametrizado), con entradas de selector sel_fn , operandos A , B , salidas de resultado Y e indicación de resultado igual a cero Z , que implemente las funciones indicadas por la Tabla 1.

Tabla 1: Funciones de la ALU.

| sel_fn | Y | Z |
|-----------|---------------------------|---------|
| 0000 | $A + B$ | $Y = 0$ |
| 0001 | $A - B$ | $Y = 0$ |
| 001- | $A \ll B$ | $Y = 0$ |
| 010- | $A < B$ Complemento a 2 | $Y = 0$ |
| 011- | $A < B$ Binario natural | $Y = 0$ |
| 100- | $A \oplus B$ | $Y = 0$ |
| 1010 | $A \gg B$ Binario natural | $Y = 0$ |
| 1011 | $A \gg B$ Complemento a 2 | $Y = 0$ |
| 110- | $A \vee B$ | $Y = 0$ |
| 111- | $A \wedge B$ | $Y = 0$ |

Notas: sel_fn es la entrada de selección, de 4 bit. A y B son los operandos, de W bit. Y es el resultado, de W bit y Z es la indicación de resultado cero, de un bit. Los operadores \ll y \gg denotan desplazamiento a la izquierda y desplazamiento a la derecha respectivamente. Los operadores $=$ y $<$ denotan las operaciones relacionales *igual a* y *menor que*, que evalúan a 1 si se cumple la condición y 0 en caso contrario.

2. Utilizando la ALU desarrollada en 1, realiza una calculadora de 4 bits en la placa edu-ciaa-fpga. La calculadora tendrá dos registros, A y B de 4 bit. Su entrada será un panel de 8 bits controlado por interruptores según el esquema de la figura 1. Los registros operarán en forma sincrónica con el reloj de 12 MHz conectado al pin 94 de la fpga. El contenido de un registro, A o B se mostrará mediante un display de 7 segmentos, en hexadecimal. El punto del display de 7 segmentos mostrará el estado de la salida Z de la ALU.

Figura 1: Panel de interruptores

```
7 6 5 4 3 2 1 0
| | | | | | | |
| | | | | | | +-- x(0)
| | | | | | +---- x(1)
| | | | | +----- x(2)
| | | | +----- x(3)
| | | +----- flanco ascendente -> A <- x
| | +----- flanco ascendente -> B <- x
| +----- flanco ascendente -> A <- Y para (A: A, B: B, sel_fn: x)
+----- (0 -> display <- A) (1 -> display <- B)
```

Entregables

Un repositorio GIT con las descripciones de hardware y bancos de prueba desarrollados, incluyendo además un informe con la siguiente estructura:

- *Título*
- *Autor*
- *Resumen* (1 punto)
- *Introducción* (2 punto) Presenta las especificaciones de los componentes a desarrollar.
- *Desarrollo* (2 puntos) Explica el proceso de diseño, incluyendo diagramas, esquemas y tablas según sea necesario.
- *Resultados* (2 puntos) Describe los resultados obtenidos.
- *Conclusiones* (2 puntos) En base a tus resultados, concluye sobre la utilidad de la ALU desarrollada.
- *Referencias* (1 punto) Debes utilizar citas bibliográficas durante el desarrollo siempre que emplees ideas tomadas de la bibliografía. Esta sección incluye las referencias bibliográficas correspondientes, en formato APA.