



# Instituto Tecnológico de Aeronáutica - ITA

## Divisão de Engenharia Eletrônica

Departamento de Eletrônica Aplicada

Laboratório de EEA-21

# Lab4

## 4ª Experiência

### Síntese e Análise de uma Unidade Lógica Aritmética (ULA)

#### 1. Objetivos

- a. Familiarização com a implementação de circuitos digitais em *protoboard*;
- b. Familiarização com técnica de Mapa de Karnaugh reduzido.;
- c. Estudo de Unidade Lógica Aritmética;

#### 2. Instruções gerais

Para cada um dos tópicos abaixo, observe o que se pede em negrito. Quando a solicitação é da forma:

- “**Projete**”, espera-se que os alunos projetem os circuitos seguindo algum tipo de especificação **dada**. Assim, os cálculos combinacionais, procedimentos de minimização ou outros mecanismos utilizados para o projeto e o diagrama esquemático final do circuito devem ser mostrados (constar do relatório).
- “**Monte**”, espera-se que o circuito dado ou projetado seja montado em *protoboard* de maneira organizada, com as entradas e saídas identificadas. Os **componentes** serão fornecidos pelo almoxarifado, devendo os mesmos ser retornados após a avaliação dos circuitos pelo instrutor.
- “**Simule**”, espera-se que seja utilizado um software de captura esquemática para a obtenção dos resultados. Assim, o diagrama esquemático (no caso de captura esquemática) deve ser apresentado, bem como o diagrama de temporização contendo as entradas e as saídas.
- “**Analise**”, espera-se que sejam obtidas as expressões lógicas, tabelas verdade, a partir de um diagrama esquemático, diagrama de temporização ou outra informação sobre o circuito lógico. Dessa forma, os procedimentos de análise devem ser mostrados no relatório.

*Um breve comentário sobre os resultados, observações e dificuldades é esperado para todas as tarefas.*

### 3. Informações úteis

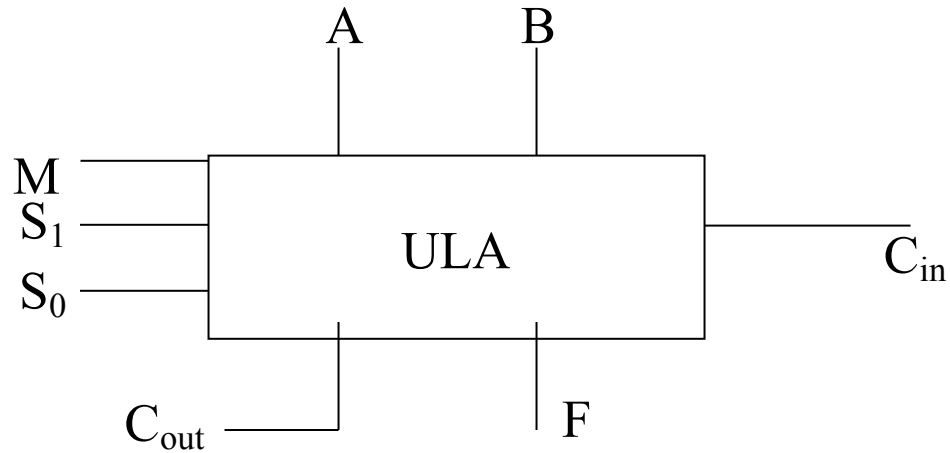
#### 3.1 Especificações básicas da ULA 74181

Pin Names	Description		
A0–A3	Operand Inputs	B0	1
B0–B3	Operand Inputs	A0	2
S0–S3	Function Select Inputs	S3	3
M	Mode Control Input	S2	4
$\overline{C}_n$	Carry Input	S1	5
F0–F3	Function Outputs	S0	6
A = B	Comparator Output	$\overline{C}_n$	7
G	Carry Generate Output	M	8
P	Carry Propagate Output	F0	9
$\overline{C}_{n+4}$	Carry Output	F1	10
		F2	11
		GND	12
		24	$V_{CC}$
		23	A1
		22	B1
		21	A2
		20	B2
		19	A3
		18	B3
		17	G
		16	$\overline{C}_{n+4}$
		15	P
		14	A=B
		13	F3

Tabela 1 - Tabela verdade para ULA 74181

SELECTION				ACTIVE-HIGH DATA		
				M = H LOGIC FUNCTIONS	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0		$\overline{C}_n = H$ (no carry)	$\overline{C}_n = L$ (with carry)
L	L	L	L	$F = \overline{A}$	$F = A$	$F = A \text{ PLUS } 1$
L	L	L	H	$F = \overline{A + B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L	L	H	L	$F = \overline{AB}$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } 1$
L	L	H	H	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
L	H	L	L	$F = \overline{AB}$	$F = A \text{ PLUS } \overline{AB}$	$F = A \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	L	H	$F = \overline{B}$	$F = (A + B) \text{ PLUS } \overline{AB}$	$F = (A + B) \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H	$F = \overline{AB}$	$F = \overline{AB} \text{ MINUS } 1$	$F = \overline{AB}$
H	L	L	L	$F = \overline{A + B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H	$F = \overline{A \oplus B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L	$F = B$	$F = (A + \overline{B}) \text{ PLUS } AB$	$F = (A + \overline{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L	$F = 1$	$F = A$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H	$F = A + \overline{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L	$F = A + B$	$F = (A + \overline{B}) \text{ PLUS } A$	$F = (A + \overline{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

### 3.2 Projeto completo de uma ULA de um bit: Seja a ULA de n bits representada na Figura a seguir:

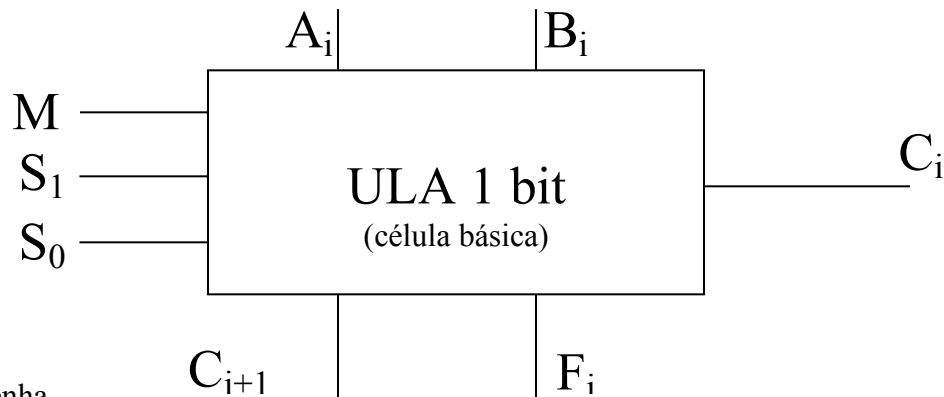


Consideremos as operações apresentadas na Tabela 3.

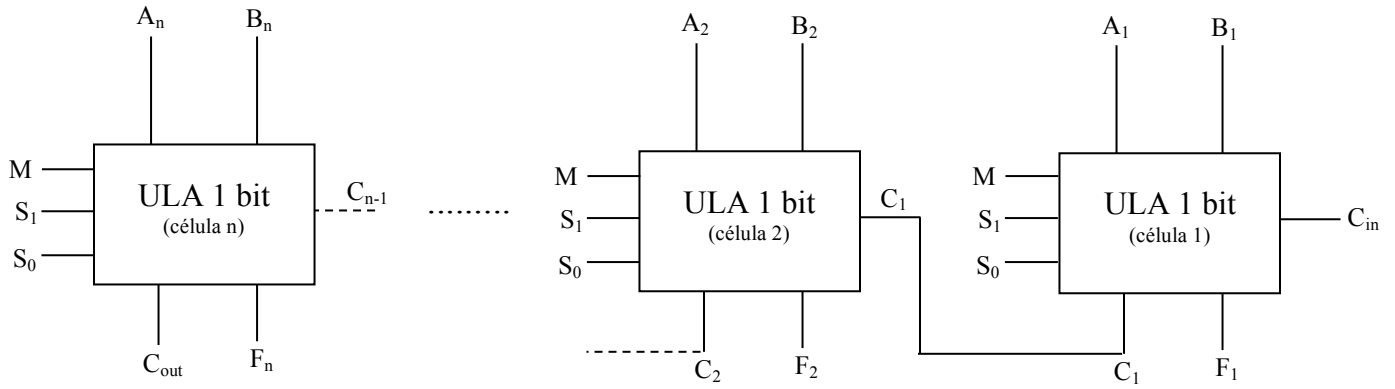
**Tabela 3:** Tabela de operações da ULA a ser projetada.

M	C <sub>in</sub>	S <sub>1</sub>	S <sub>0</sub>	Saída	Comentário
1	0	0	0	$F = A$	Entrada A transferida para a Saída
1	0	0	1	$F = \overline{A}$	Complemento de um de A
1	0	1	0	$F = A \text{ mais } B$	Soma de A com B
1	0	1	1	$F = \overline{A} \text{ mais } B$	Soma de B e complemento de um de A
1	1	0	0	$F = A \text{ mais } 1$	Incrementa A
1	1	0	1	$F = \overline{A} \text{ mais } 1$	Complemento de dois de A
1	1	1	0	$F = A \text{ mais } B \text{ mais } 1$	Incrementa soma de A mais B
1	1	1	1	$F = \overline{A} \text{ mais } B \text{ mais } 1$	B menos A
0	X	0	0	$F_i = A_i$	Entrada A <sub>i</sub> transferida para a saída F <sub>i</sub>
0	X	0	1	$F_i = \overline{A_i}$	Entrada A <sub>i</sub> complementada e transferida para a saída F <sub>i</sub>
0	X	1	0	$F_i = A_i \oplus B_i$	Ou exclusivo
0	X	1	1	$F_i = \overline{A_i \oplus B_i}$	Não ou exclusivo

O projeto consistirá na célula básica de 1 bit para esta ULA:



de modo que se tenha



### 3.2.1 Elaboração dos mapas de Karnaugh e redução das funções F e Carry out.

**Função de saída  $F_i$ :**

$\begin{matrix} S_1 S_0 \\ \backslash \\ M \end{matrix}$	00	01	11	10
0	$A_i$	$\overline{A_i}$	$\overline{A_i \oplus B_i}$	$A_i \oplus B_i$
1	$A_i \oplus C_i$	$\overline{A_i \oplus C_i}$	$\overline{A_i \oplus B_i \oplus C_i}$	$A_i \oplus B_i \oplus C_i$

Deste mapa obtém-se a seguinte expressão, onde os termos envolvendo operações XOR com  $C_i$  foram escritos na forma de soma de produtos:

$$\begin{aligned}
 F_i = & \underline{\overline{S_1} \cdot \overline{S_0} \cdot \overline{M} \cdot A_i} + \underline{\overline{S_1} \cdot S_0 \cdot \overline{M} \cdot \overline{A_i}} + \underline{S_1 \cdot S_0 \cdot \overline{M} \cdot \overline{A_i \oplus B_i}} + \underline{S_1 \cdot \overline{S_0} \cdot \overline{M} \cdot (A_i \oplus B_i)} + \\
 & + \underline{\overline{S_1} \cdot \overline{S_0} \cdot M \cdot A_i \cdot \overline{C_i}} + \underline{\overline{S_1} \cdot \overline{S_0} \cdot M \cdot \overline{A_i} \cdot C_i} + \underline{\overline{S_1} \cdot S_0 \cdot M \cdot A_i \cdot C_i} + \underline{\overline{S_1} \cdot S_0 \cdot M \cdot \overline{A_i} \cdot \overline{C_i}} + \\
 & + \underline{S_1 \cdot S_0 \cdot M \cdot C_i \cdot (A_i \oplus B_i)} + \underline{S_1 \cdot S_0 \cdot M \cdot \overline{C_i} \cdot (A_i \oplus B_i)} + \underline{S_1 \cdot \overline{S_0} \cdot M \cdot C_i \cdot (A_i \oplus B_i)} + \underline{S_1 \cdot \overline{S_0} \cdot M \cdot \overline{C_i} \cdot (A_i \oplus B_i)}
 \end{aligned}$$

Considerando os termos sublinhados, e efetuando algumas simplificações, chega-se à expressão

$$\underline{F_i = S_1 (A_i \oplus B_i) ((\overline{MC_i}) \oplus S_0)} + \underline{S_1 (\overline{A_i \oplus B_i}) ((MC_i) \oplus S_0)} + \underline{\overline{S_1} A_i ((\overline{MC_i}) \oplus S_0)} + \underline{\overline{S_1} \overline{A_i} ((MC_i) \oplus S_0)}$$

Chamemos  $Z = ((MC_i) \oplus S_0)$ . Expandindo a expressão acima obtida, e multiplicando os dois últimos termos por  $(B_i + \overline{B_i})$  teremos:

$$F_i = S_1 A_i \overline{B_i} \overline{Z} + S_1 \overline{A_i} B_i \overline{Z} + S_1 A_i B_i Z + S_1 \overline{A_i} \overline{B_i} Z + \overline{S_1} A_i B_i \overline{Z} + \overline{S_1} A_i \overline{B_i} \overline{Z} + \overline{S_1} \overline{A_i} B_i Z + \overline{S_1} \overline{A_i} \overline{B_i} Z$$

cujos termos podem ser rearranjados para termos

$$F_i = S_1 \overline{A_i} B_i \overline{Z} + S_1 A_i B_i Z + \overline{S_1} \overline{A_i} \overline{B_i} Z + \overline{S_1} \overline{A_i} B_i \overline{Z} + \overline{S_1} A_i \overline{B_i} \overline{Z} + \overline{S_1} A_i B_i Z + \overline{S_1} \overline{A_i} B_i Z + \overline{S_1} \overline{A_i} \overline{B_i} Z$$

$$F_i = (S_1 B_i) \overline{A_i} \overline{Z} + (S_1 B_i) A_i Z + \overline{B_i} \overline{A_i} Z + \overline{B_i} A_i \overline{Z} + \overline{S_1} B_i (A_i \overline{Z} + \overline{A_i} Z)$$

$$F_i = (S_1 B_i) (\overline{A_i} \overline{Z} + A_i Z) + \overline{B_i} (\overline{A_i} Z + A_i \overline{Z}) + \overline{S_1} B_i (A_i \overline{Z} + \overline{A_i} Z)$$

$$F_i = (S_1 B_i) (\overline{A_i} \overline{Z} + A_i Z) + (\overline{B_i} + \overline{S_1} B_i) (\overline{A_i} \overline{Z} + A_i Z)$$

$$F_i = (S_1 B_i) (\overline{A_i} \overline{Z} + A_i Z) + (\overline{S_1} + \overline{B_i}) (\overline{A_i} \overline{Z} + A_i Z) = (S_1 B_i) (\overline{A_i} \oplus Z) + (\overline{S_1} B_i) (A_i \oplus Z)$$

$$F_i = (S_1 B_i) \oplus A_i \oplus Z$$

e finalmente, como  $Z = ((MC_i) \oplus S_0)$

$$F_i = (S_1 B_i) \oplus A_i \oplus S_0 \oplus (MC_i)$$

**Função Carry:**

$\begin{matrix} S_1 S_0 \\ M \end{matrix}$	00	01	11	10
0	$X$	$X$	$X$	$X$
1	$A_i \cdot C_i$	$\overline{A_i} \cdot C_i$	$\overline{A_i} (B_i \oplus C_i) + B_i \cdot C_i$	$A_i (B_i \oplus C_i) + B_i \cdot C_i$

Deste mapa pode-se extrair a seguinte expressão, onde as operações XOR foram escritas na forma de soma de produtos:

$$C_{i+1} = \overline{S_1} \cdot \overline{S_0} A_i C_i + \overline{S_1} S_0 \overline{A_i} C_i + S_1 S_0 \overline{A_i} B_i \overline{C_i} + S_1 S_0 \overline{A_i} B_i C_i + \\ + S_1 S_0 B_i C_i + S_1 \overline{S_0} \overline{A_i} B_i \overline{C_i} + S_1 \overline{S_0} \overline{A_i} B_i C_i + S_1 \overline{S_0} B_i C_i$$

que pode ser simplificada para

$$C_{i+1} = \overline{S_1} C_i (A_i \oplus S_0) + S_1 B_i \overline{C_i} (A_i \oplus S_0) + S_1 \overline{B_i} C_i (A_i \oplus S_0) + S_1 B_i C_i$$

ou

$$C_{i+1} = (A_i \oplus S_0) [\overline{S_1} C_i + S_1 B_i \overline{C_i} + S_1 \overline{B_i} C_i] + S_1 B_i C_i$$

Levando em conta que para  $M = 0$  temos *don't care*, a seguinte expressão não altera os valores de

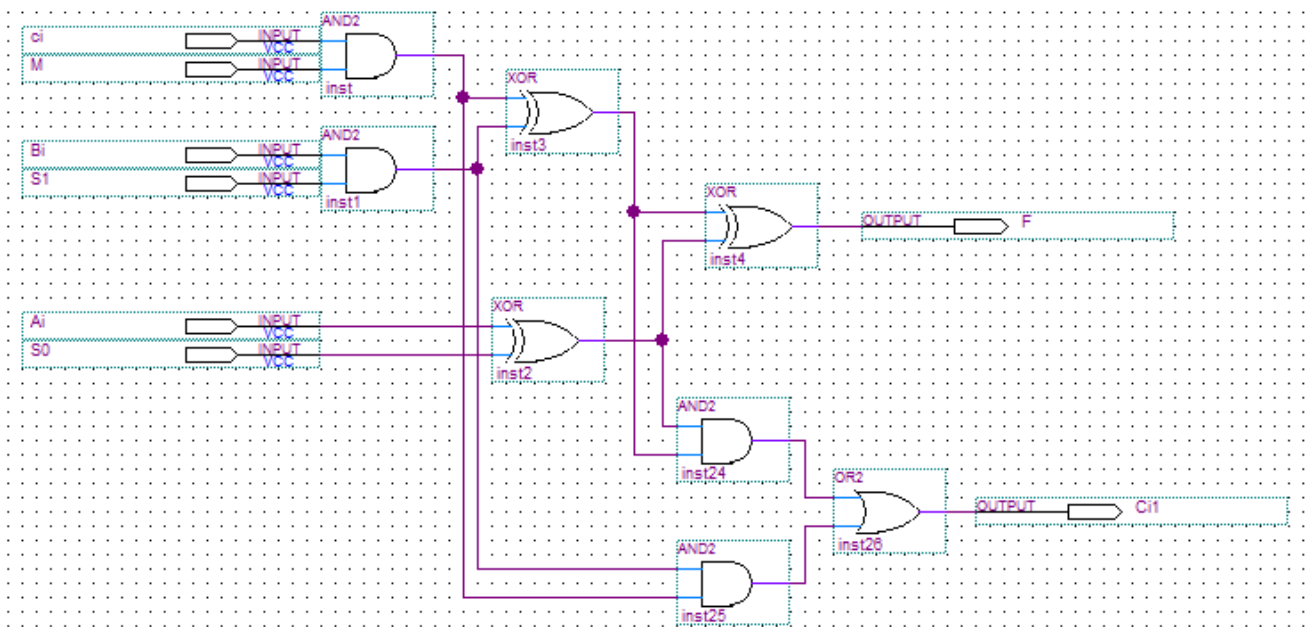
$C_{i+1}$  quando  $M = 1$ :

$$C_{i+1} = (A_i \oplus S_0) [\overline{S_1} MC_i + S_1 B_i \overline{MC_i} + S_1 \overline{B_i} MC_i] + S_1 B_i MC_i$$

Simplificando esta última expressão, obtém-se:

$$C_{i+1} = (A_i \oplus S_0) [(S_1 B_i) \oplus (MC_i)] + (S_1 B_i)(MC_i)$$

### 3.2.2 Desenho esquemático do circuito:



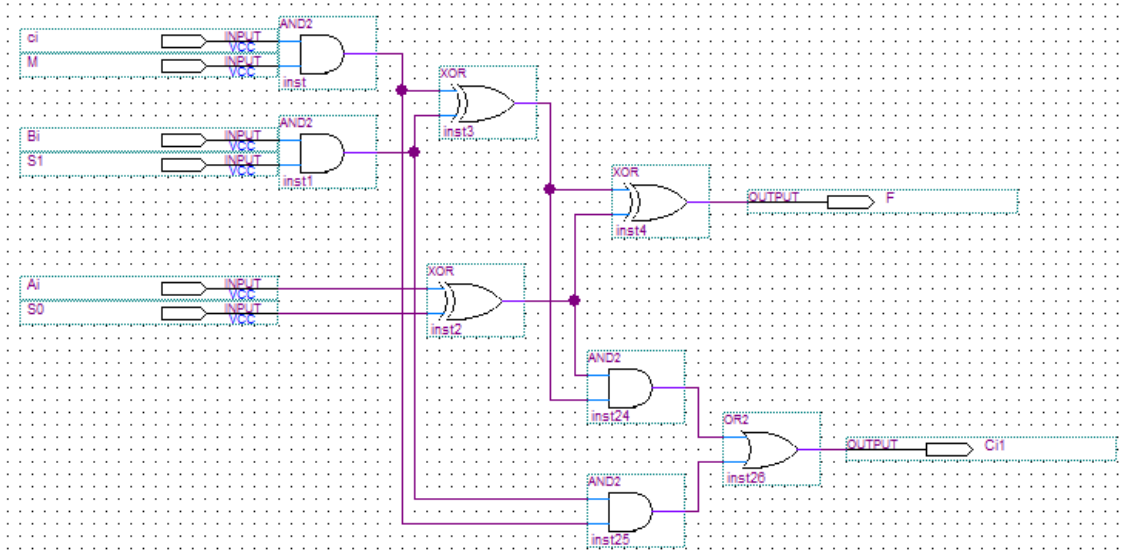
### 4 Material necessário para as montagens:

CI 74181- ULA 4bits  
 CI 7404 - 6 NOTs  
 CI 7408- 4 ANDS  
 CI 7432 - 4 ORs  
 CI 7486 – 4XORs

### 5. Montagens:

#### 5.1 Tarefa 5.1: Montagem de uma ULA de 1 bit

Monte a ULA de 1 bit esquematizada no circuito lógico abaixo.



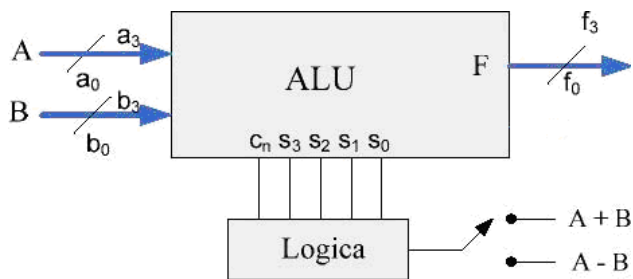
Verifique a validade da tabela de operações abaixo:

M	$C_i$	$S_1$	$S_0$	Saída	Comentário
1	0	0	0	$F=A$	Entrada A transferida para a Saída
1	0	0	1	$F=\overline{A}$	Complemento de um de A
1	0	1	0	$F=A$ mais B	Soma de A com B
1	0	1	1	$F=\overline{A}$ mais B	Soma de B e complemento de um de A
1	1	0	0	$F=A$ mais 1	Incrementa A
1	1	0	1	$F=\overline{A}$ mais 1	Complemento de dois de A
1	1	1	0	$F=A$ mais B mais 1	Incrementa soma de A mais B
1	1	1	1	$F=\overline{A}$ mais B mais 1	B menos A

## 5.2 Tarefa 5.2: Projeto e montagem de uma ULA de 4 bits utilizando o circuito integrado 74181

Utilizando a ULA monte 74181, projete e um circuito que realize as seguintes operações:

$(0)_d + (0)_d$ ,  $(3)_d + (5)_d$ ,  $(8)_d - (5)_d$ ,  $(8)_d + (8)_d$ . Esse circuito deve ter uma única chave para comutar entre a operação de soma e de subtração. Observe o diagrama de blocos abaixo.

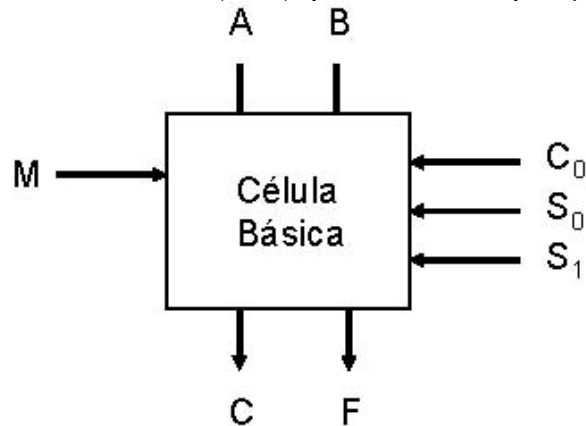


## 6. Simulação:

As Simulações são Tarefas a serem feitas em casa e incorporadas ao Relatório do Lab4.

### 6.1 Tarefa 6.1: Simulação de uma célula básica ULA de 1 bit

**Projete** uma ULA como célula básica (1 bit) que executa as operações da tabela abaixo:



S <sub>1</sub>	S <sub>0</sub>	M=1	M=0	
			C <sub>0</sub> =0	C <sub>0</sub> =1
0	0	$\bar{A}$	F = $\bar{A}$	A menos B
0	1	$\bar{A}B$	F = A mais B	B menos A
1	0	$\bar{A} + B$	F = $\bar{A}$ mais B	A menos 1
1	1	$A \oplus B$	F = A mais 1	F = A mais (A+B) mais 1

Mostre:

- A tabela de verdade de F e C de cada operação;
- A tabela de verdade de F e C;
- A implementação desta ULA usando **MUX 8x1** que possua uma entrada “Enable”.

### 6.2 Tarefa 6.2: Simulação via captura esquemática

**Simule**, através da captura esquemática, o problema anterior, mostrando o resultado de todas as 12 operações para:

- A=1, B=0
- A=0, B=1
- A=1, B=1

Utilize a seguinte ordem de operações: S<sub>1</sub>S<sub>0</sub>MC<sub>0</sub> → 001x, 011x, 101x, 111x, 0000, 0100, 1000, 1100, 0001, 0101, 1001, 1101.