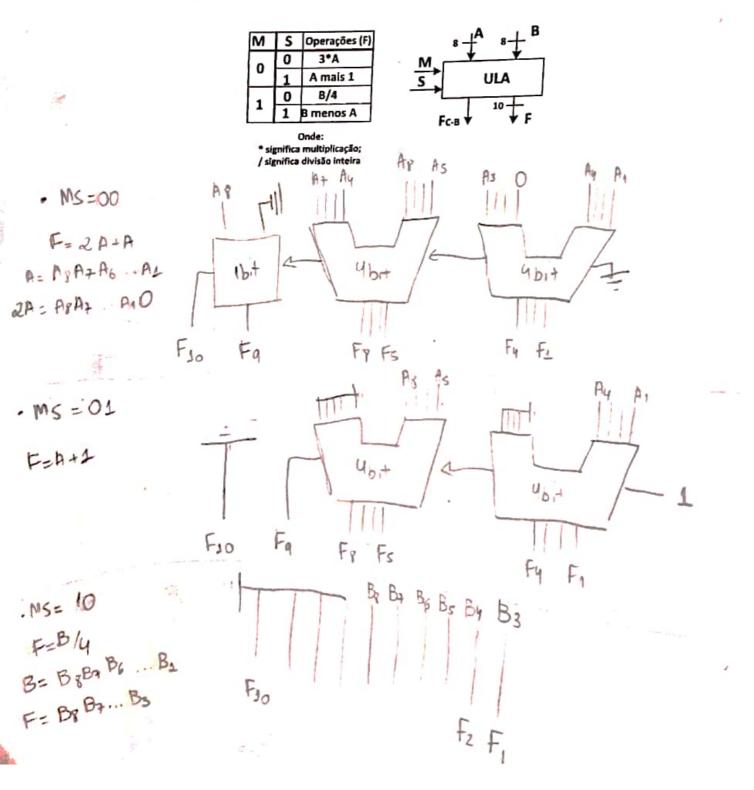
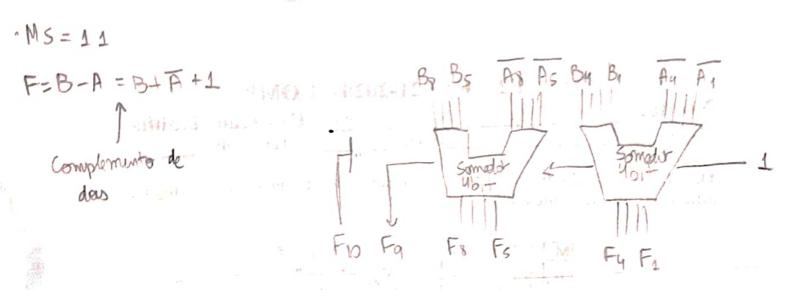
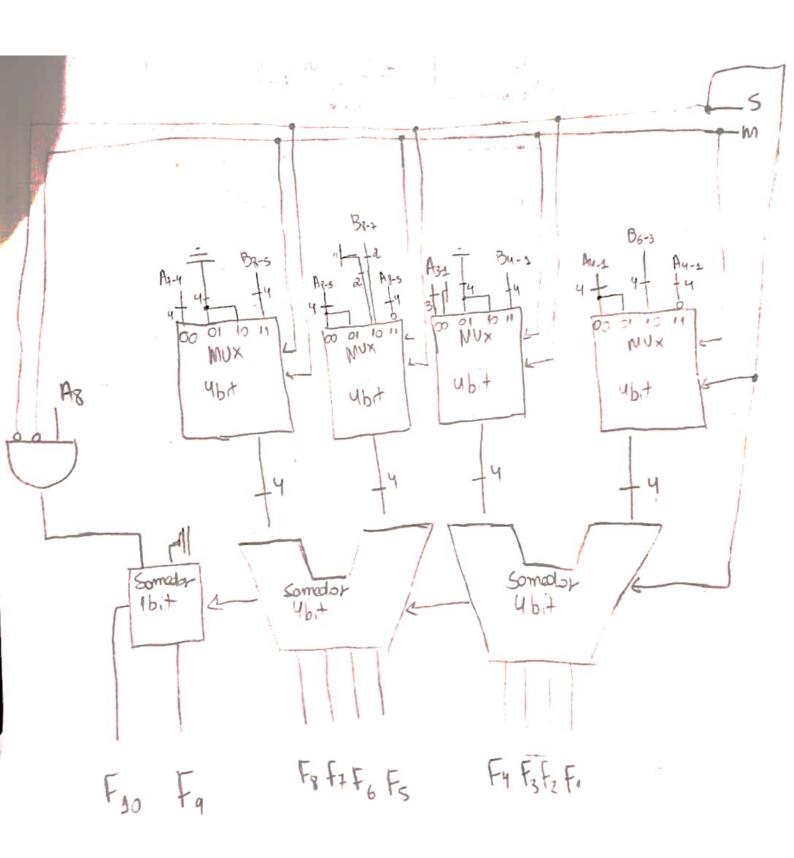
Prova P2 - EAI-21-2020 - COMP

Nome: RODRIGO ALIVES DO MINGIDA Duração: 2:30hs
Data: 06/06/2020 Inicio: 8:00h Término: 10:28h

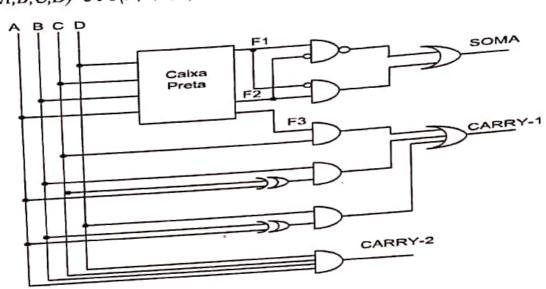
1Q: (2.0) Usando funções MSI de tamanho de até quatro bits e lógica adicional, implemente a ULA abaixo.







2Q:(2.5) O circuito digital (caixa preta + funções parciais Soma e Carry-1 + a função Carry-2) abaixo é um somador de 4 operandos de 1 bit cada (A,B,C,D). As saídas são Soma, Carry-1 e Carry-2 (+ significativo). Usando somente 3 portas XOR encontre as funções F1(A,B,C,D), F2(A,B,C,D) e F3(A,B,C,D).



0.0		SOM	A	
AB	00	01	11	10
CDOO	0	1	0	1
00	1	0	1	0
a 4	0	1	0	1
10	1	0	1	0

. 0.10		C	1	
AT	00	01	110_	10
00	0	0	11	0
01	0	1	1	1
11	1	X	0	1
10	0	1	1	1

DO CIRCUITO:

$$C1 = (A \oplus B)D + (A \oplus C)B + CF3 =$$

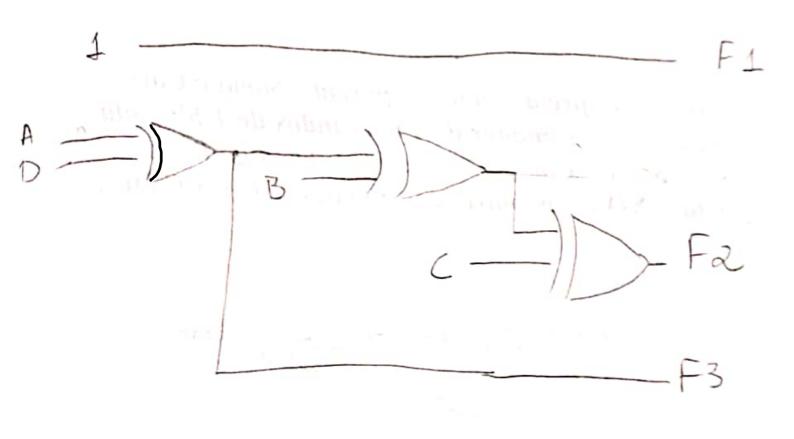
$$= ABD + ABD + ACB + ACB + CF3$$

$$F3 = DA + DA' = A \oplus DD$$

$$SOMA = A \oplus B \oplus C \oplus D = (F1 F2')' + F1' F2 =$$

$$= F1' + F2 + F1F2'$$

$$F1 = 1 \qquad F2 = A \oplus B \oplus C \oplus D$$



3Q: (2.5) O projeto lógico da ULA abaixo processa cinco operações (ver tabela de operações). Ela é composta por uma caixa preta mais portas, somador e mux's. Encontre com o menor número de portas as funções F1 e F2 para que o circuito satisfaça a tabela de operações.

Seleção			Operação	
C 2	C1 C0		(d, e)	
0	o	1	A dição	
1	0	0	M ó du lo de b	
1	0	1	Subtração	
1	1		Menor	
1	1	1	Malor	

E1 = C0+C1 E2 = C0 C1

Figura 1 Tabela de operações.

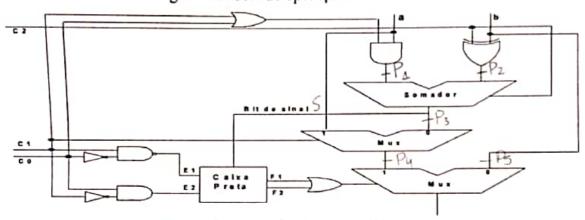


Figura 2 Esquema lógico da ULA.

$$646 = 100$$
 $E_1 E_2 = 11$
 $P_1 = a$ $P_2 = b \cdot 00 = b$ $P_3 = a \cdot mais b$

$$C_0GG = 001$$
 $E_1E_2 = 10$
 $R_1 = 0$ $R_2 = b$ $01 = b'$ $R_4 = b$

$$C_0C_1C_2 = 101$$
 $F_1E_2 = 11$
 $P_1=a$ $P_2=\overline{b}$ $P_3=a$ $Y_{2}=a$ $Y_{2}=b$

F1+F2=1

Merano 604 Ca = 011 E, E2 = 00 P1 = a 130, P2 = 6 P3 = a mores 6 Py=a Ps=b F1+F2 = 5 Major no GoC1 C2 = 111 . E, Ez = 10 Pa=a P2= b P3=a mense b P4=a P5=b F11 F2 = 5 Mapa de Karnaugh FI+F2 FI+F2 = E2 + SEI + SE1 = E2 + SDE1 EL F2 Caixa breta

4Q: (3.0) Sintetize no estilo de rede iterativa uma unidade lógica aritmética de N bits que contém três operandos de entrada A, B e C e realiza duas operações como mostra a tabela de operações abaixo. A célula básica projetada de 1 bit deve ser implementada a partir de somadores completos de 1 bit e lógica adicional mínima. Mostre como fica a iteração do conjunto de células básicas para a ULA de N bits.

