

# Solução de Exercícios: P1

**1Q:**

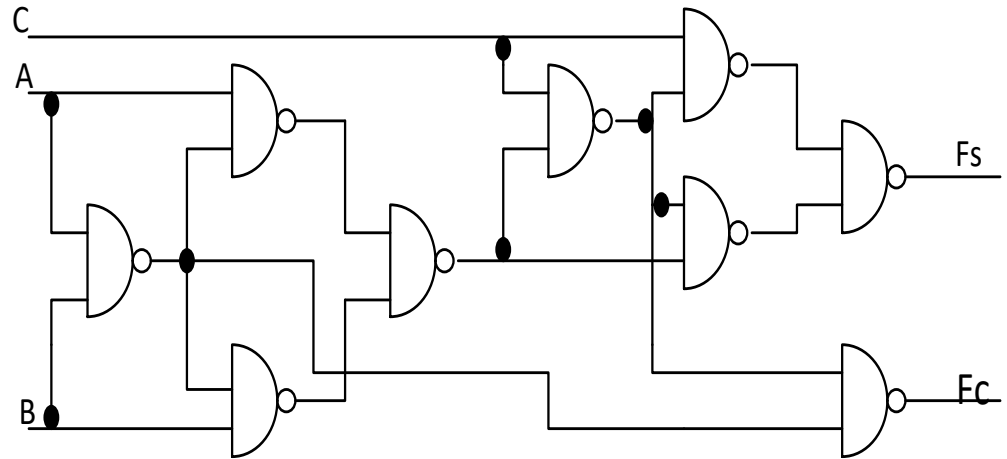
Para o circuito ao lado,  
pede-se:

a) Mostre algebricamente que

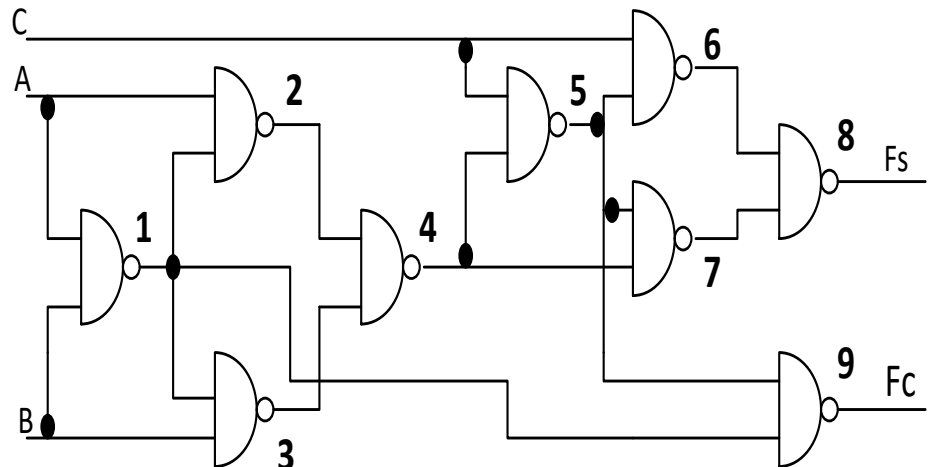
$$F_s = A \oplus B \oplus C$$

a) Mostre algebricamente que

$$F_c = AB + AC + BC$$



## Solução: numerando as portas



# Solução de Exercícios: P1

1Q:

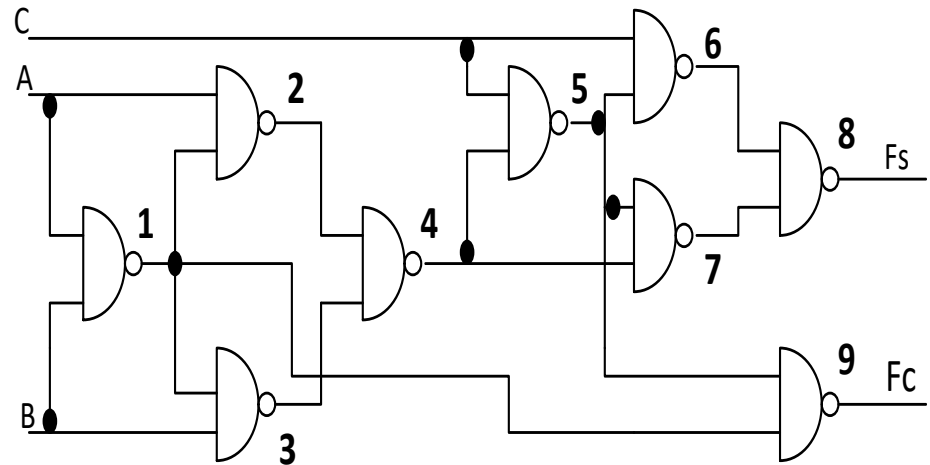
Para o circuito ao lado, pede-se:

a) Mostre algebricamente que

$$F_s = A \oplus B \oplus C$$

a) Mostre algebricamente que

$$F_c = AB + AC + BC$$



**Solução:**

Porta1:  $(AB)'$ ;

Porta2:  $(A(AB)')' \rightarrow (A(A'B'))' = (AA' + AB')' = (0 + AB')' \rightarrow (AB')'$ ;

Porta3:  $(B(AB)')' \rightarrow (A'B)'$ ;

Porta4:  $((AB')'(A'B)')' \rightarrow (AB') + (A'B) = A \oplus B \rightarrow X$ ;

Porta5:  $(XC)'$ ;

Porta6:  $(C(XC)')' \rightarrow (X'C)'$ ;

Porta7:  $(X(XC)')' \rightarrow (XC)'$ ;

Porta8:  $((X'C)(XC'))' \rightarrow X \oplus C \rightarrow A \oplus B \oplus C$

# Solução de Exercícios: P1

1Q:

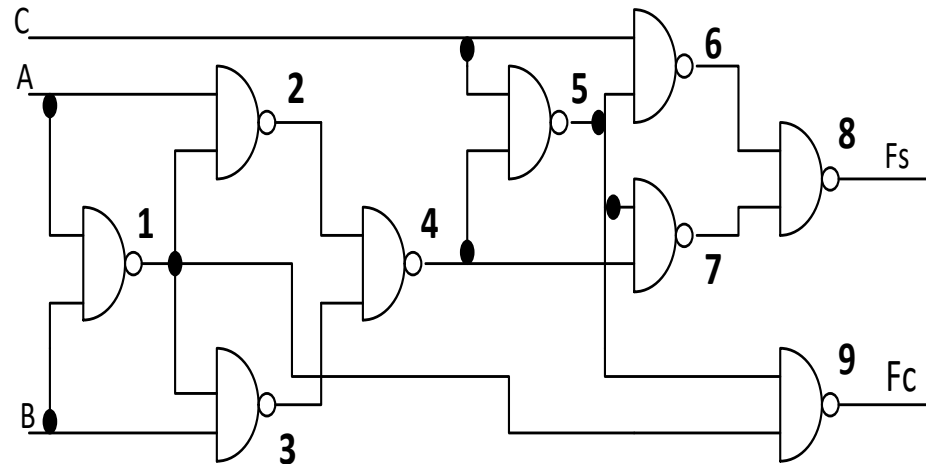
Para o circuito ao lado,  
pede-se:

a) Mostre algebricamente que

$$F_s = A \oplus B \oplus C$$

a) Mostre algebricamente que

$$F_c = AB + AC + BC$$



**Solução:**

$$\begin{aligned} \text{Porta 9: } ((XC)'(AB)')' &\rightarrow XC + AB \rightarrow \\ (A \oplus B)C + AB &\rightarrow (AB' + A'B)C + AB \rightarrow \\ AB'C + A'BC + AB &\rightarrow \\ A(B'C + B) + B(A'C + A) &\rightarrow \\ A(B + C) + B(A + C) &\rightarrow AB + AC + BC \end{aligned}$$

# Solução de Exercícios: P1

**2Q :**

Dada as equações de um circuito digital de 3 saídas R,S e T. Pede-se, implemente o circuito usando apenas 3 portas NAND de 3 entradas cada uma e 3 portas NAND de 2 entradas cada uma. *obs: as variáveis de entrada estão complementadas*

$$R(a,b,c,d) = \sum m(0,4,11,15) + d(1,3,5,8,10,14)$$

$$S(a,b,c,d) = \sum m(0,4,5,13) + d(2,3,6,7,9,14,15)$$

$$T(a,b,c,d) = \sum m(5,11,13,15) + d(3,4,9,12)$$

a \ b \ c \ d	00	01	11	10
00	1	1	0	x
01	x	x	0	0
11	x	0	1	1
10	0	0	x	x

R

a \ b \ c \ d	00	01	11	10
00	1	0	0	0
01	0	1	1	x
11	x	x	x	0
10	x	x	x	0

S

a \ b \ c \ d	00	01	11	10
00	0	x	x	0
01	0	1	1	x
11	x	0	1	1
10	0	0	0	0

T

**Solução:**

a \ b \ c \ d	00	01	11	10
00	1	1	0	x
01	x	x	0	0
11	x	0	1	1
10	0	0	x	x

R

a \ b \ c \ d	00	01	11	10
00	1	1	0	0
01	0	1	1	x
11	x	x	x	0
10	x	x	x	0

S

a \ b \ c \ d	00	01	11	10
00	0	x	x	0
01	0	1	1	x
11	x	0	1	1
10	0	0	0	0

T

# Solução de Exercícios: P1

## Solução:

**2Q:**

Dada as equações de um circuito digital de 3 saídas R,S e T. Pede-se, implemente o circuito usando apenas 3 portas NAND de 3 entradas cada uma e 3 portas NAND de 2 entradas cada uma. *obs: as variáveis de entrada estão complementadas*

$$R(a,b,c,d) = \sum m(0,4,11,15) + d(1,3,5,8,10,14)$$

$$S(a,b,c,d) = \sum m(0,4,5,13) + d(2,3,6,7,9,14,15)$$

$$T(a,b,c,d) = \sum m(5,11,13,15) + d(3,4,9,12)$$

ab \ cd	00	01	11	10
00	1	1	0	x
01	x	x	0	0
11	x	0	1	1
10	0	0	x	x

R

ab \ cd	00	01	11	10
00	1	1	0	0
01	0	1	1	x
11	x	x	x	0
10	x	x	x	0

S

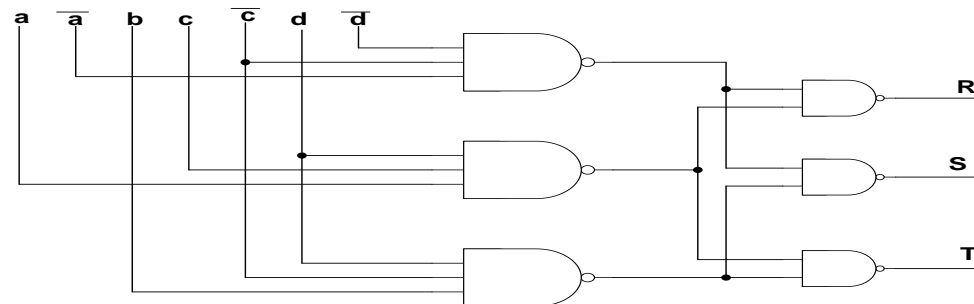
ab \ cd	00	01	11	10
00	0	x	x	0
01	0	1	1	x
11	x	0	1	1
10	0	0	0	0

T

$$R = a'c'd' + acd \rightarrow ((a'c'd')'(acd))'$$

$$S = a'c'd' + bc'd \rightarrow ((a'c'd')'(bc'd))'$$

$$T = bc'd + acd \rightarrow ((bc'd)'(acd))'$$



# Solução de Exercícios: P1

**3Q:**

Usando somente um decodificador 74138 (3x8 → saída invertida), um mux 74153 (4x1) e duas portas NAND, implemente a função descrita no mapa de Karnaugh reduzido.

**Solução:**

$$B'C' \rightarrow A'D'E'=0; ADE'=6$$

$$B'C \rightarrow A'D'E'=0; ADE'=6$$

$$BC \rightarrow A'DE'=2; ADE=7$$

$$BC' \rightarrow F=0$$

08/03/2020

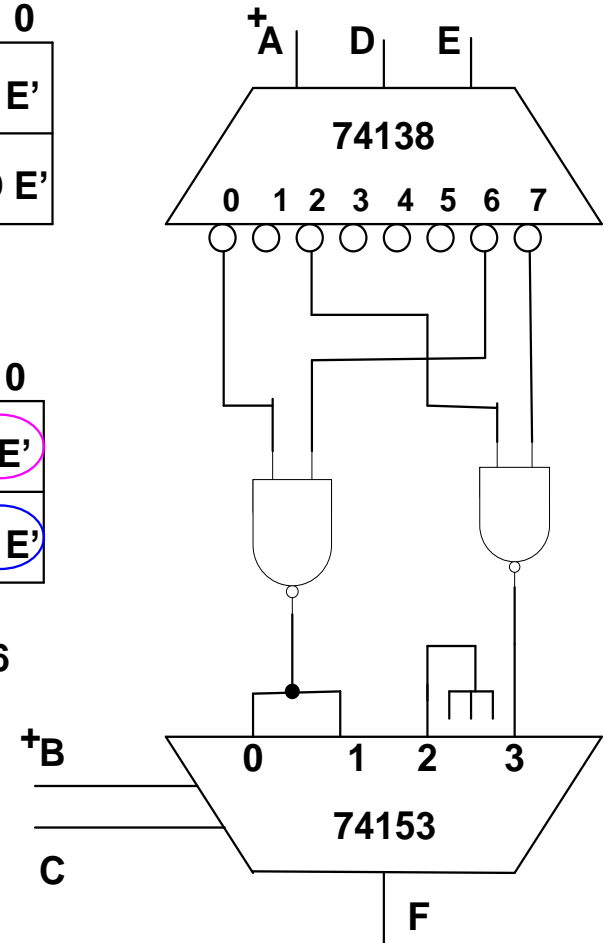
A B	00	01	11	10
C 0	D'E'	0	0	DE'
C 1	D'E'	DE'	DE	DE'

A B	00	01	11	10
C 0	D'E'	0	0	DE'
C 1	D'E'	DE'	DE	DE'

$$[BC] 0 \rightarrow 0 \quad [ADE] 0 \rightarrow 6$$

$$1 \rightarrow 0 \quad 1 \rightarrow 6$$

$$3 \rightarrow 2 \quad 3 \rightarrow 7$$



# Solução de Exercícios: P1

**Solução:**

**4Q:** Para a função  $F$  abaixo implementar com o **menor número de portas de fan-in 2** sem usar **literais complementares**.

$c \backslash d$		$a \backslash b$			
		00	01	11	10
00	x	1	1	0	
01	0	0	0	0	
11	x	1	1	1	
10	0	1	x	1	

$$F(a,b,c,d) = \sum(4,6,7,10,11,12,15) + dm(0,3,14)$$

$$\begin{aligned} F &= ac + bc + bc'd' \\ &= ac + bc + b(c'd')'' \\ &= ac + bc + b(c + d)' \\ &= c(a + b) + b(c + d)' \end{aligned}$$

# Solução de Exercícios: P1

## Solução:

**5Q:** Um circuito combinatório multinível de 3 saídas está representado pelas tabelas verdade e pelo circuito parcial. *Encontre as funções mínimas  $F_a$  e  $F_b$*

A B		E=0				E=1			
		0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
0 0	C D	1	0	1	1	1	0	1	1
0 1	C D	1	1	1	0	1	0	0	0
1 1	C D	0	1	0	0	1	0	0	1
1 0	C D	0	0	0	0	0	0	0	0

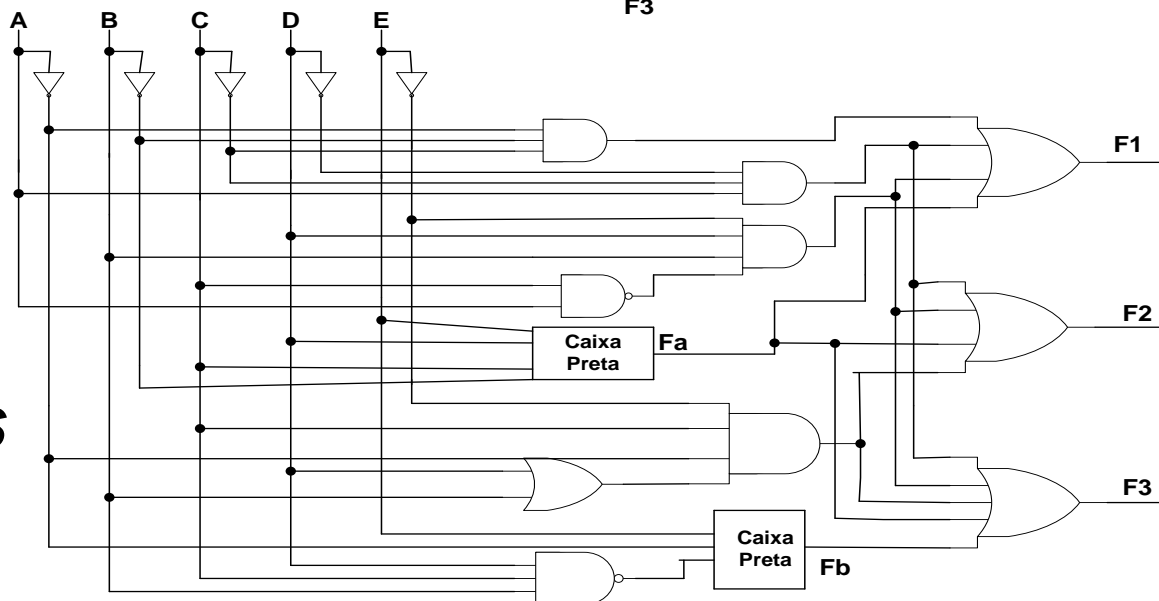
F1

A B		E=0				E=1			
		0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
0 0	C D	0	0	1	1	0	0	1	1
0 1	C D	0	1	1	0	0	0	0	0
1 1	C D	1	1	0	0	1	0	0	1
1 0	C D	0	1	0	0	0	0	0	0

F2

A B		E=0				E=1			
		0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
0 0	C D	0	0	1	1	1	1	1	1
0 1	C D	0	1	1	0	1	1	0	0
1 1	C D	1	1	0	0	1	0	0	1
1 0	C D	0	1	0	0	1	1	0	0

F3

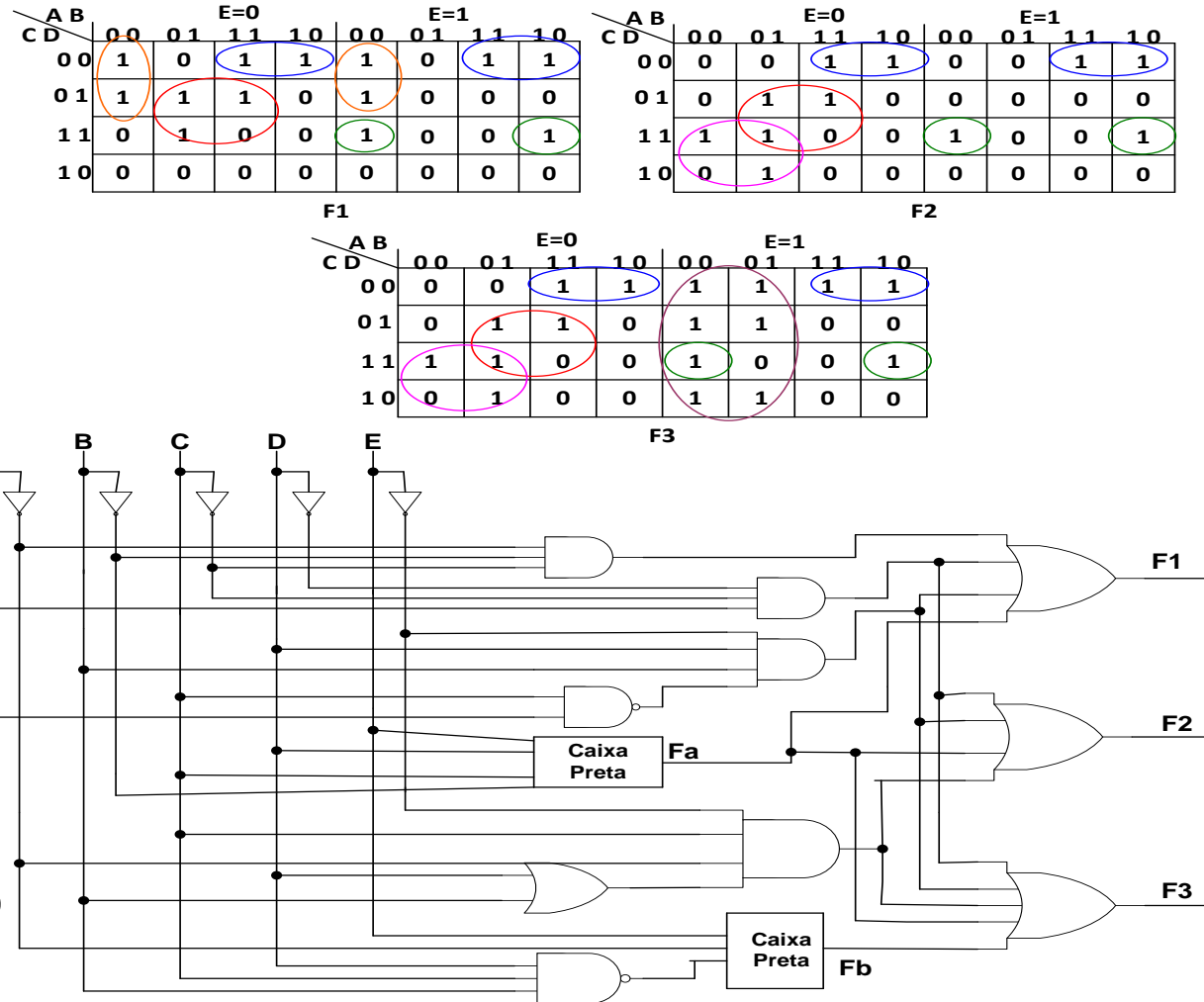




# Solução de Exercícios: P1

## Solução:

**5Q:** Um circuito combinatório multinível de 3 saídas está representado pelas tabelas verdade e pelo circuito parcial. *Encontre as funções mínimas  $F_a$  e  $F_b$*



# Solução de Exercícios: P1

## Solução:

**5Q:** Um circuito combinatório multinível de 3 saídas está representado pelas tabelas verdade e pelo circuito parcial. *Encontre as funções mínimas  $F_a$  e  $F_b$*

A B		E=0				E=1			
		0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
0 0	C D	1	0	1	1	1	0	1	1
0 1		1	1	1	0	1	0	0	0
1 1		0	1	0	0	1	0	0	1
1 0		0	0	0	0	0	0	0	0

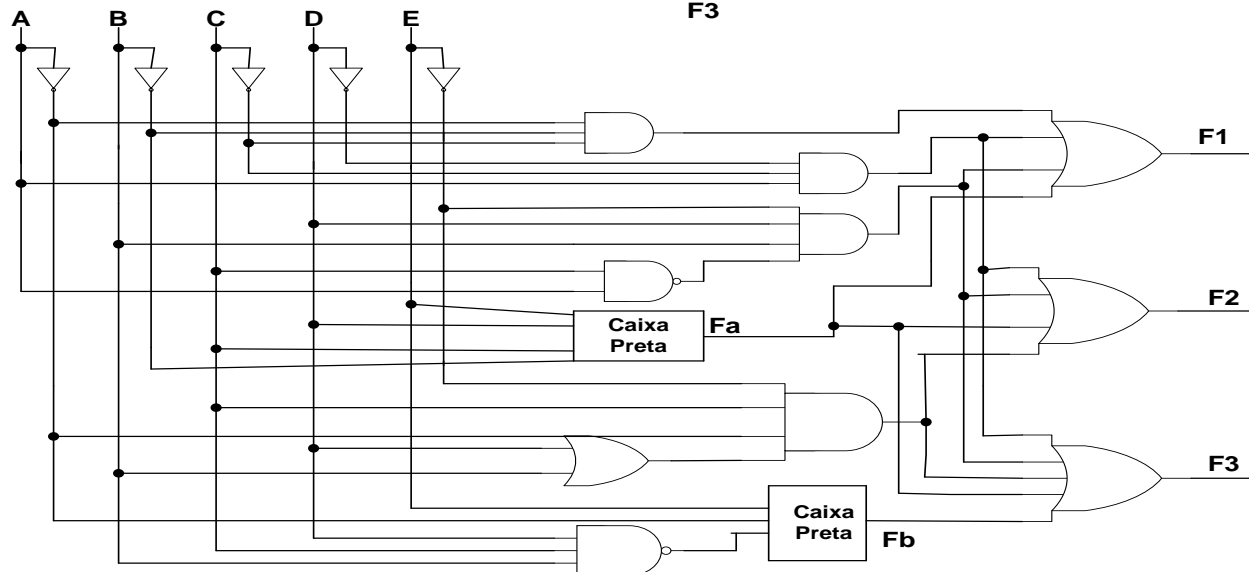
F1

A B		E=0				E=1			
		0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
0 0	C D	0	0	1	1	0	0	1	1
0 1		0	1	1	0	0	0	0	0
1 1		1	1	0	0	1	0	0	1
1 0		0	1	0	0	0	0	0	0

F2

A B		E=0				E=1			
		0 0	0 1	1 1	1 0	0 0	0 1	1 1	1 0
0 0	C D	0	0	1	1	1	1	1	1
0 1		0	1	1	0	1	1	0	0
1 1		1	1	0	0	1	0	0	1
1 0		0	1	0	0	1	1	0	0

F3



$$F_a = B'CDE$$

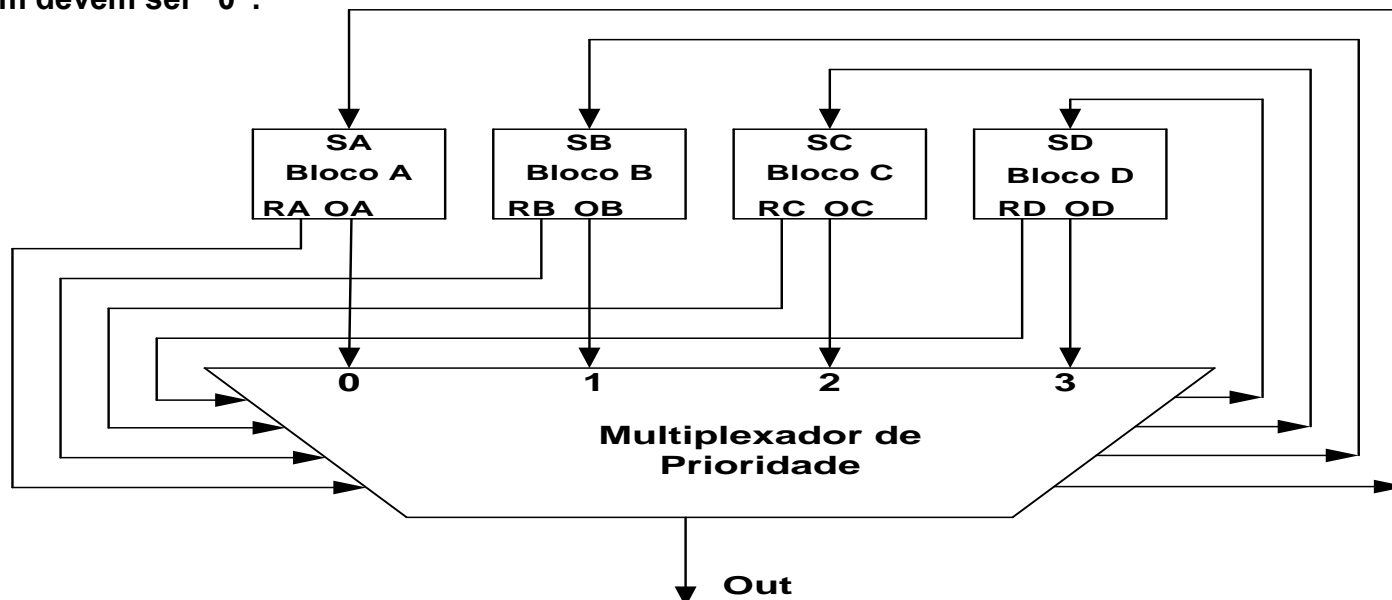
$$F_b = A'EX$$

Onde

$$X = (BCD)'$$

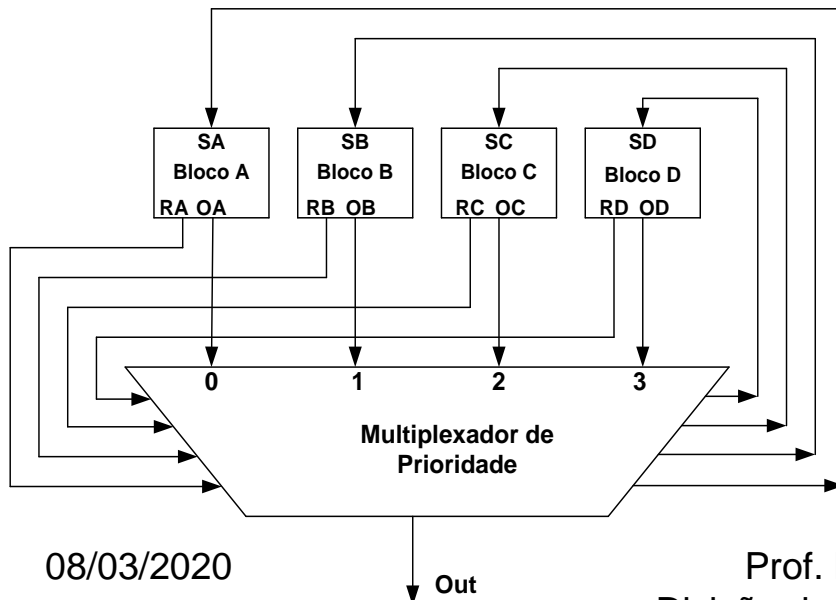
# Solução de Exercícios: P1

- 6Q: Usando portas sintetize um **multiplexador de prioridade** como mostra a figura abaixo.
- A ordem de prioridade é respectivamente A, B, C e D.
- As saídas de cada bloco são AO, OB, OC e OD.
- As variáveis de solicitação para a saída do MUX são RA, RB, RC e RD.
- As variáveis de retorno para os blocos são SA, SB, SC e SD.
- Quando um bloco solicita sua saída na saída do MUX a sua respectiva variável de solicitação deve ser “1”.
- Quando a solicitação do bloco é aceita pelo MUX a variável retorno deste bloco deve ser “1” e para os demais blocos deve ser “0”.
- Quando a solicitação do bloco é aceita pelo MUX, a saída Out do MUX deve ser a saída do bloco cuja solicitação foi aceita.
- A solicitação a ser aceita pelo MUX deve obedecer a ordem de prioridade.
- Quando nenhum bloco solicita a saída então a saída Out do MUX deve ser “0” e todas as variáveis de retorno também devem ser “0”.



# Solução de Exercícios: P1

- **6Q:** Usando portas sintetize um **multiplexador de prioridade** como mostra a figura abaixo.
- A ordem de prioridade é respectivamente A, B, C e D.
- As saídas de cada bloco são AO, OB, OC e OD.
- As variáveis de solicitação para a saída do MUX são RA, RB, RC e RD.
- As variáveis de retorno para os blocos são SA, SB, SC e SD.
- Quando um bloco solicita sua saída na saída do MUX a sua respectiva variável de solicitação deve ser “1”.
- Quando a solicitação do bloco é aceita pelo MUX a variável retorno deste bloco deve ser “1” e para os demais blocos deve ser “0”.
- Quando a solicitação do bloco é aceita pelo MUX, a saída Out do MUX deve ser a saída do bloco cuja solicitação foi aceita.
- A solicitação a ser aceita pelo MUX deve obedecer a ordem de prioridade.
- Quando nenhum bloco solicita a saída então a saída Out do MUX deve ser “0” e todas as variáveis de retorno também devem ser “0”.

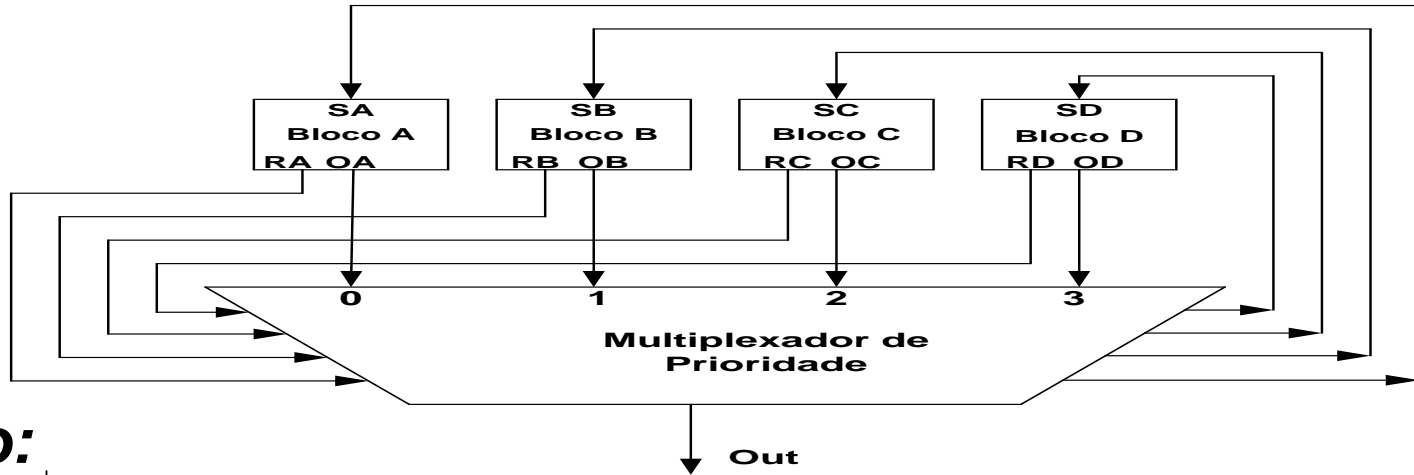


## Solução:

RA	RB	RC	RD	SA	SB	SC	SD	OUT
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	OD
0	0	1	x	0	0	1	0	OC
0	1	x	x	0	1	0	0	OB
1	x	x	x	1	0	0	0	OA

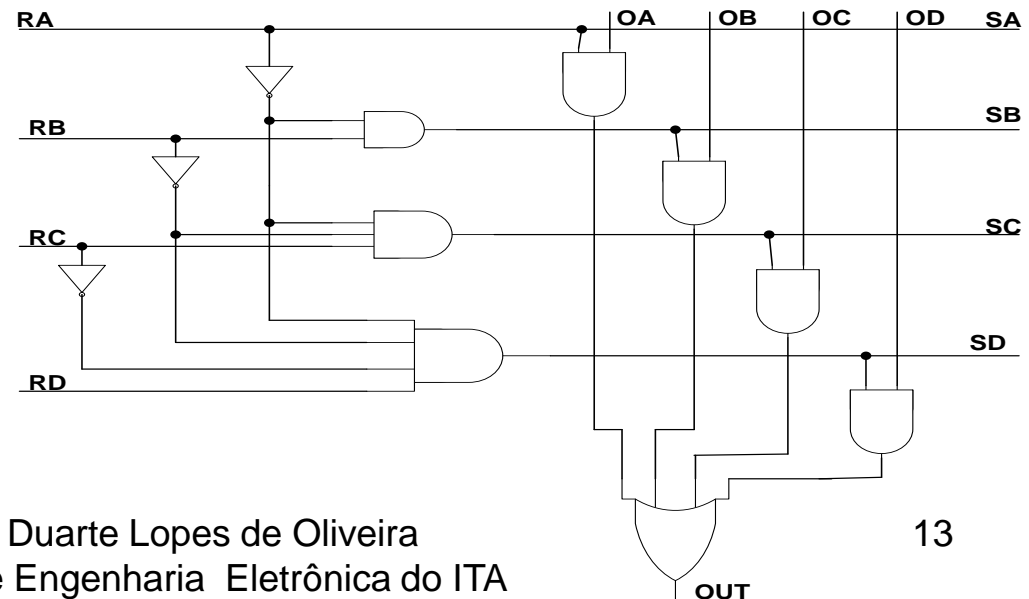
# Solução de Exercícios: P1

**6Q:** Usando portas sintetize um *multiplexador de prioridade* como mostra a figura abaixo.



**Solução:**

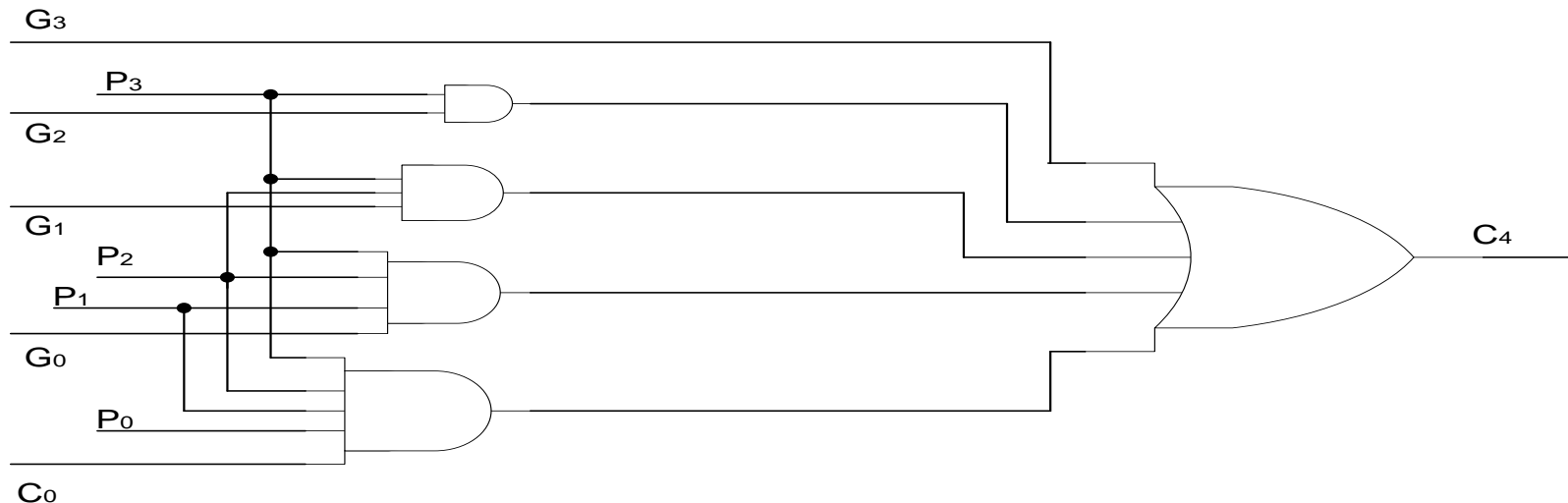
RA	RB	RC	RD	SA	SB	SC	SD	OUT
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	OD
0	0	1	x	0	0	1	0	OC
0	1	x	x	0	1	0	0	OB
1	x	x	x	1	0	0	0	OA



# Solução de Exercícios: P1

**7Q:** A função soma de produto C4 na figura abaixo tem um tempo de propagação (atraso máximo) de 7,2ns. Usando apenas portas NOT e NAND de fan-in 2 e 3 implemente a função C4 onde o atraso máximo deve ser menor que 7,2ns.

**Dados:**  $T_p=1,4\text{ns}$  e  $T_p=1,8\text{ns}$  são respectivamente para as portas NAND de fan-in 2 e 3. Para a porta NOT o  $T_p=1\text{ns}$ .



**Solução:**

$$C_4 = G_3 + P_3G_2 + P_3P_2G_1 + P_3P_2P_1G_0 + P_3P_2P_1P_0C_0$$

$$C_4 = (G_3 (P_3G_2) (P_3P_2G_1) (P_3P_2P_1G_0) (P_3P_2P_1P_0C_0))$$

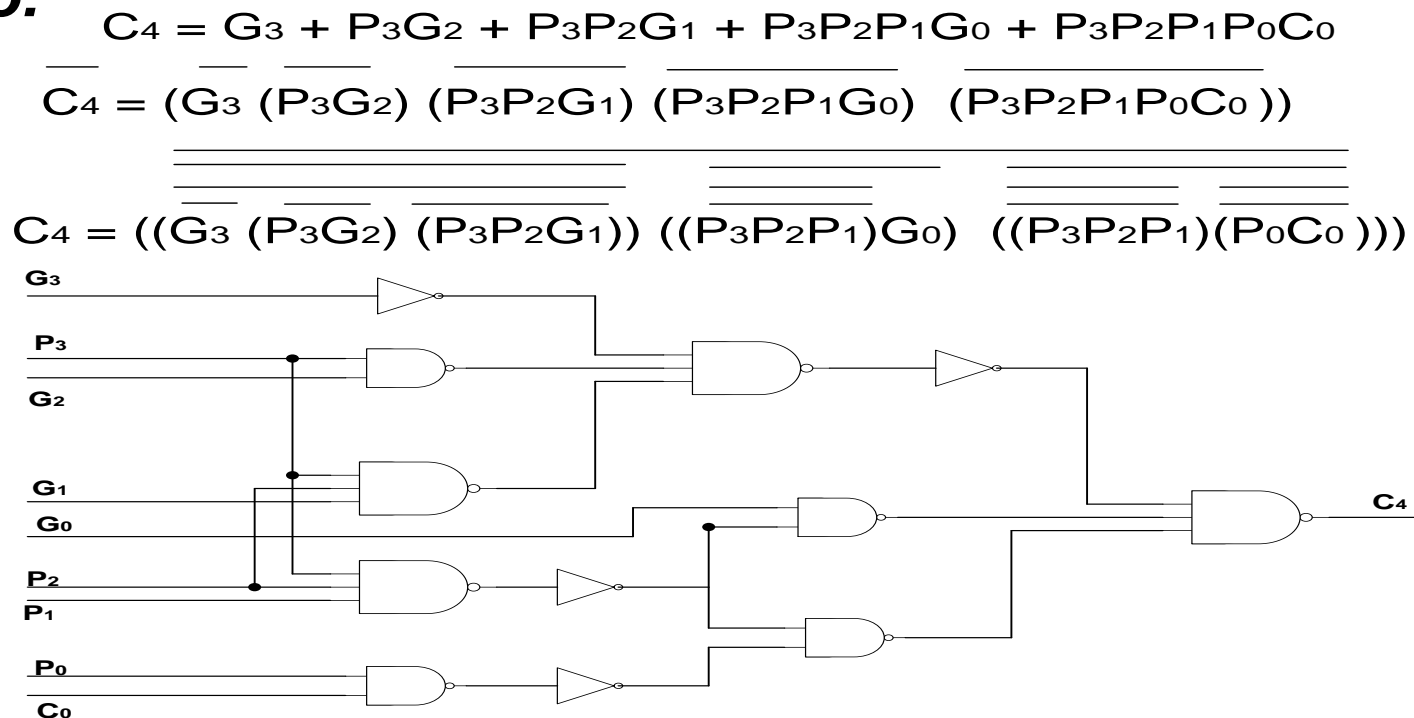
$$C_4 = (((G_3 (P_3G_2) (P_3P_2G_1))) ((P_3P_2P_1)G_0) ((P_3P_2P_1)(P_0C_0)))$$

# Solução de Exercícios: P1

**7Q:** A função soma de produto C4 na figura abaixo tem um tempo de propagação (atraso máximo) de 7,2ns. Usando apenas portas NOT e NAND de fan-in 2 e 3 implemente a função C4 onde o atraso máximo deve ser menor que 7,2ns.

**Dados:**  $T_p=1,4\text{ns}$  e  $T_p=1,8\text{ns}$  são respectivamente para as portas NAND de fan-in 2 e 3. Para a porta NOT o  $T_p=1\text{ns}$ .

**Solução:**

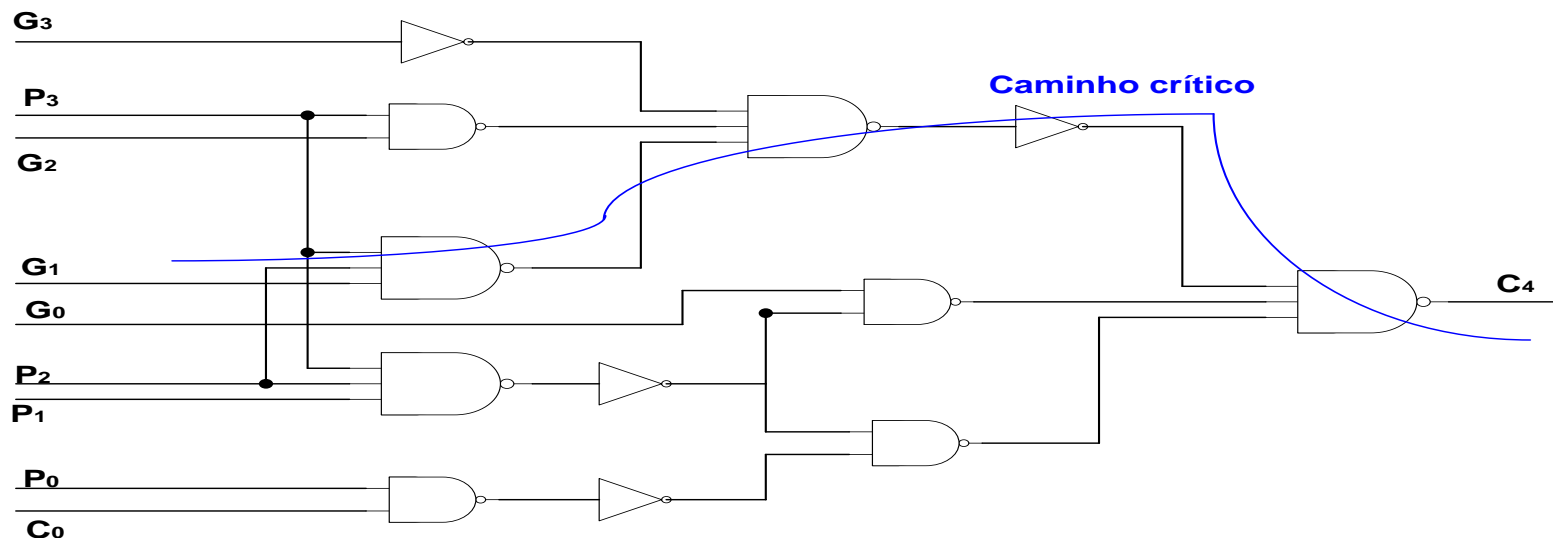


# Solução de Exercícios: P1

**7Q:** A função soma de produto C4 na figura abaixo tem um tempo de propagação (atraso máximo) de 7,2ns. Usando apenas portas NOT e NAND de fan-in 2 e 3 implemente a função C4 onde o atraso máximo deve ser menor que 7,2ns.

**Dados:**  $T_p=1,4\text{ns}$  e  $T_p=1,8\text{ns}$  são respectivamente para as portas NAND de fan-in 2 e 3. Para a porta NOT o  $T_p=1\text{ns}$ .

**Solução:**



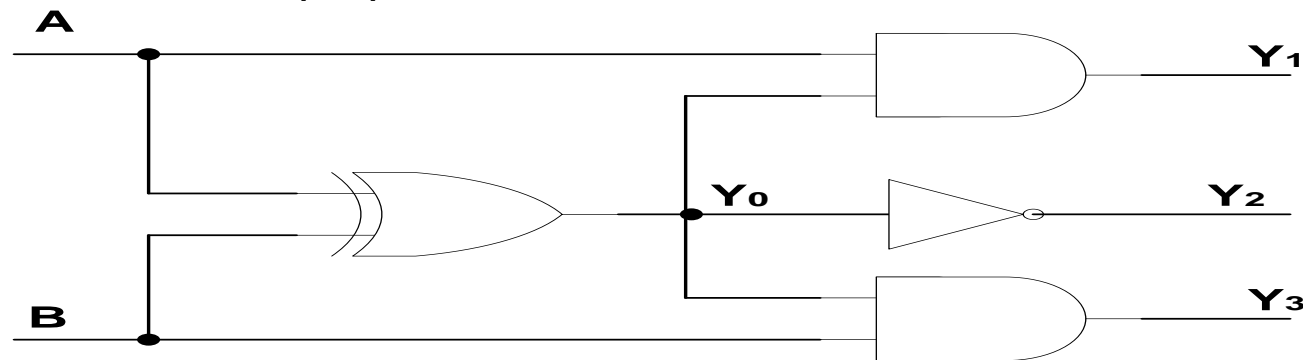
$$T_p = 1,8 + 1,8 + 1 + 1,8 = 6,4\text{ns} < 7,2\text{ns}$$

$$\text{Área (número de transistores)} = 48$$



# Solução de Exercícios: P1

8Q: Determine o propósito do circuito abaixo.



**Solução:**

$$Y0 = A \oplus B = AB' + A'B$$

$$Y1 = AY0$$

$$Y2 = Y0'$$

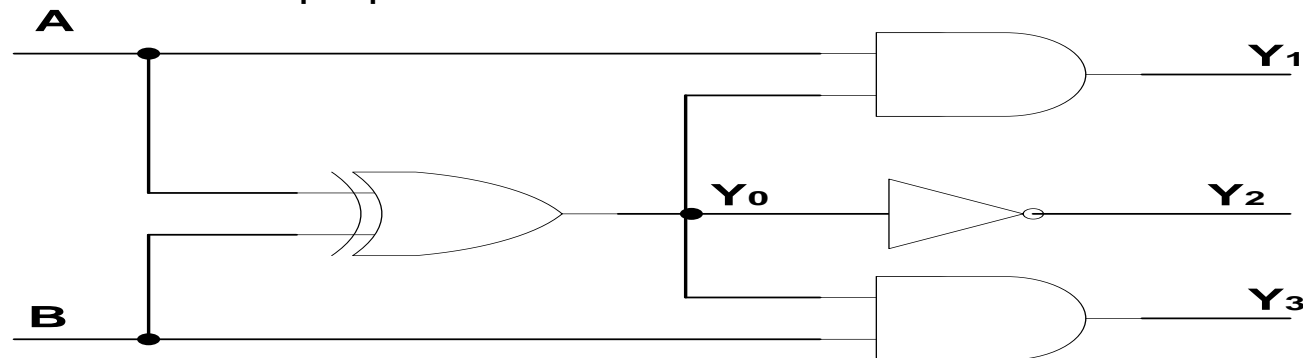
$$Y3 = BY0$$

A	B	Y0	Y1	Y2	Y3
0	0	0	0	1	0
0	1	1	0	0	1
1	1	0	0	1	0
1	0	1	1	0	0

$$Y1 = A(AB' + A'B) = AB'; Y2 = AB + A'B'; Y3 = B(AB' + A'B) = A'B$$

# Solução de Exercícios: P1

8Q: Determine o propósito do circuito abaixo.



**Solução:**

A	B	Y0	Y1	Y2	Y3
0	0	0	0	1	0
0	1	1	0	0	1
1	1	0	0	1	0
1	0	1	1	0	0

$Y1=1 \rightarrow A > B$

$Y2=1 \rightarrow A=B$

$Y3=1 \rightarrow B > A$

**O circuito é um comparador de 1 bit**

# Solução de Exercícios: P1

9Q: Faça um conversor de código ( código binário para código de Gray) de dois bits, três bits e generalize para N bits

**Solução:**

a1	a0	g1	g0
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

$$g0 = \overline{a1} a0 + a1 \overline{a0}$$

$$g1 = a1$$

a2 a1		a0			
		0 0	0 1	1 1	1 0
		0	0	1	1
	0	0	1	1	0
	1	1	0	0	1

$$g0 = \overline{a1} a0 + a1 \overline{a0}$$

a2 a1		a0			
		0 0	0 1	1 1	1 0
		0	0	1	1
	0	0	1	0	1
	1	0	1	0	1

$$g1 = \overline{a2} a1 + a2 \overline{a1}$$

a2	a1	a0	g2	g1	g0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

$$g2 = a2$$

**Para N bits:**

$$g0 = a1'a0 + a1a0' = a1 \oplus a0$$

$$g1 = a2 \oplus a1$$

.

.

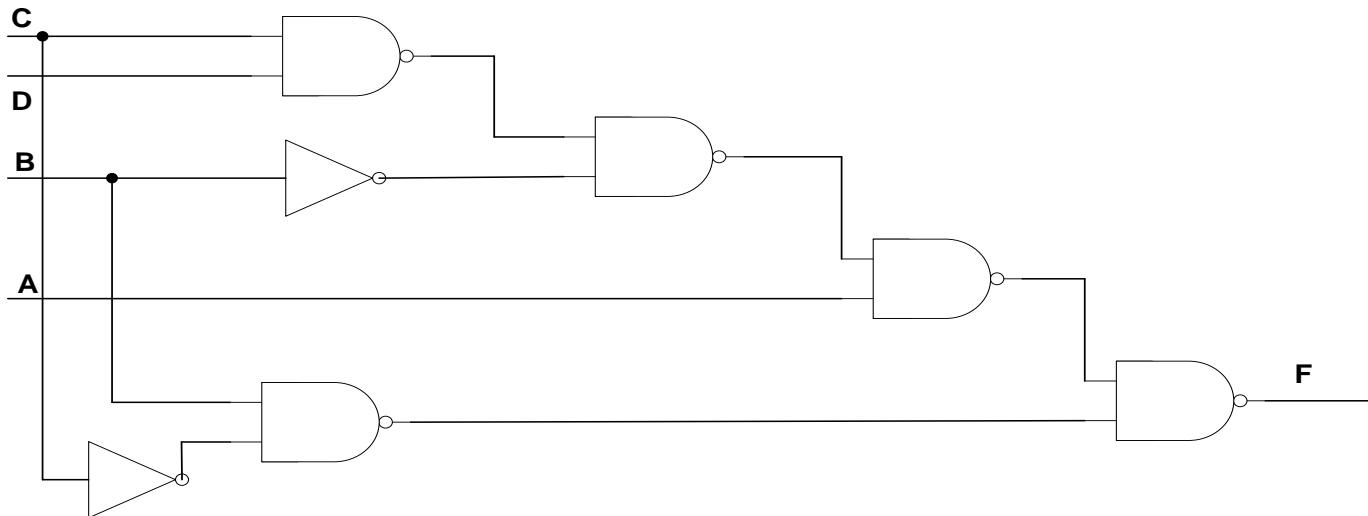
$$g_{N-2} = a_{N-2} \oplus a_{N-1}$$

$$g_{N-1} = a_{N-1}$$

08/03/2020

# Solução de Exercícios: P1

**10Q:** A função multinível abaixo está implementada com portas NAND e inversoras. Converta esta função em uma função multinível com o menor número de inversoras, mas usando somente portas AND, OR e inversora.

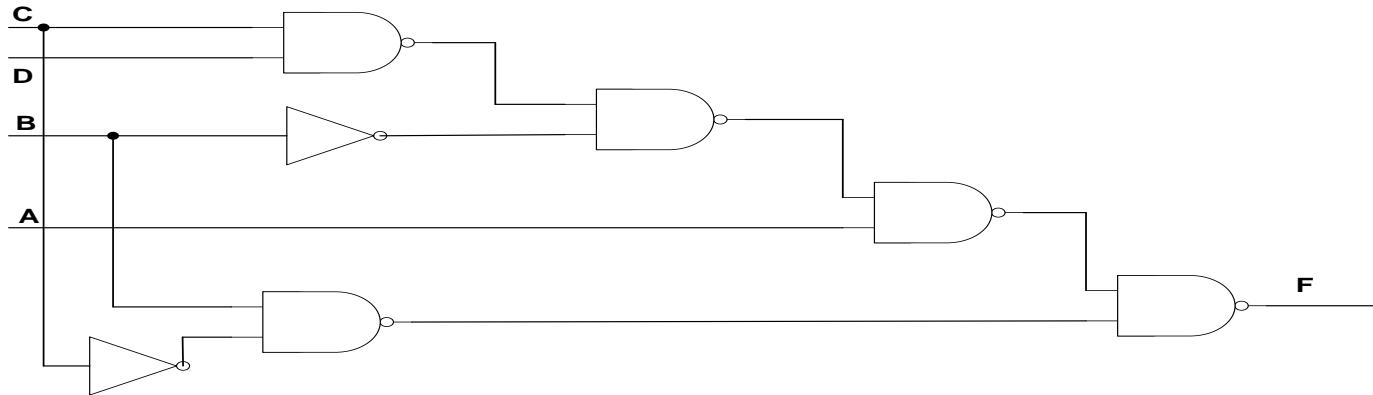


**Solução:**

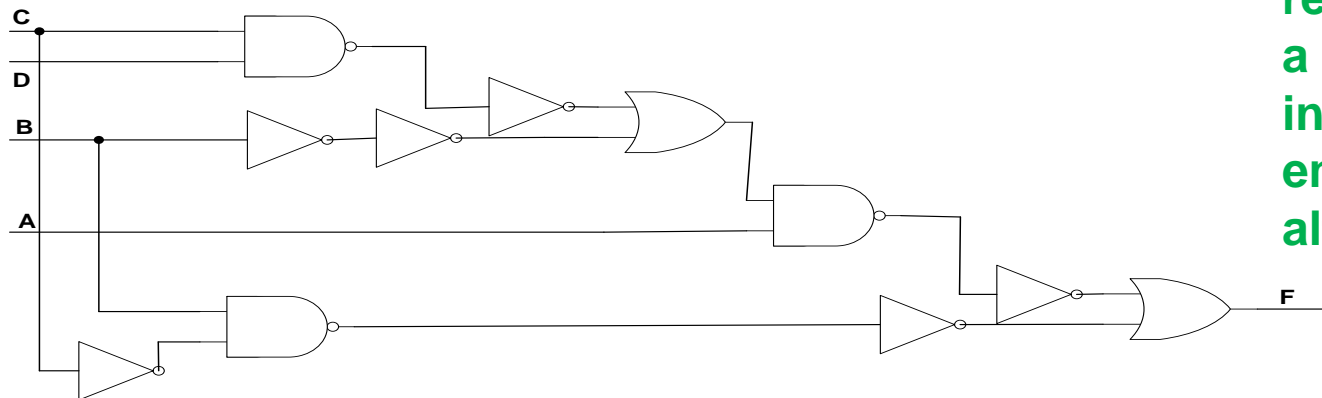
Usaremos uma regra: substituir a NAND em  
inversoras + OR em níveis alternados

# Solução de Exercícios: P1

**10Q:** A função multinível abaixo está implementada com portas NAND e inversoras. Converta esta função em uma função multinível com um menor número de inversoras, mas usando somente portas AND, OR e inversora.



**Solução:**

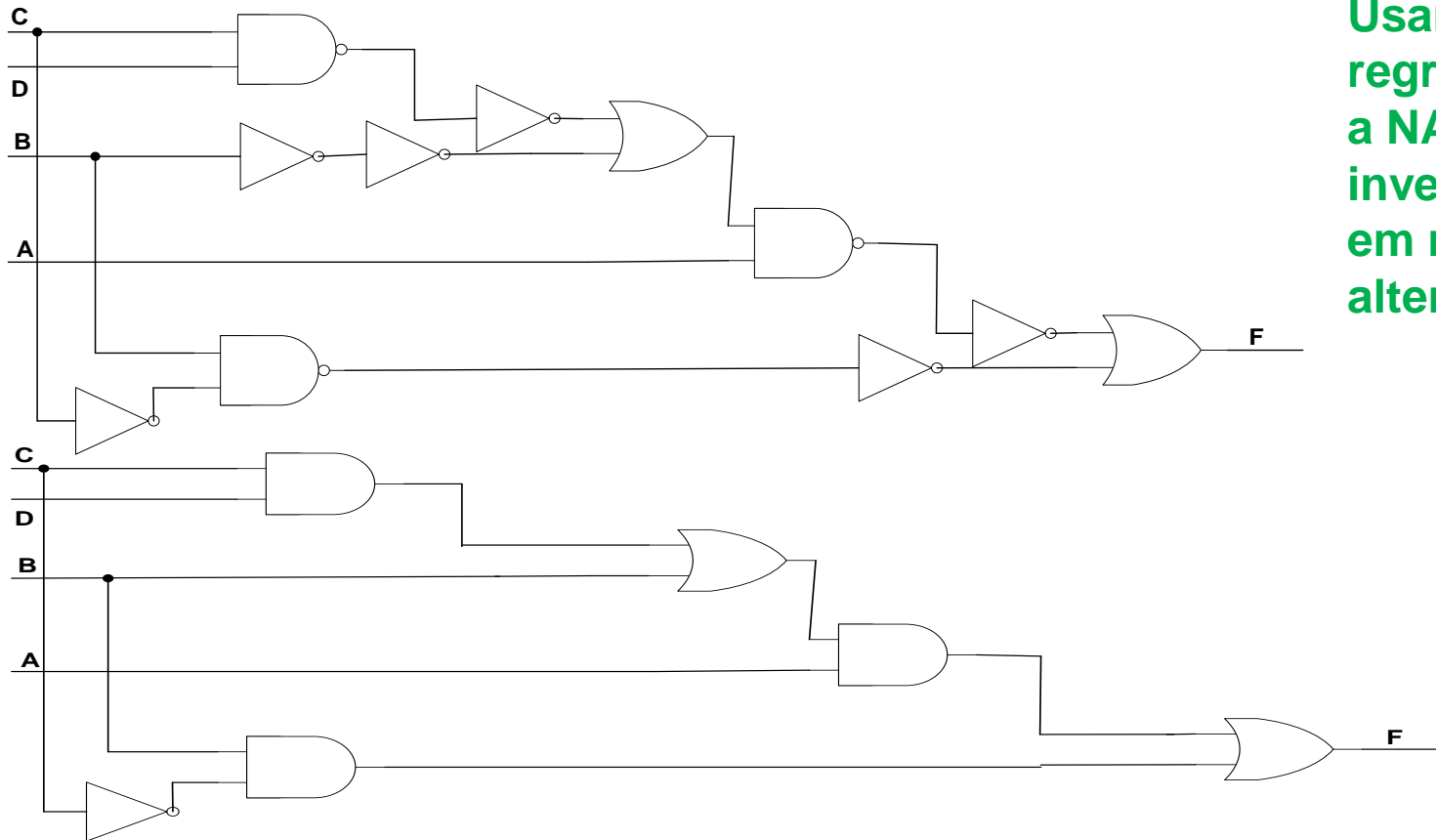


Usaremos uma regra: substituir a NAND em inversoras + OR em níveis alternados

# Solução de Exercícios: P1

**10Q:** A função multinível abaixo está implementada com portas NAND e inversoras. Converta esta função em uma função multinível com um menor número de inversoras, mas usando somente portas AND, OR e inversora..

**Solução:**



Usaremos uma regra: substituir a NAND em inversoras + OR em níveis alternados