

## **Laboratório 6:**



## **Análise e síntese de circuitos sequenciais síncronos**

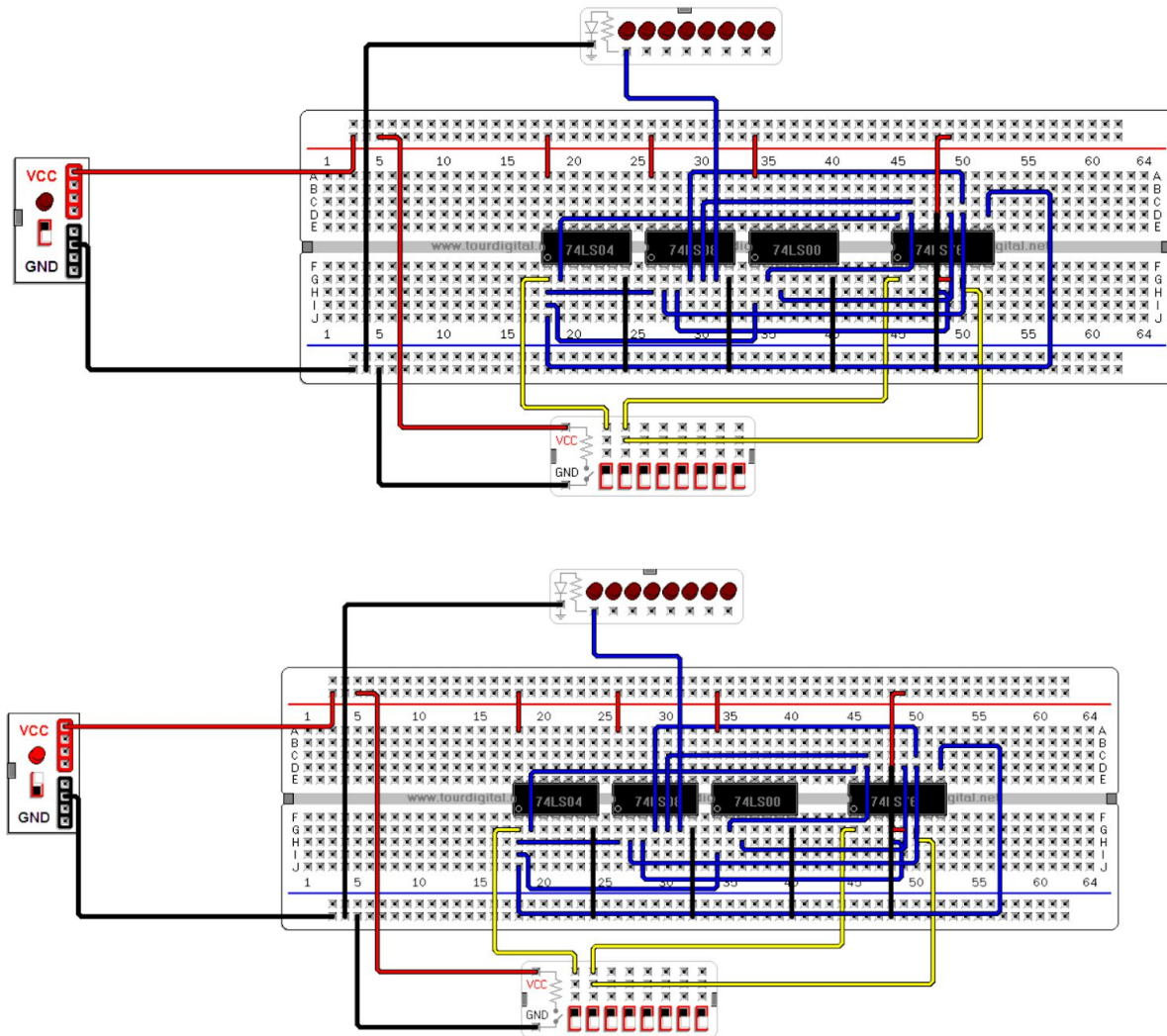
**Professor:**  
**Osamu Saotome**

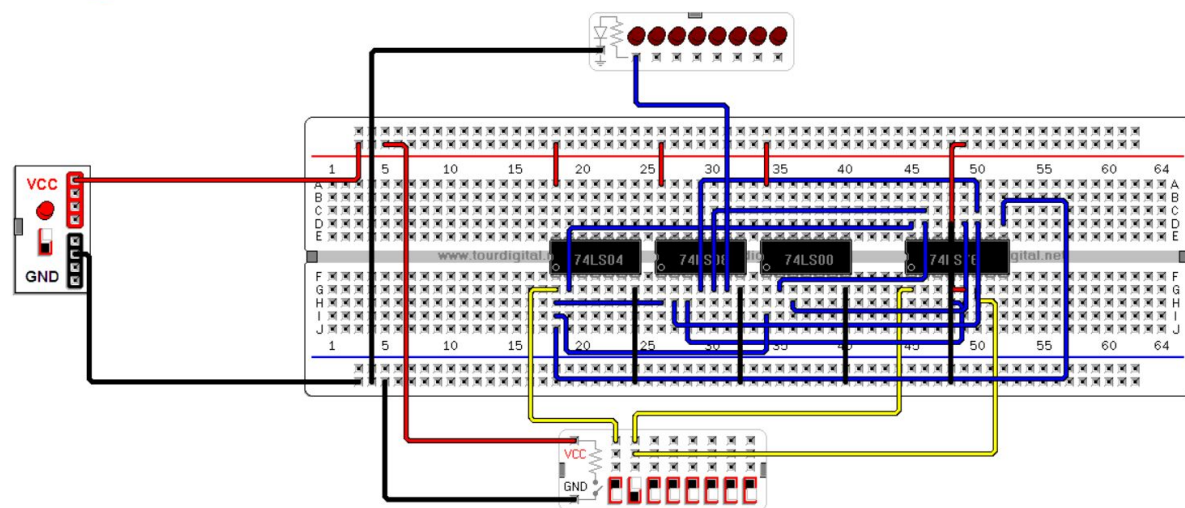
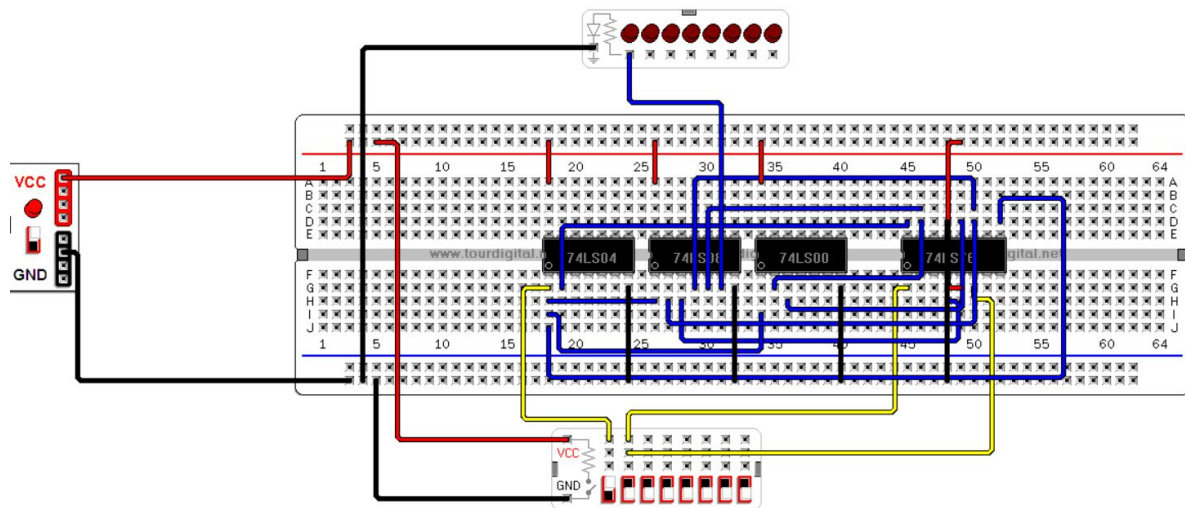
**Alunos:**  
**Rodrigo Alves de Almeida**  
([rodrigoalmeida@gmail.com](mailto:rodrigoalmeida@gmail.com))  
**Eduardo Menezes Moraes**  
([eduardomenezesm@msn.com](mailto:eduardomenezesm@msn.com))

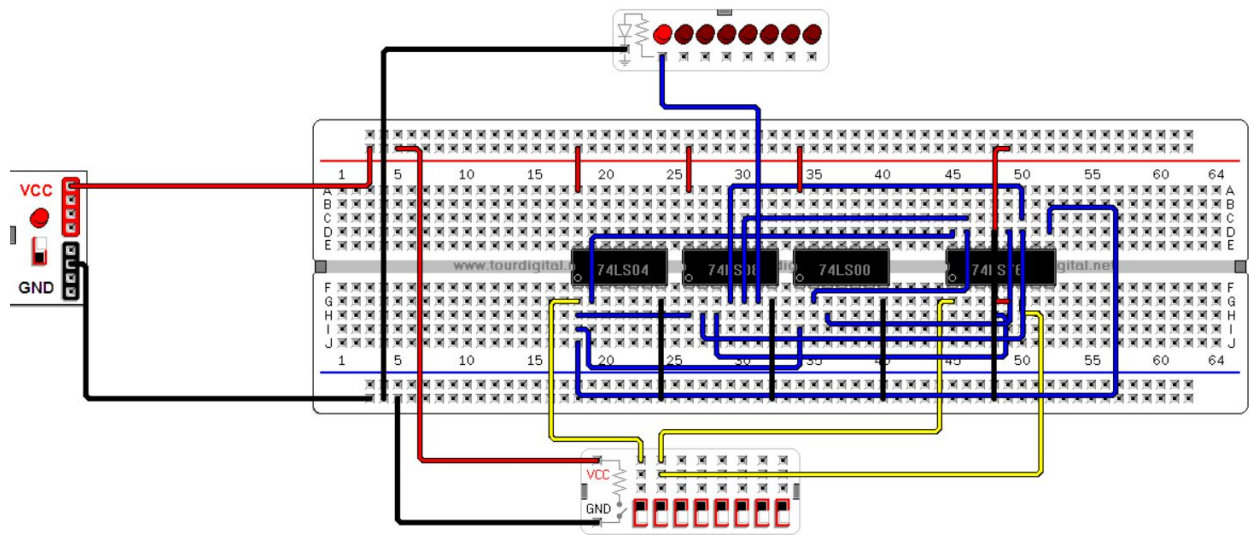
**Comp 22**

#### 4.1. Montagem do circuito Moore

Segue a montagem do modelo de Moore juntamente com figuras que verificam o funcionamento do mesmo de acordo as especificações exigidas. Vale ressaltar, tanto para esse como para o circuito de Mealy, que os interruptores representam, da esquerda para direita, respectivamente,  $X$  e  $CLK$ .

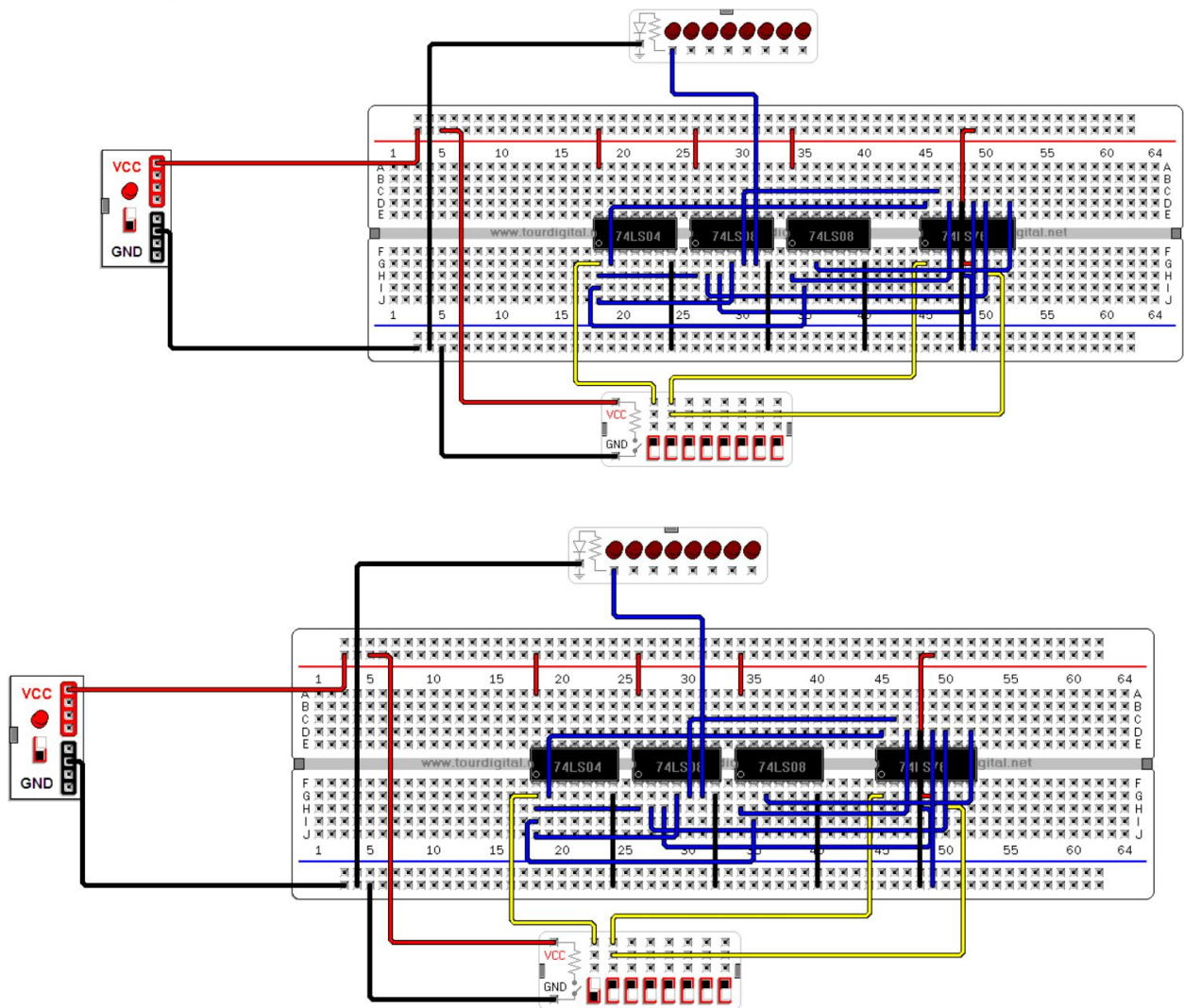




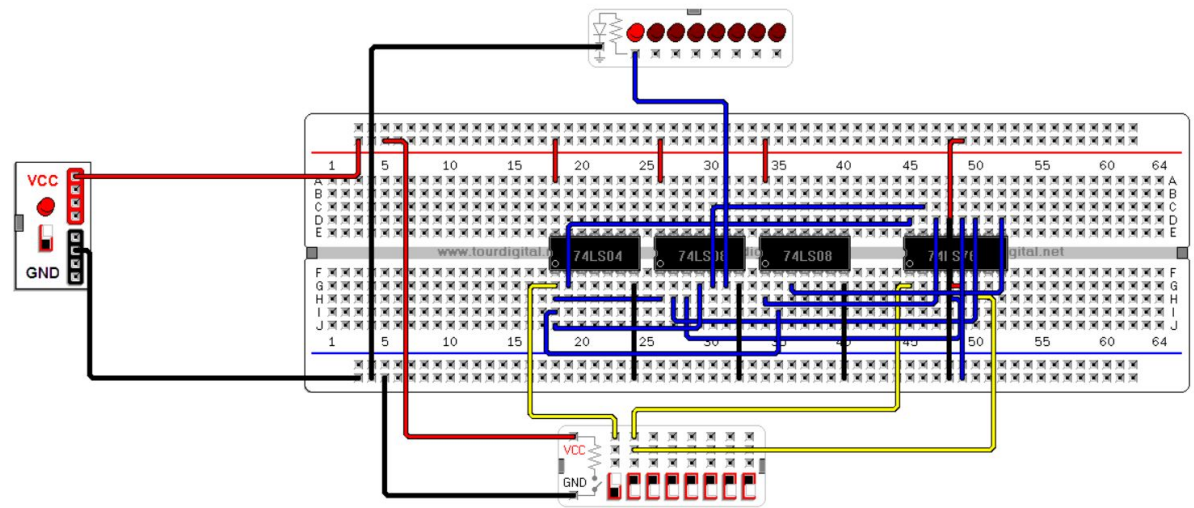
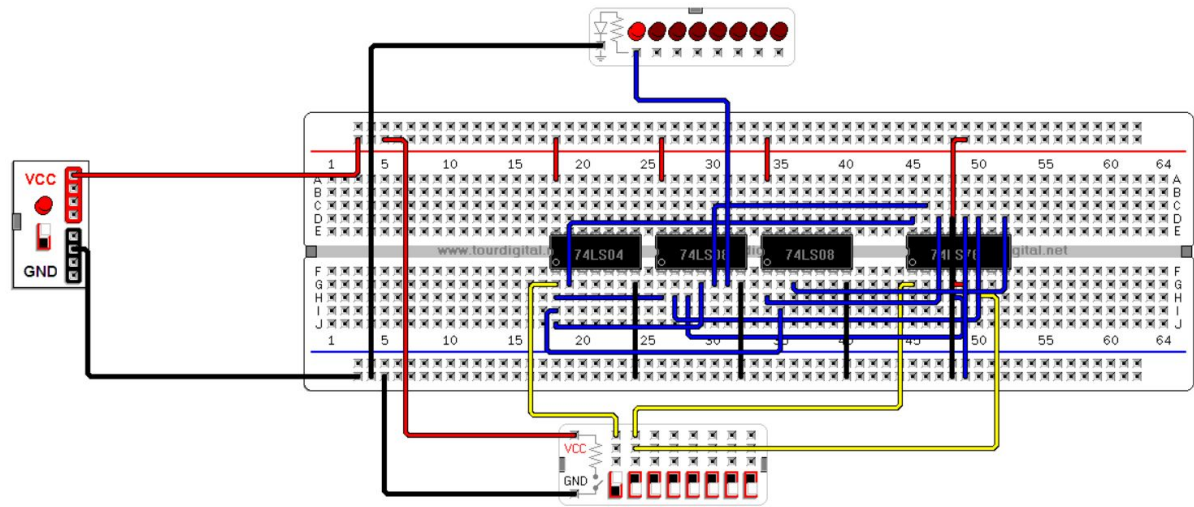


## 4.2. Montagem do circuito Mealy

Segue nas figuras abaixo estados que verificam o funcionamento da montagem do circuito Mealy, analogamente ao circuito de Moore:



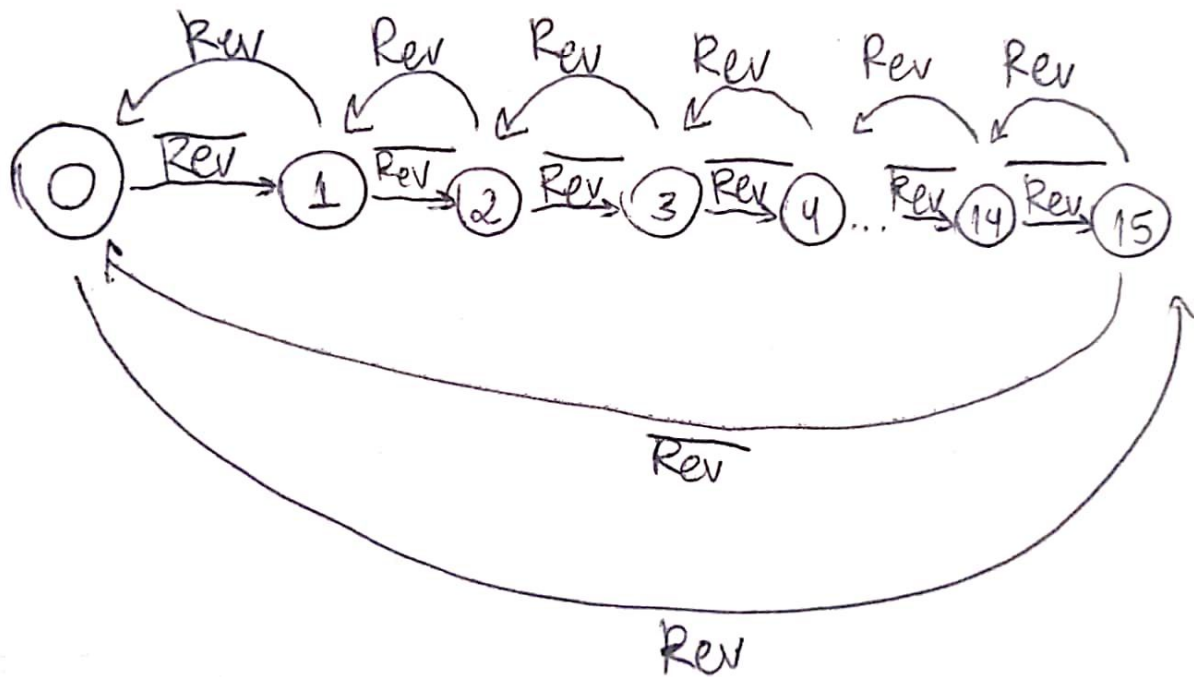




## 5.1 - Projeto e simulação de um contador síncrono reversível

a) Grafo de transição de estados:

Para  $E_p = 0$ , a tabela de transição é a seguinte:



Quando  $E_p = 1$ , a partir de qualquer estado  $k$ ,  $0 \leq k < 16$ , é possível ir para outro estado  $k'$ ,  $0 \leq k' < 16$ , sendo  $k'$  a representação decimal da sequência de bits  $d_1 d_2 d_3 d_4$ .

b) Tabela de transição de estados:

Estado Atual	Próximo Estado		
	Ep = 0		Ep = 1
	Rev = 0	Rev = 1	
$Q_1Q_2Q_3Q_4$	$D_1D_2D_3D_4$	$D_1D_2D_3D_4$	$D_1D_2D_3D_4$
0000	0001	1111	$d_1d_2d_3d_4$
0001	0010	0000	$d_1d_2d_3d_4$
0010	0011	0001	$d_1d_2d_3d_4$
0011	0100	0010	$d_1d_2d_3d_4$
0100	0101	0011	$d_1d_2d_3d_4$
0101	0110	0100	$d_1d_2d_3d_4$
0110	0111	0101	$d_1d_2d_3d_4$
0111	1000	0110	$d_1d_2d_3d_4$
1000	1001	0111	$d_1d_2d_3d_4$
1001	1010	1000	$d_1d_2d_3d_4$
1010	1011	1001	$d_1d_2d_3d_4$
1011	1100	1010	$d_1d_2d_3d_4$
1100	1101	1011	$d_1d_2d_3d_4$
1101	1110	1100	$d_1d_2d_3d_4$
1110	1111	1101	$d_1d_2d_3d_4$
1111	0000	1110	$d_1d_2d_3d_4$



c) Mapa de Karnaugh para  $E_p = 0$  e equações booleanas:

- $D_1$

$Q_1 Q_2$		$Q_3 Q_4$			
$Q_1$	$Q_2$	00	01	11	10
		00	01	11	10
00	00	0	0	1	1
01	01	0	0	1	1
11	11	0	1	0	1
10	10	0	0	1	1

$Rev = 0$

$Q_1 Q_2$		$Q_3 Q_4$			
$Q_1$	$Q_2$	00	01	11	10
		00	01	11	10
00	00	1	0	1	0
01	01	0	0	1	1
11	11	0	0	1	1
10	10	0	0	1	1

$Rev = 1$

$$D_1 = \overline{Rev} (Q_1 (\overline{Q_2 Q_3 Q_4}) + \overline{Q_1} \cdot Q_2 Q_3 Q_4) +$$

$$Rev (Q_1 (\overline{Q_1} \overline{Q_2} \overline{Q_3}) + \overline{Q_1} \cdot \overline{Q_2} \overline{Q_3} \overline{Q_4})$$

$$D_1 = \overline{Rev} \cdot (Q_1 \oplus Q_2 Q_3 Q_4) + Rev (Q_1 \oplus \overline{Q_2} \overline{Q_3} \overline{Q_4})$$

- $D_2$

$Q_1 Q_2$		$Q_3 Q_4$			
		00	01	11	10
		00	01	11	10
00	00	0	1	1	0
01	01	0	1	1	0
11	11	1	0	0	1
10	10	0	1	1	0

$Rev = 0$

$Q_1 Q_2$		$Q_3 Q_4$			
		00	01	11	10
		00	01	11	10
00	00	1	0	0	1
01	01	0	1	1	0
11	11	0	1	1	0
10	10	0	1	1	0

$Rev = 1$

$$D_2 = \overline{Rev} (Q_2 \oplus Q_3 Q_4) + Rev (Q_2 \oplus \overline{Q_3} \overline{Q_4})$$

- $D_3$

$Q_1 Q_2$		$Q_3 Q_4$			
		00	01	11	10
		00	01	11	10
00	00	0	0	0	0
01	01	1	1	1	1
11	11	0	0	0	0
10	10	1	1	1	1

$Rev = 0$

$Q_1 Q_2$		$Q_3 Q_4$			
		00	01	11	10
		00	01	11	10
00	00	1	1	1	1
01	01	0	0	0	0
11	11	1	1	1	1
10	10	0	0	0	0

$Rev = 1$

$$D_3 = \overline{Rev} (Q_3 \oplus Q_4) + Rev (\overline{Q_3} \oplus \overline{Q_4}) = \\ = Rev \oplus Q_3 \oplus Q_4$$

- $D_4$

		$Q_1 Q_2$			
		00	01	11	10
$Q_3 Q_4$	00	1	1	1	1
	01	0	0	0	0
	11	0	0	0	0
	10	1	1	1	1

$Rev = 0$

$Q_3 Q_4$		$Q_1 Q_2$			
		00	01	11	10
00	01	1	1	1	1
01	11	0	0	0	0
11	10	0	0	0	0
10	00	1	1	1	1

$Rev = 1$

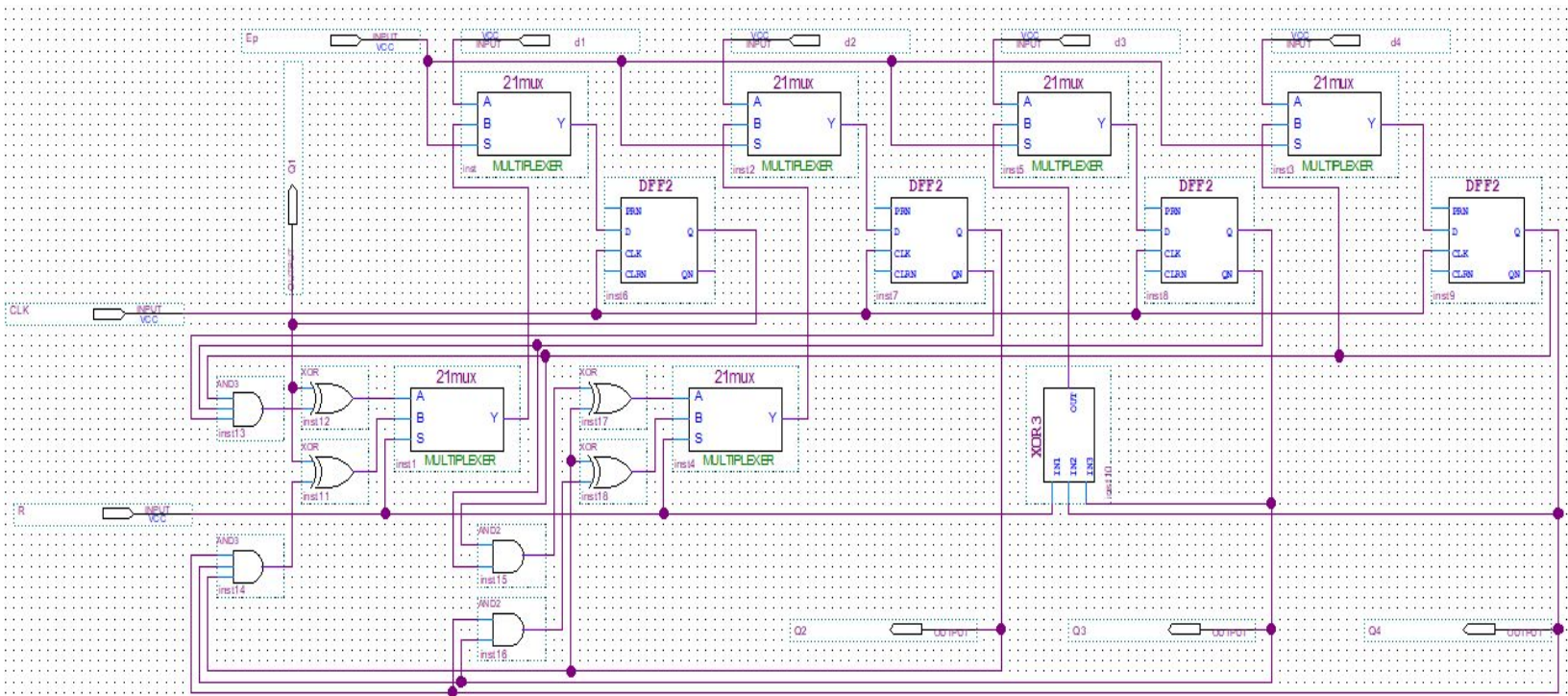
$$D_4 = \overline{Q_4}$$

#### d) Flip-Flops

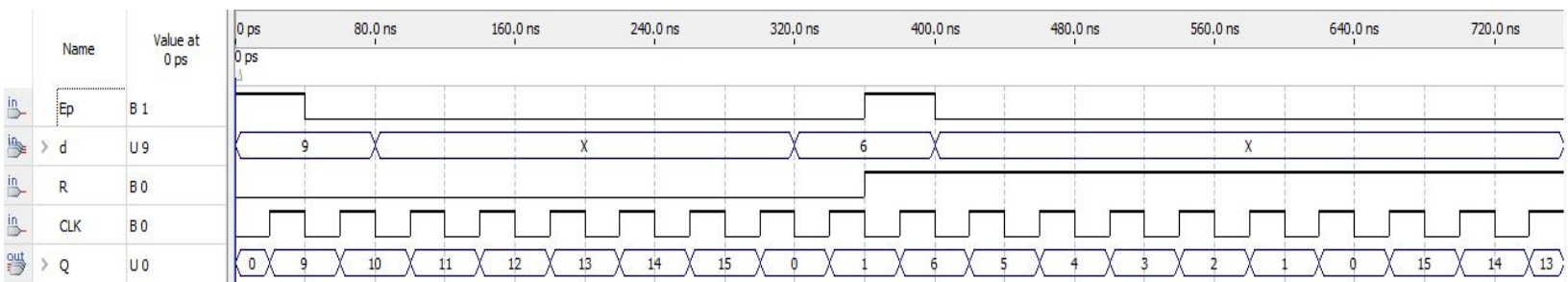
Será utilizado um flip flop para cada variável de saída. Como, para o flip-flop D, a equação característica é  $Q_{n+1} = D$ , temos:

$$\begin{aligned} D_1 &= E_p(d_1) + \overline{E_p}(\overline{Rev}(Q_1 \oplus Q_2 Q_3 Q_4) + Rev(Q_1 \oplus \overline{Q_2} \overline{Q_3} \overline{Q_4})) \\ D_2 &= E_p(d_2) + \overline{E_p}(\overline{Rev}(Q_2 \oplus Q_3 Q_4) + Rev(Q_2 \oplus \overline{Q_3} \overline{Q_4})) \\ D_3 &= E_p(d_3) + \overline{E_p}(\overline{Rev}(Q_3 \oplus Q_4)) \\ D_4 &= E_p(d_4) + \overline{E_p}(Q_4) \end{aligned}$$

e) Diagrama esquemático:



f) Diagrama de temporização:



## 5.2 - Projeto e simulação de um registrador de deslocamento de 4 bits

a) Tabela de transição de estados **parte síncrona**

Estado Atual	Próximo Estado	
	R = 0	R = 1
$Q_1 Q_2 Q_3 Q_4$	$Q'_1 Q'_2 Q'_3 Q'_4$	$Q'_1 Q'_2 Q'_3 Q'_4$
0000	$d_{ser} 000$	$000 d_{ser}$
0001	$d_{ser} 000$	$001 d_{ser}$
0010	$d_{ser} 001$	$010 d_{ser}$
0011	$d_{ser} 001$	$011 d_{ser}$
0100	$d_{ser} 010$	$100 d_{ser}$
0101	$d_{ser} 010$	$101 d_{ser}$
0110	$d_{ser} 011$	$110 d_{ser}$
0111	$d_{ser} 011$	$111 d_{ser}$
1000	$d_{ser} 100$	$000 d_{ser}$
1001	$d_{ser} 100$	$001 d_{ser}$
1010	$d_{ser} 101$	$010 d_{ser}$
1011	$d_{ser} 101$	$011 d_{ser}$
1100	$d_{ser} 110$	$100 d_{ser}$
1101	$d_{ser} 110$	$101 d_{ser}$
1110	$d_{ser} 111$	$110 d_{ser}$
1111	$d_{ser} 111$	$111 d_{ser}$

b) Equações booleanas **parte síncrona**

Como há apenas o deslocamento de bits, não é necessário a montagem do mapa de Karnaugh:

$$Q_1' = \overline{R} d_{ser} + R Q_2$$

$$Q_2' = \overline{R} Q_1 + R Q_3$$

$$Q_3' = \overline{R} Q_2 + R Q_4$$

$$Q_4' = \overline{R} Q_3 + R d_{ser}$$

c) Flip-Flop

Para o flip-flop JK, a equação característica é  $Q_{N+1} = J \overline{Q_N} + \overline{K} Q_N$ . Porém, verifica-se que as equações booleanas das variáveis de estado são do tipo  $Q_i' = \overline{R} A + R B$ , sendo A e B sempre diferentes de  $Q_i$ . Desse modo, devemos fazer com que  $JK = 10$  quando  $Q_i' = 1$  e  $JK = 01$  quando  $Q_i' = 0$ . Ou seja:

$$J_i = \underline{Q_i'}$$

$$K_i = \underline{Q_i'}$$

d) Tabela verdade e equações booleanas **parte assíncrona**

Para a parte assíncrona, pode-se utilizar as entradas preset e clear dos flip-flops:

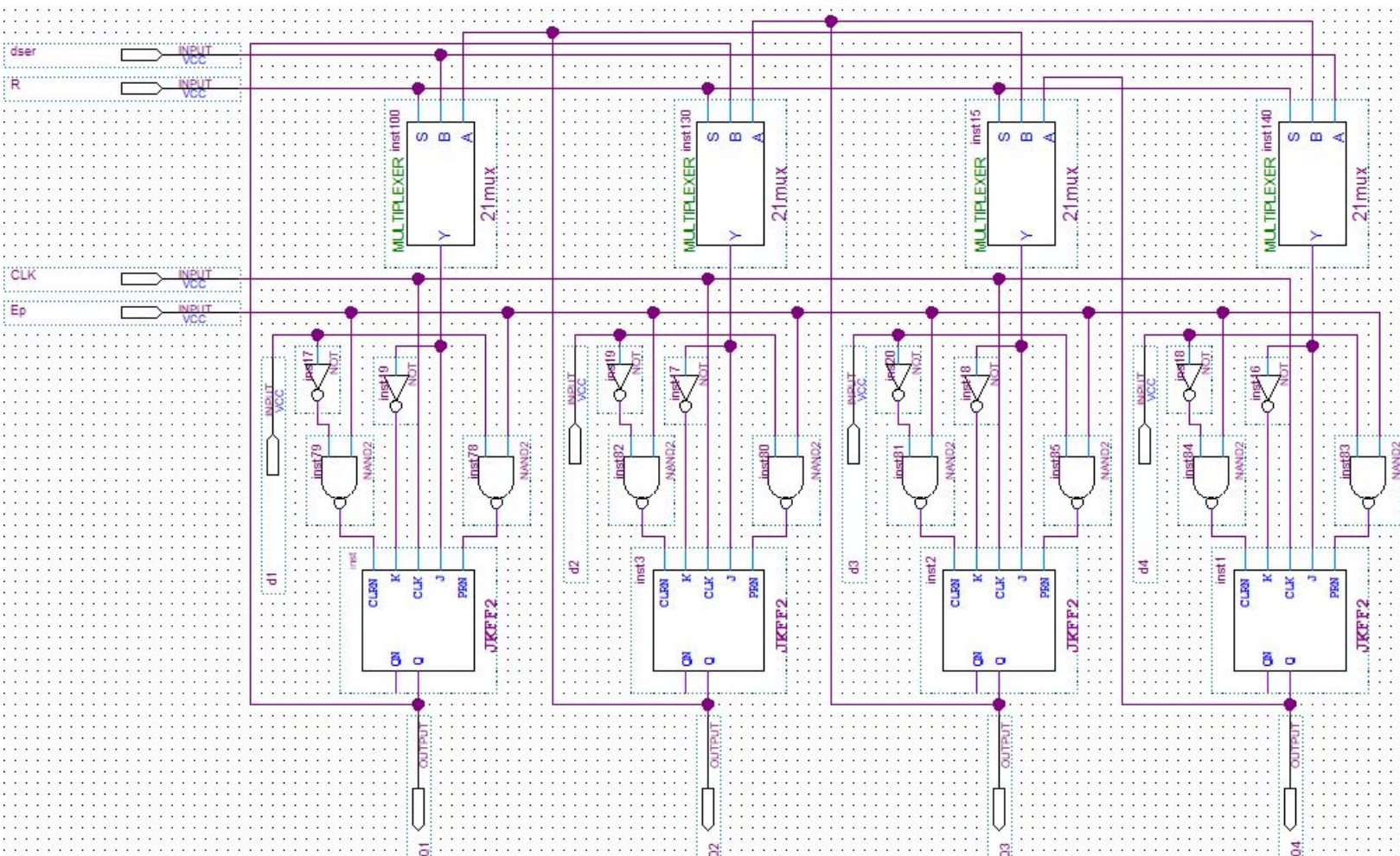
$E_p$	$d_i$	$\overline{P_i}$	$\overline{C_i}$
0	x	1	1
1	0	1	0
1	1	0	1

$$\overline{P_i} = \overline{E_p d_i}$$

$$\overline{C_i} = E_p \overline{d_i}$$

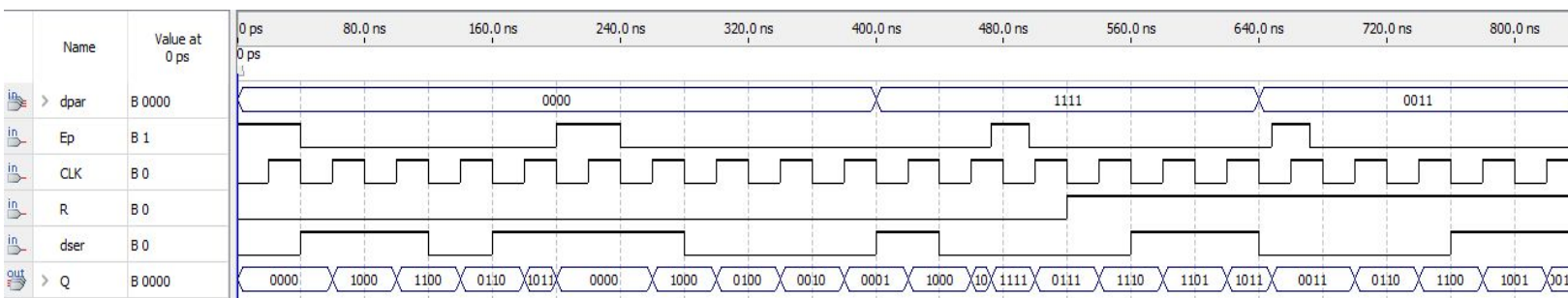


e) Diagrama esquemático:

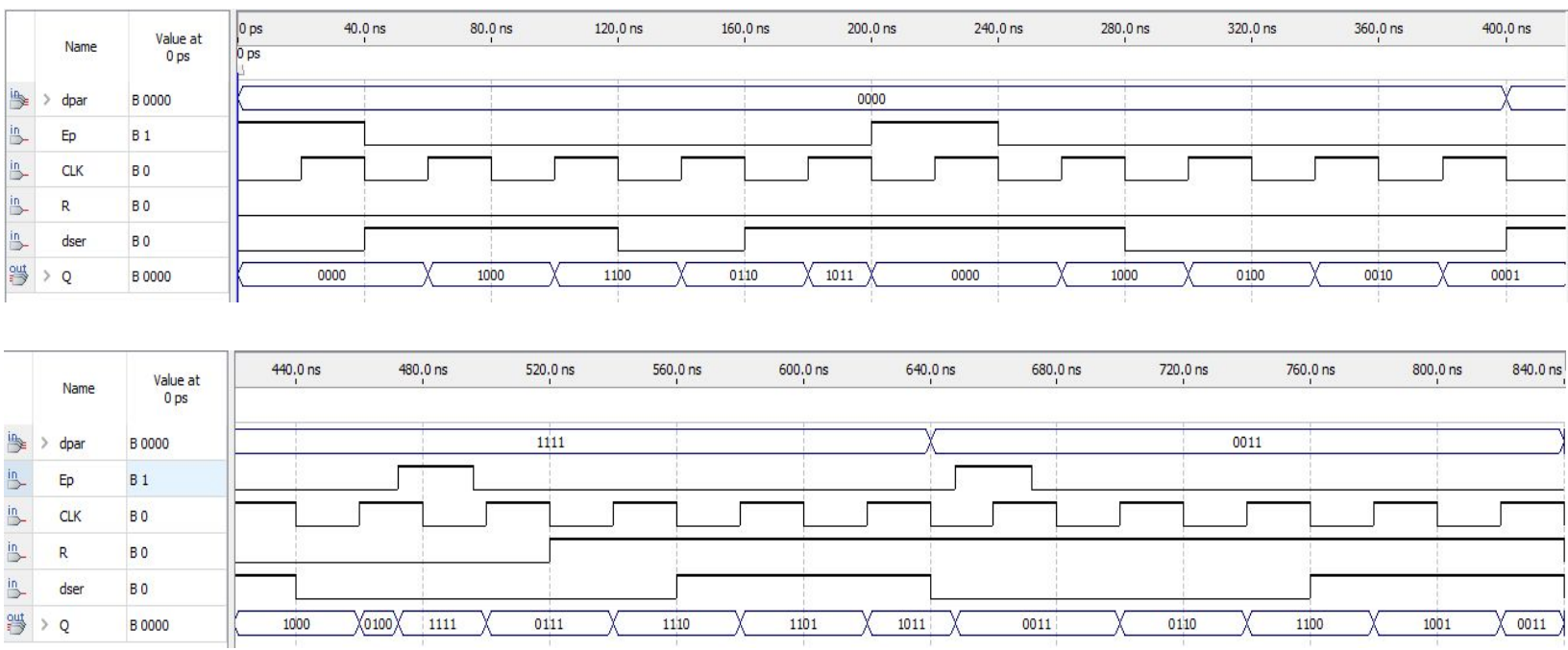


f) Diagrama de temporização:

Para o diagrama de temporização, foi colocado inicialmente Ep=1 para inicializar Q com 0000.



Mais detalhadamente:

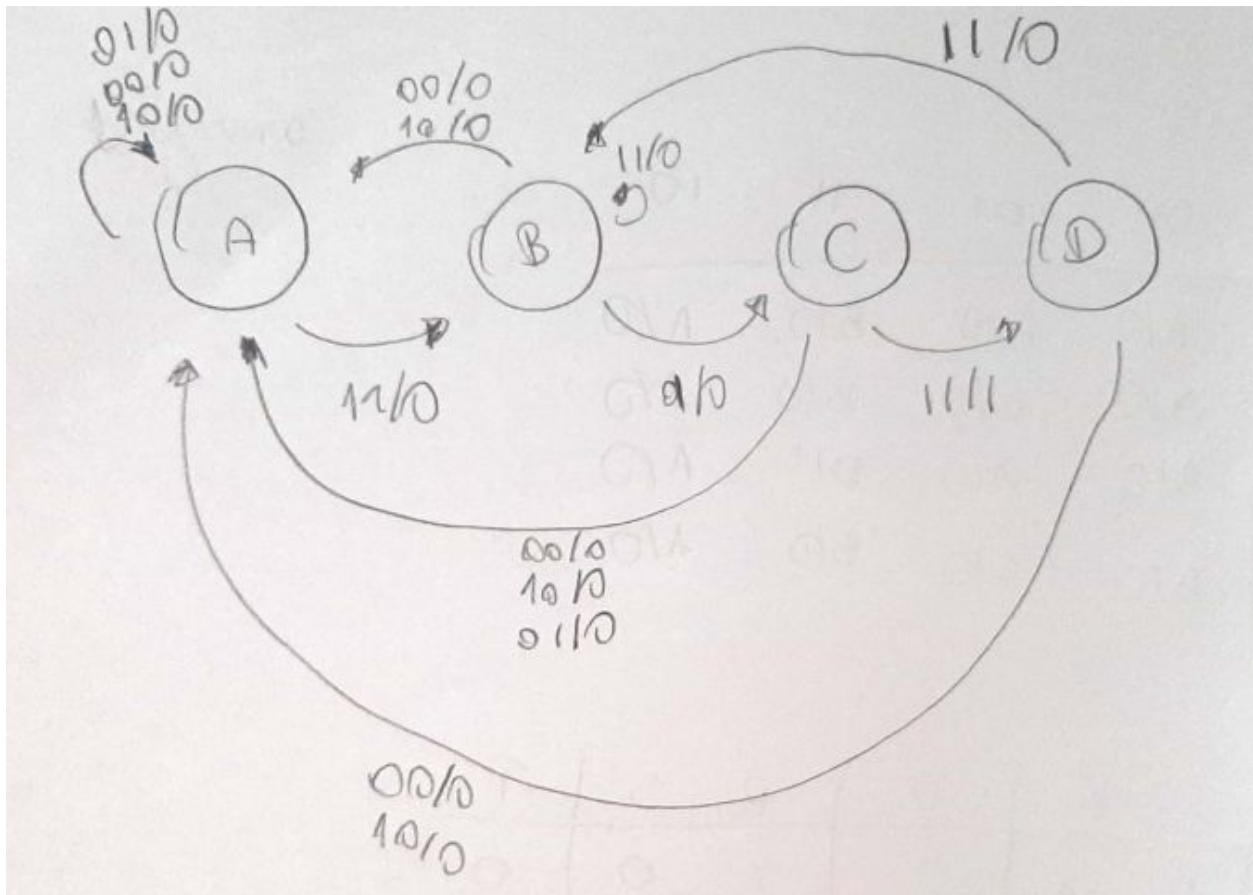


### 5.3 - Projeto e simulação de uma máquina sequencial síncrona

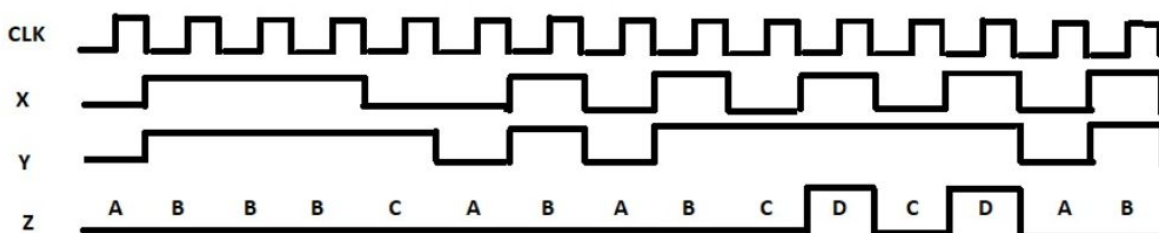
Conforme os passos do item 3.3, segue:

#### a) Diagrama de transição de estados

De acordo com o enunciado, pode-se obter o diagrama de estados para a máquina sequencial síncrona de Mealy, conforme a figura abaixo.



E a forma de onda:



**b) Tabela de transição de estados**

A partir disso, como realizado anteriormente, obtém-se:

Estado \ XY				
	00	01	11	10
A	A/0	A/0	B/0	A/0
B	A/0	C/0	B/0	A/0
C	A/0	A/0	D/1	A/0
D	A/0	C/0	B/0	A/0



**c) Tabela de transição Flip-Flops**

Dessa tabela, percebemos a escolha do Flip-Flop JK é mais adequada.

$Q_0$	$Q_1$	J	K	D	R	S	T
0	0	0	X	0	X	0	0
0	1	1	X	1	0	1	1
1	0	X	1	0	1	0	1
1	1	X	0	1	0	X	0

**d) Tabela de estados codificados**

Assim, obtemos:

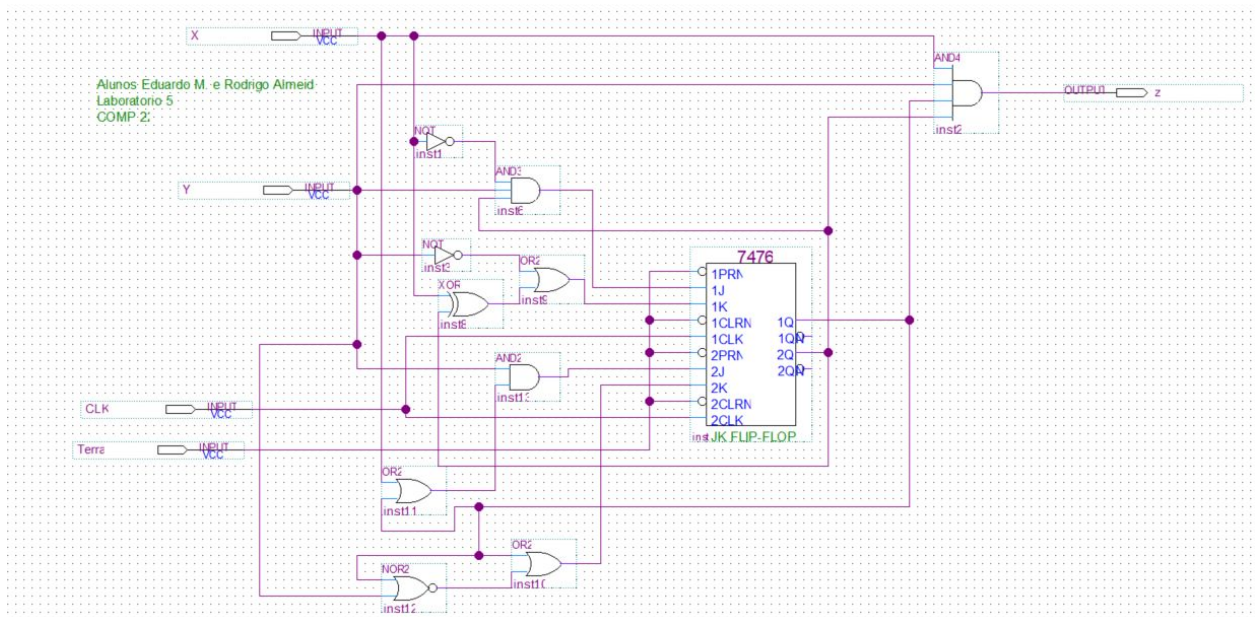
$Q_1 Q_0$ \ $xy$	00	01	11	10
00	00/0	00/0	01/0	00/0
01	00/0	10/0	01/0	00/0
10	00/0	00/0	11/1	00/0
11	00/0	10/0	01/0	00/0

### e) Equação de excitação e de saída

Finalmente, através das minimizações, semelhantemente ao que foi feito nos itens anteriores, chega-se nas equações:

$$\begin{aligned} Z &= XYQ_0Q_1 \\ K_0 &= Q_1 + Y'Q_1' \\ J_0 &= XY + YQ_1 \\ K_1 &= X \oplus Q_0 + Y' \\ J_1 &= X'YQ_0 \end{aligned}$$

### f) Diagrama esquemático



### g) Diagrama de temporização

Segue o diagrama, ratificando a funcionabilidade do circuito lógico.

