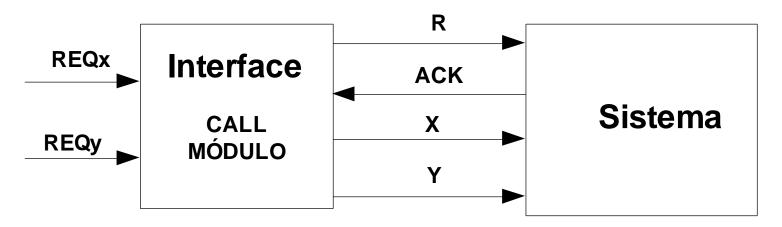
1Q: Obtenha a *Tabela de Fluxo de Estados Primitiva* modelo *Moore* da interface CALL MODULO. Inicialmente, o sinal *REQx* ou *REQy* são ativados (+). Eles pedem acesso ao sistema (mas não ambos). A interface ativa (+) o sinal R (pedido de acesso ao sistema) e espera a autorização do sistema (sinal ACK+). Chegando a autorização temos que: se $REQx+ \rightarrow X+$ ou se $REQy+ \rightarrow Y+$. Quando REQx ou REQy for desativado (-) o sinal R- é desativado. Os sinais X ou Y são desativados (1 \rightarrow 0) imediatamente após o sinal R ser desativado. Enquanto que o sinal ACK- não for desativado, não há novos pedidos de acesso. A desativação do sinal ACK ocorre posteriormente a desativação do sinal R. A interface opera no modo fundamental normal.

Obs: outros estados definir condição don 't-care.

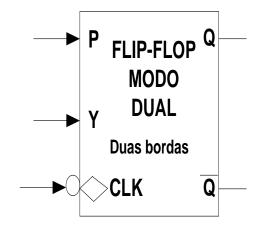


1Q: Obtenha a *Tabela de Fluxo de Estados Primitiva* modelo *Moore* da interface CALL MODULO. Inicialmente, o sinal *REQx* ou *REQy* são ativados (+). Eles pedem acesso ao sistema (mas não ambos). A interface ativa (+) o sinal R (pedido de acesso ao sistema) e espera a autorização do sistema (sinal ACK+). Chegando a autorização temos que: se $REQx+ \rightarrow X+$ ou se $REQy+ \rightarrow Y+$. Quando REQx ou REQy for desativado (-) o sinal R- é desativado. Os sinais X ou Y são desativados (1 \rightarrow 0) imediatamente após o sinal R ser desativado. Enquanto que o sinal R for desativado, não há novos pedidos de acesso. A desativação do sinal R for R for

Obs: outros estados definir condição don't-care.

Reqx Reqy Estados	Ack=0				Ack=1						
Estados 91	00	01	11	10	00	01	11	10	R	X	Υ
а	a	b		С			_	—	0	0	0
b	а	(p)		_	_	d			1	0	0
С	а			(0)				е	1	0	0
d					f	d			1	0	1
е					f			e	1	1	0
f	а				f			_	0	0	0

Fazer a **Tabela** primitiva de fluxo de estados do flip-flop gatilhado nas duas bordas que opera no modo dual. Se P=1 ele é um flip-flop **D** operando na borda de subida. Se **P=0** ele é um flip-flop **T** operando na borda de descida.

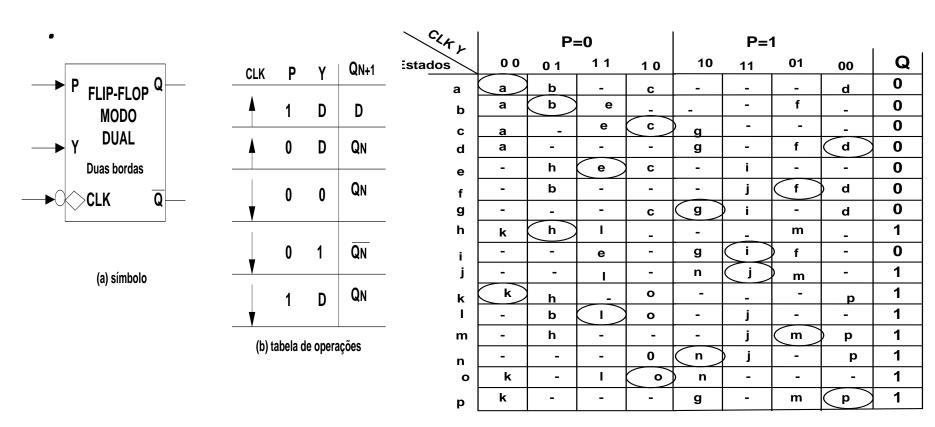


(a) símbolo

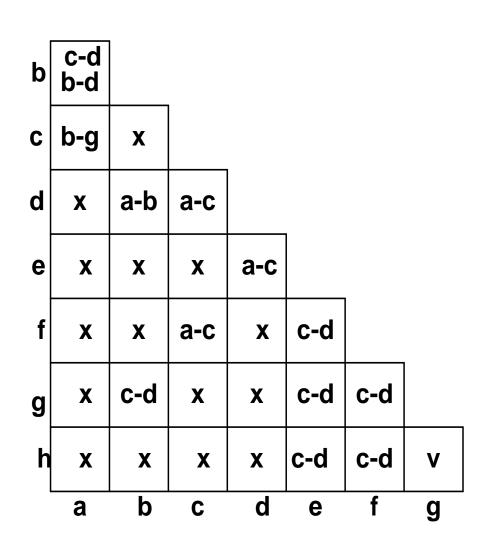
CLK	Р	Υ	QN+1
	1	D	D
	0	D	Qn
V	0	0	Qn
V	0	1	Qn
V	1	D	Qn
•			

(b) tabela de operações

2Q Fazer a Tabela primitiva de fluxo de estados do flip-flop gatilhado nas duas bordas que opera no modo dual. Se P=1 ele é um flip-flop D operando na borda de subida. Se P=0 ele é um flip-flop T operando na borda de descida.



3Q O arranjo de pares de estados compatíveis da figura 1 é de uma tabela de fluxo de estados. Pede-se a **cobertura** mínima, isto é o menor conjunto de classes de máxima compatibilidade que contém todos os estados e satisfaz propriedade do fechamento.

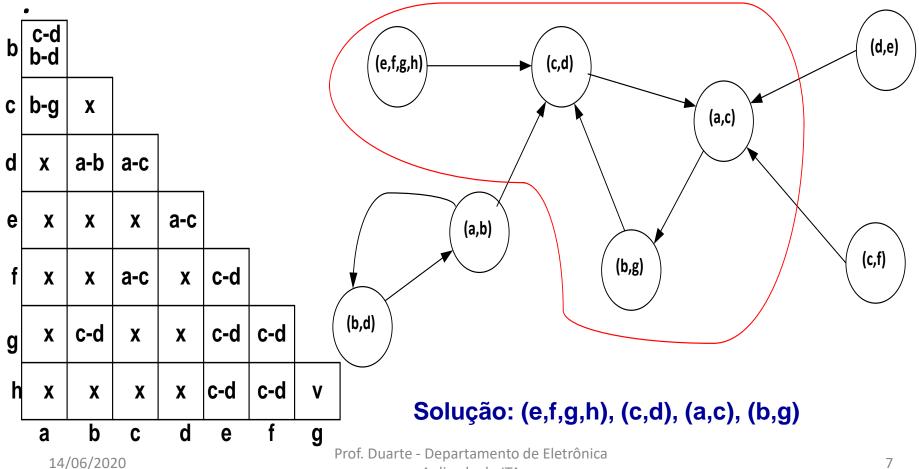


3Q O arranjo de pares de estados compatíveis da figura 1 é de uma tabela de fluxo de estados. Pede-se a cobertura mínima, isto é o menor conjunto de classes de máxima compatibilidade que contém todos os estados e satisfaz a propriedade do fechamento.

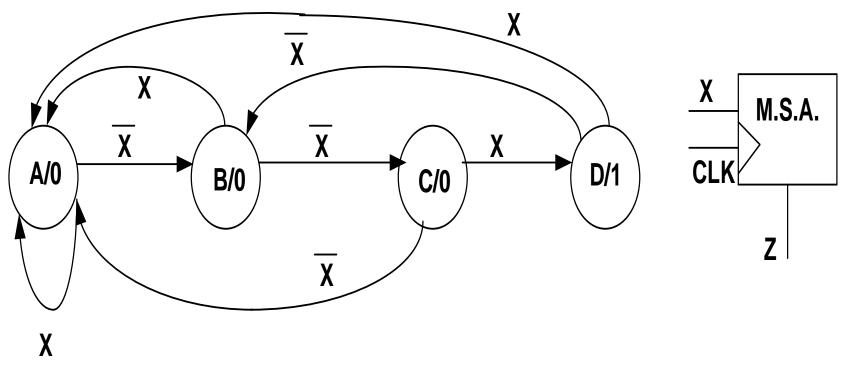
b	c-d b-d							
С	b-g	X						
d	X	a-b	а-с					
е	X	X	X	а-с				
f	X	X	а-с	Х	c-d			
g	X	c-d	X	X	c-d	c-d		_
h	X	X	X	X	c-d	c-d	V	
	а	b	С	d	е	f	g	1

Estado	Compatível	Classes de Maxima compatibilidade
g	h	(g,h)
f	g,h	(f,g,h)
e	f,g,h	(e,f,g,h)
d	e	(e,f,g,h) (d,e)
С	d,f	(e,f,g,h) (d,e) (c,d) (c,f)
b	d,g	(e,f,g,h) (d,e) (c,d) (c,f) (b,d) (b,g)
а	b,c	(e,f,g,h) (d,e) (c,d) (c,f) (b,d) (b,g) (a,b) (a,c)

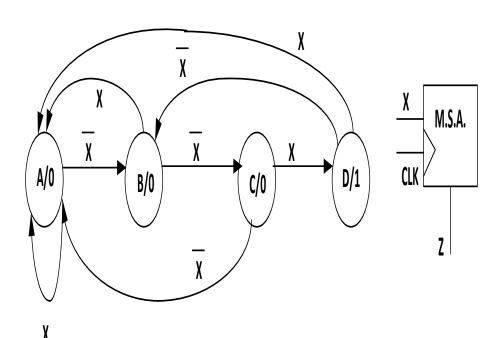
3Q O arranjo de pares de estados compatíveis da figura 1 é de uma tabela de fluxo de estados. Pede-se a cobertura mínima, isto é o menor conjunto de classes de máxima compatibilidade que contém todos os estados e satisfaz a propriedade do fechamento.



4Q: O diagrama de estado abaixo descreve um detector de seqüência. Pensando em uma implementação assíncrona, pede-se a tabela de fluxo primitiva modelo Moore.



4Q: O diagrama de estado abaixo descreve um detector de seqüência. Pensando em uma implementação assíncrona, pede-se a tabela de fluxo primitiva modelo Moore.



(?	+						
Est.		00	01	11	10	Z	
	а	a	b		е	0	
	b	а	b	С		0	٨
	С		b	С	d	0	Α
	d	а		С	d	0	
	е	g		f	е	0	
	f		h	f	е	0	_
ı	g	g	h		i	0	В
	h	g	h	С		0	
	i	k		j	i	0	
	j		I	j	i	0	С
	k	k	-		d	0	
	ı	k	_	m		0	
	m		0	m	n	1	
	n	р		m	n	1	D
	0	р	0	С		1	
	р	р	0		е	1	

5Q Para a tabela de fluxo primitiva modelo Moore abaixo, pede-se:

- a) A tabela de fluxo minimizada
- **b)** Codifique livre de corrida crítica a tabela de fluxo do item (a) com o menor número de variáveis.

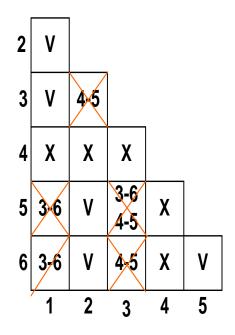
Estados +		l 2	lз	l 4	z
1	1	2	3	-	0
2	1	(2)	-	5	0
3	1	-	(3)	4	0
4	-	2	6	4	1
5	-	2	6	(5)	0
6	1	-	(6)	5	0

5Q Para a tabela de fluxo primitiva modelo Moore abaixo, pede-se:

- a) A tabela de fluxo minimizada
- **b)** Codifique livre de corrida crítica a tabela de fluxo do item (a) com o menor número de variáveis.

ナッセ Estados					
Estados 72	l ₁	l 2	lз	l 4	Z
1	(1)	2	3	-	0
2	1	(2)	-	5	0
3	1	-	(3)	4	0
4	-	2	6	4	1
5	-	2	6	(5)	0
6	1	-	(6)	5	0

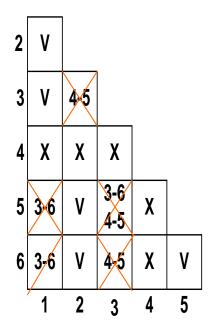
2	٧				
3	٧	4-5			
4	X	Х	X		
5	3-6	٧	3-6 4-5	X	
6	3-6	٧	4-5	X	٧
ļ	1	2	3	4	5



5Q Para a tabela de fluxo primitiva modelo Moore abaixo, pede-se:

- a) A tabela de fluxo minimizada
- b) Codifique livre de corrida crítica a tabela de fluxo do item (a) com o menor número de variáveis.

2	٧				
3	٧	4-5			
4	X	X	X		
5	3-6	٧	3-6 4-5	X	
6	3-6	٧	4-5	X	٧
	1	2	3	4	5



Estados	Compatíveis	Máxima
5	6	(5,6)
2	5,6	(2,5,6)
1	2,3	(1,2) (1,3) (2,5,6)

Solução:

a=(1,3) b=(2,5,6)

c=(4)

5Q Para a tabela de fluxo primitiva modelo Moore abaixo, pede-se:

- a) A tabela de fluxo minimizada
- **b)** Codifique livre de corrida crítica a tabela de fluxo do item (a) com o menor número de variáveis.

ナッナ。 Estados					
Estados 12	l ₁	l 2	lз	l 4	Z
1	(F)	2	3		0
2	1	(2)	-	5	0
3	1	-	(3)	4	0
4	-	2	6	4	1
5	-	2	6	(5)	0
6	1	-	(6)	5	0

a=(1	.3	•	b=(2	.5	6	•	c=4
u-	С.	, •	,	~	C		, 0	"	C- -

Estados 4	l ₁	l 2	lз	I 4	Z
а	a	b	a	С	0
b	а	b	(b)	(b)	0
С	_	b	b	(ပ)	1

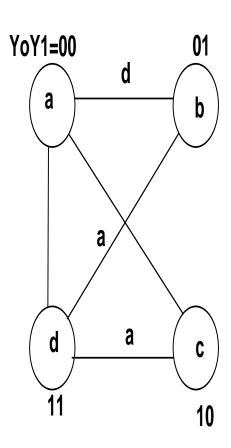
Y1 Y2	l ₁	l 2	l ₃	I 4	Z
00	8	01	8	10	0
01	00	11		ı	0
11	01	11	11)	11	0
10			11	10	1

Adjacências

6Q: Implemente a tabela de fluxo modelo Mealy, descrita abaixo, como máquina de Huffman operando no modo fundamental. Obtenha as equações de próximo estado e de saída (Z1 e Z2) que sejam livres de hazard lógico e de corrida crítica. Use o menor número de variáveis de estado e faça minimização lógica exata. Obs: não necessita minimizar a tabela de fluxo

Estados	0 0	01	11	10
а	a) 01	c / 01	d / 11	a)/11
b	a / 01	X	d / 10	b)/ 10
С	d / 10	c) 11	d / 00	X
d	d)/ 10	c /	d)/ 00	b / 10

6Q: Implemente a tabela de fluxo modelo Mealy, descrita abaixo, como máquina de Huffman operando no modo fundamental. Obtenha as equações de próximo estado e de saída (Z1 e Z2) que sejam livres de hazard lógico e de corrida crítica. Use o menor número de variáveis de estado e faça minimização lógica exata. Obs: não necessita minimizar a tabela de fluxo



\ + ₁				
Y ₀ Y ₁	00	01	11	10
00	00)01	10 / 01	11 / 11	00/11
01	00 / 01	X	11 / 10	01)/10
11	11/10	10/	11) 00	01 / 10
10	11 / 10	10/11	11 / 00	X

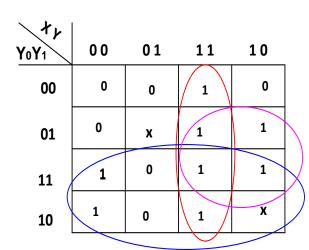
Codificação livre de corrida crítica

6Q: Implemente a tabela de fluxo modelo Mealy, descrita abaixo, como máquina de Huffman operando no modo fundamental. Obtenha as equações de próximo estado e de saída (Z1 e Z2) que sejam livres de hazard lógico e de corrida crítica. Use o menor número de variáveis de estado e faça minimização lógica exata.

Obs: não necessita minimizar a tabela de fluxo

\+ <u>L</u>				
Y ₀ Y ₁	00	01	11	10
00	00)01	10 / 01	11 / 11	00/11
01	00 / 01	х	11 / 10	01)/ 10
11	11/10	10 /	11) 00	01 / 10
10	11 / 10	10) 11	11 / 00	х

Y ₀ Y ₁	00	01	11	10
00	0	1	1	0
01	0	x	1	0
11 /	1	1	1	0
10	1	1	1	х



$$Y_0(t+1) = X + y_0(t) Y$$

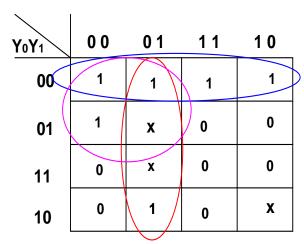
$$Y1(t+1) = XY + Xy_1(t) + y_0(t)(X'Y)'$$

Obs: transição y1:1→1: y0y1(11)xy(00)→ y0y1(01)xy(10) É coberto por dois implicantes que é aceito (este tipo de cobertura) Um implicante cobre a transição de entrada e o outro implicante cobre a transição de saida

6Q: Implemente a tabela de fluxo modelo Mealy, descrita abaixo, como máquina de Huffman operando no modo fundamental. Obtenha as equações de próximo estado e de saída (Z1 e Z2) que sejam livres de hazard lógico e de corrida crítica. Use o menor número de variáveis de estado e faça minimização lógica exata. Obs: não necessita minimizar a tabela de fluxo

Y ₀ Y ₁	0 0	0 1	11	10
00	00)01	10 / 01	11 / 11	00/11
01	00 / 01	X	11 / 10	01)/10
11	11)/10	10 /	11) 00	01 / 10
10	11 / 10	10) 11	11 / 00	X

Y ₀ Y ₁	0 0	0 1	11	10
00	0	0	1	1
01	0	X	1	1
11 /	1	1	0	1
10	1	1	0	x



$$X = X Y + y_0(t) X + y_0(t) X$$

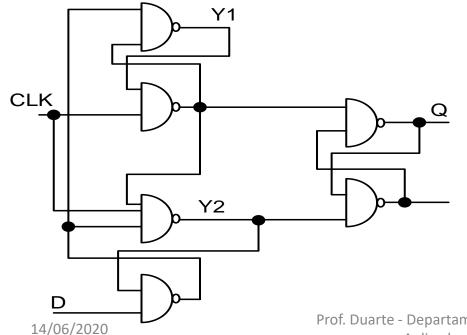
$$Y = \overline{y_1(t)} \overline{y_0(t)} + \overline{X} Y + \overline{X} y_0(t)$$

7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- a) A tabela de fluxo de estados
- b) Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação (atraso): (*Tp, tp*)



$$Y1(t+1) = Dy2(t) + CLKy1(t)$$

$$Y2(t+1) = CLKy1(t) + CLK' + Dy2(t)$$

$$Q(t+1) = CLKy1(t) + y2(t)q(t)$$

Prof. Duarte - Departamento de Eletrônica Aplicada do ITA

7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- a) A tabela de fluxo de estados
- b) Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação

(atraso): (*Tp, tp*)

CLKD					
Y1 Y2 Q	00	0 1	11	10	Q
000	010	010	000	000	O
001	010	010	000	000	1
011	011	111	111	001	1
010	010	110	110	000	O
100	010	010	111	111	O
101	010	010	111	111	1
111	011	111	111	111	1
110	010	110	111	111	O

7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- a) A tabela de fluxo de estados
- b) Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação (atraso): (*Tp, tp*)

CLKD	l				
Y1 Y2 Q	00	0 1	1 1	10	Q
000	010	010	000	000	O
0 0 1	010	010	000	000	1
011	011	111	111	001	1
010	010	110	110	000	O
100	010	010	111	111	0
1 0 1	010	010	111	111	1
111	011	111	111	111	1
110	010	110	111	111	0

CLKD	l				
Y1 Y2 Q	00	0 1	11	10	Q
000	010	010	000	000	0
0 0 1	×	×	X	000	1
0 1 1	011	111	×	001	1
010	010	110	×	000	O
100	×	×	×	×	×
1 0 1	×	×	×	X	×
111	011	111	111	111	1
110	010	110	111	×	0

7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- **a)** A tabela de fluxo de estados
- **b)** Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação

(atraso): (**Tp, tp**)

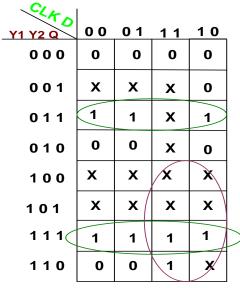
CLKD				
Y1 Y2 Q	00	0 1	<u> 1 1 </u>	<u> 10</u>
0 0 0	0	0	0	0
0 0 1	X	X	X	O
0 1 1	0	1	X	O
010	0	1	×	О .
100	X	×	X	×
101	×	×	×	×
111	0	1	1	1
110	0	1	1	x /

$$Y1(t+1) = CLKy1(t) + Dy2(t)$$

CLKD	0 0	0.1		1.0
Y1 Y2 Q	00	0 1	11	10
000	1	1	0	0
0 0 1	X	X	x	O
0 1 1	1	1	×	0
010	1	1	×	O
100	×	X	x	×
1 0 1	/ x	×	×	×
111	1	1	1	1 /
110	1	1	1	×

$$Y2(t+1) = y1(t) + CLK'y2(t)$$

Prof. Duarte - Departamento de Eletrônica Aplicada do ITA



Q(t+1) = CLKy1(t) + y2(t)q(t)

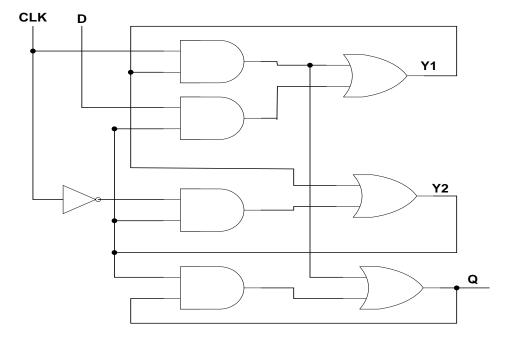
7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- a) A tabela de fluxo de estados
- b) Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação (atraso): (*Tp, tp*)

CLKD	l				
Y1 Y2 Q	00	0 1	11	10	Q
000	010	010	000	000	0
0 0 1	X	×	×	000	1
0 1 1	011	111	×	001	1
010	010	110	×	000	0
100	X	×	×	X	×
101	x	x	X	X	×
111	011	111	111	111	1
110	010	110	111	X	0



7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- a) A tabela de fluxo de estados
- b) Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação

(atraso): (*Tp, tp*)

CLKD					
Y1 Y2 Q	00	0 1	11	10	Q
000	010	010	000	000	0
0 0 1	×	×	X	000	1
0 1 1	011	111	×	001	1
010	010	110	×	000	0
100	×	×	×	×	×
101	×	×	×	×	X
111	011	111	111	111	1
110	010	110	111	X	0

Y1Y2Q(CLKD)

Há Hazard essencial

$$0(11) \rightarrow 2(01) \rightarrow 6 (01) \rightarrow 7(11) \rightarrow 7(01)$$

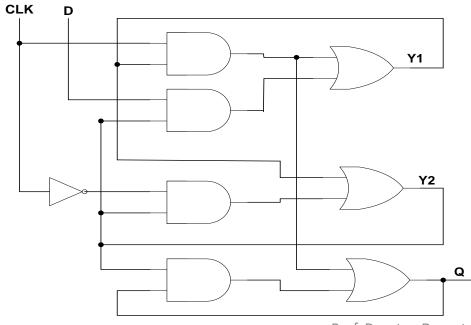
$$7(10) \rightarrow 3(00) \rightarrow 1(10) \rightarrow 0(10) \rightarrow 2(00)$$

7Q: Para o flip-flop D abaixo implementado na arquitetura RS, pede-se:

- a) A tabela de fluxo de estados
- b) Implemente este flip-flop na arquitetura de Huffman.
- c) Verifique no circuito do item (b) se há hazard essencial. Mostre o caminho e a solução, que é a inequação do elemento de atraso (despreze os atrasos nas linhas).

Obs: equação característica: $Q_{N+1}=S'+RQ_N$

Obs: nas portas há respectivamente os tempos máximo e mínimo de propagação (atraso): (*Tp, tp*)



Y1Y2Q(CLKD)

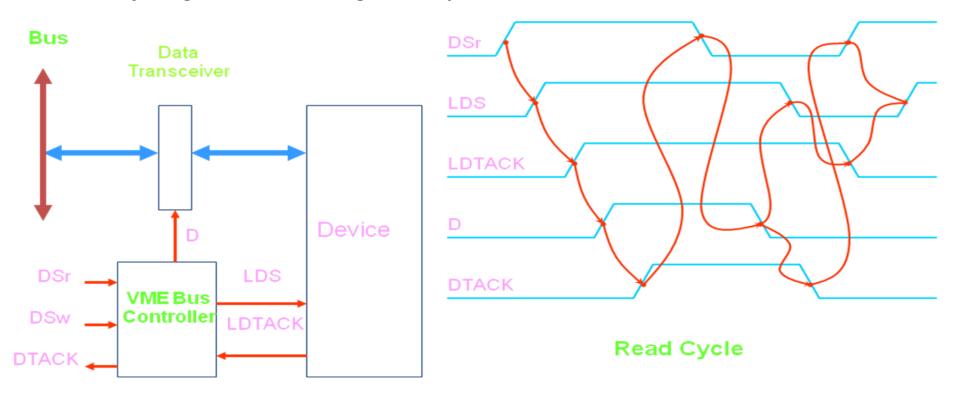
Há Hazard essencial

$$0(11) \rightarrow 2(01) \rightarrow 6 (01) \rightarrow 7(11) \rightarrow 7(01)$$

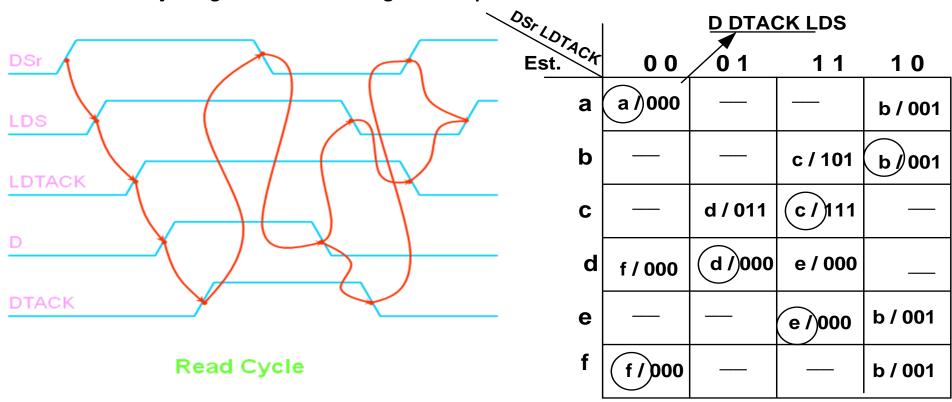
$$7(10) \rightarrow 3(00) \rightarrow 1(10) \rightarrow 0(10) \rightarrow 2(00)$$

Inserir elementos de atraso

- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman



- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman



- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman

Est.	<u>D DTACK L</u> DS			
Est. ACH	00	0 1	11	10
а	a)000°			b / 001
b			c / 101	b)001
С		d / 011	c/111	_
d	f / 000	d/000	e / 000	
е			e /)000	b / 001
f	f/000			b / 001

b	٧				
С	V	X		1	
d	٧	X	X		
е	V	X	X	٧	
f	٧	٧	٧	V	٧
	a	b	C	d	е

Estado	Compatível	Classes de Max. comp.
e	f	(ext)
d	e,f	(d,e,f)
С	f	(d,e,f) (c,f)
b	f	(d,e,f) (c,f) (b,f)
a	b,c,d,e,f	(a,d,e,f) (a,c,f)(a,b,f)

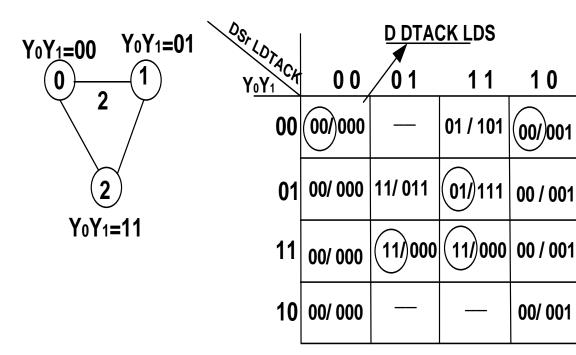
- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman

Est.	D DTACK LDS				
Est.	00	<u>/01</u>	11	10	
a	a)000			b / 001	
b		_	c / 101	b)001	
С		d / 011	c/111		
d	f / 000	d/)000	e / 000		
е			e /)000	b / 001	
f	f/000			b / 001	

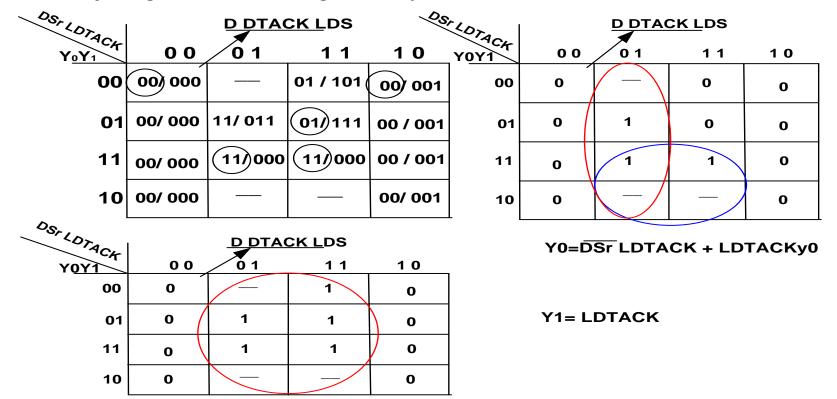
DSr LDTACK Est.		D DTAC	CK LDS	
Est. ACA	00	0 1	11	10
0	0)000		1 / 101 (0)001
1		2 / 011	1/111	0 / 001
2	0 / 000	2/)000	2/000	0 / 001

- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman

OS _r LOTACK Est.	D DTACK LDS			
Est. ACH	00	<u>/01</u>	11	10
0	0)000	_	1 / 101 (0)001
1	1	2/011	1/111	0 / 001
2	0 / 000	21)000	21)000	0 / 001

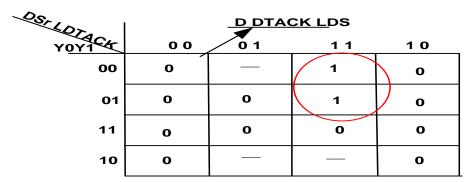


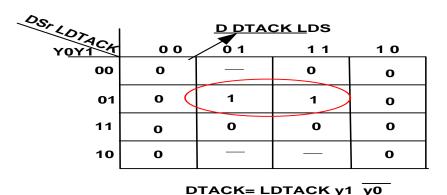
- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman

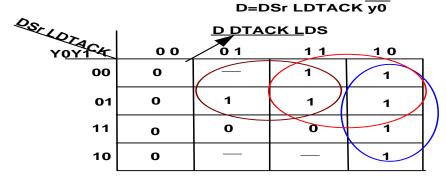


- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman

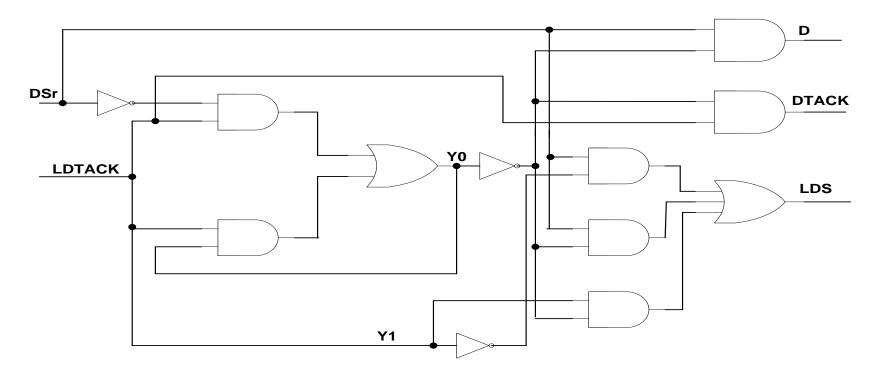
DSTLDTACK	1	D DTA	CK LDS	
YOY1	0 0	0 1	11	1 0
00	000 000		01 / 101 (00) 001
01	00/ 000	11/ 011	01)111	00 / 001
11	00/ 000	11)000	11)000	00 / 001
10	00/ 000			00/ 001





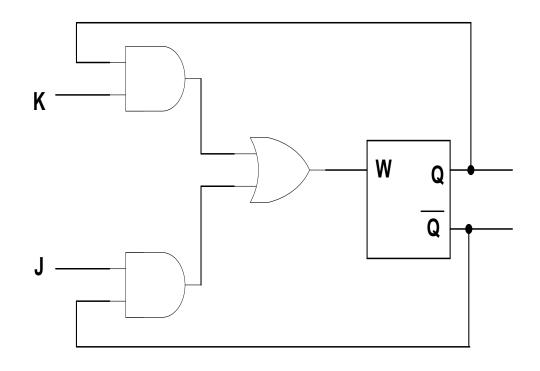


- a) Tabela primitiva de fluxo de estados
- b) Minimização de estados
- c) Assinalamento de estados livre de corrida crítica (menor Nro. de variáveis)
- d Minimização lógica livre de risco lógico na arquitetura de Huffman



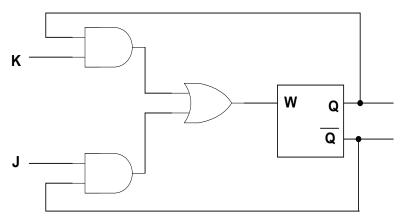
- **9Q**: O Latch JK do lado foi projetado a partir do Latch W. Pede-se:
- a)Equação característica do Latch w
- b)Mostre algebricamente que este circuito é um Latch JK.

Dado: Q_{N+1}=JQ_N' + K'Q_N



- **9Q**: O Latch JK do lado foi projetado a partir do Latch W. Pede-se:
- a)Equação característica do Latch w
- b)Mostre algebricamente que este circuito é um Latch JK.

Dado: Q_{N+1}=JQ_N' + K'Q_N



a) Eq. Característica

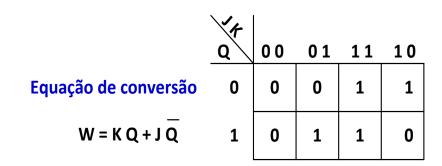


Tabela de Excitação do Latch W

J K	Q _{N+1}
0 0	Qn
0 1	0
11	Qn
10	1

Qn	\rightarrow	Q _{N+1}	W
0	\rightarrow	0	0
_1	\rightarrow	1	
0	\rightarrow	0	0
_1	\rightarrow	0	1
0	$\overset{\Rightarrow}{\rightarrow}$	1 0	1
0	\rightarrow	1	1
_1	\rightarrow	1	0

QΝ	\rightarrow	Q _{N+1}	W
0	→	0	0
1	\rightarrow	0	1
0	\rightarrow	1	1
1	→	1	0

9Q: O Latch JK do lado foi projetado a partir do Latch W. Pede-se:

- a)Equação característica do Latch w
- b)Mostre algebricamente que este circuito é um Latch JK.

Dado: Q_{N+1}=JQ_N' + K'Q_N

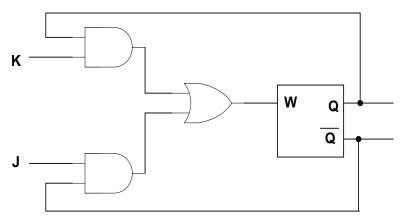
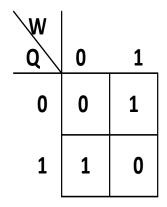


Tabela de excitação do Latch W

Qn	\rightarrow	Q _{N+1}	W
0	\rightarrow	0	0
1	\rightarrow	0	1
0	\rightarrow	1	1
1	\rightarrow	1	0



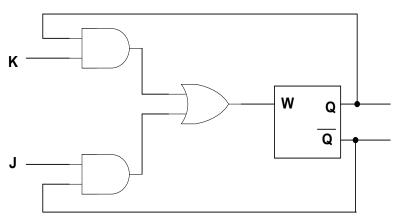


W	Q _{N+1}
0	Qn
1	Q _N

Tabela de operações do Latch W

- **9Q**: O Latch JK do lado foi projetado a partir do Latch W. Pede-se:
- a)Equação característica do Latch w
- b)Mostre algebricamente que este circuito é um Latch JK.

Dado: Q_{N+1}=JQ_N' + K'Q_N



b) Mostre algebricamente se é um latch JK.

Sabendo que:

$$Q_{N+1}=Q_N\oplus W$$
 (1) e $W=KQ_N+JQ_N'$ (2)

Substituindo (2) em (1) temos

$$Q_{N+1}=Q_N\oplus(KQ_N+JQ_N')$$

$$Q_{N+1}=Q_N(KQ_N+JQ_N')'+Q_N'(KQ_N+JQ_N')$$

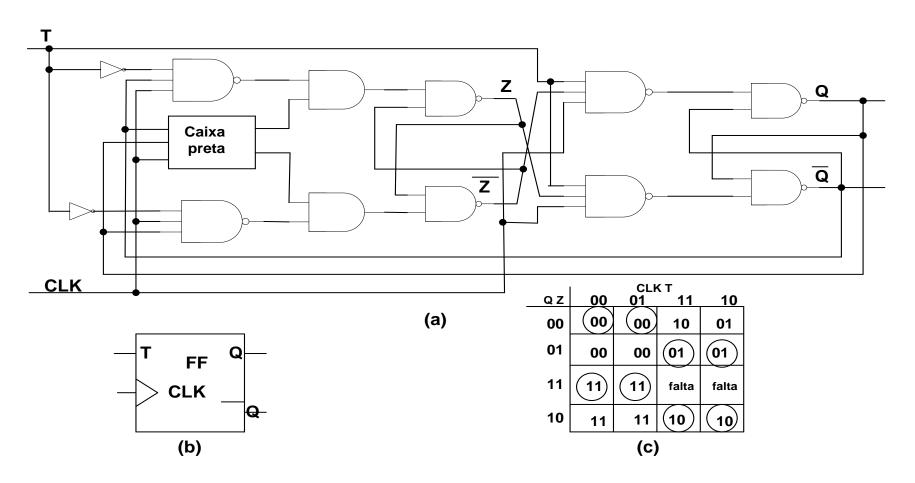
$$Q_{N+1}=Q_N((Q_N'+K)(Q_N+J'))+JQ_N'$$

$$Q_{N+1}=Q_N(J'Q_N'+KQN+KJ')+JQ_N'$$

$$Q_{N+1}=KQ_N+KJ'Q_N+JQ_N'$$

$$Q_{N+1}=KQ_N+JQ_N'$$

10Q: O circuito parcialmente mostrado na figura 4 é do FF T implementado na arquitetura RS. Usando somente 3 portas encontre o circuito contido na caixa preta.



10Q: O circuito parcialmente mostrado na figura 4 é do FF T implementado na arquitetura RS. Usando somente 3 portas encontre o circuito contido na caixa preta.

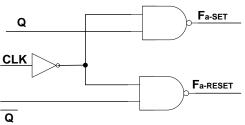
	1	CL	KT	
QZ	00	01	11	10
00	00	00	10	01
01	00	00	01	(01)
11	11	11	falta	falta
10	11	11	10	10

	1	CL	ΚT	
QZ	00	01	11	10
00	00	00	10	01
01	00	00	01	(01)
11	11	11	01	10
10	11	11	10	10

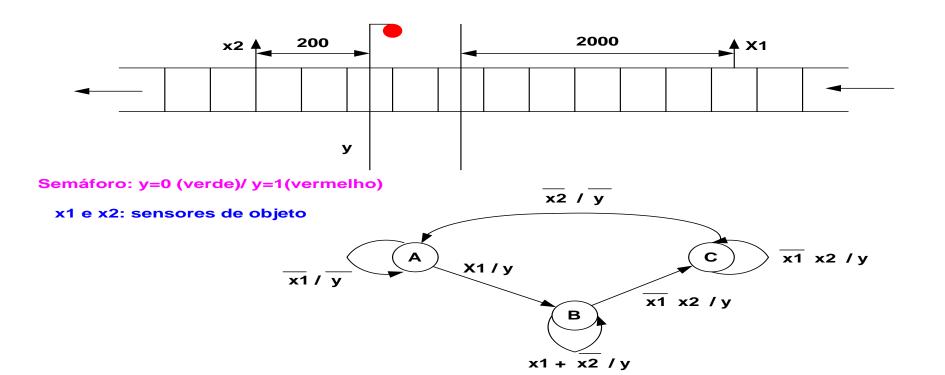
	i	CLK T					
QZ	00	01	11	10			
00	O	O	0/	1			
01	O	O	×	1			
11	1	1	×	0			
10	1	1 /	0	О			

	ı	CL	KT	
Q Z	00	01	11	10
00	1	1	×	O
01	1	1	0	o
11	0	0	0	1
10	О	0	×	1

Fz-SET = CLK'Q + CLKT'Q'= (CLK'Q)(CLKT'Q') Fz-RESET=CLK'Q' + CLKT'Q
=(CLK'Q')(CLKT'Q



1Q:Um controlador síncrono (máquina de estado finito modelo Mealy) de um semáforo será instalado em uma passagem de nível na estrada de ferro de sentido único. Sem trem se aproximando, a luz verde do semáforo está acessa. Quando um trem se aproxima da passagem de nível e está no limite de 2000 pés da passagem, o semáforo muda de luz verde para luz vermelha. A mudança de vermelho para verde somente ocorre quando o trem inteiro atravessou a passagem de nível e a parte traseira do trem está a 200 pés longe da passagem. Assuma que o comprimento do trem não excede 1500 pés e a distância mínima entre os trens é de 3000 pés. Defina o menor número de variáveis de entrada e de saída e obtenha o grafo de transição de estados.

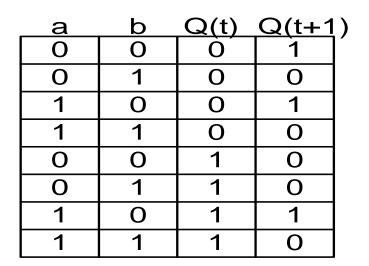


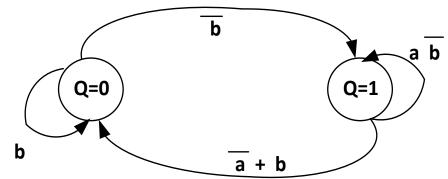
2Q: Usando FF's JK e portas, **sintetize** a máquina seqüencial síncrona minimizada de duas entradas (*a*,*b*) e de uma saída (*Q*), que está **especificada** pela tabela de operações descrita abaixo

<u>a</u>	<u>b</u>	Q(t)	Q(t+1)
О	Ο	Ò	1
0	1	О	0
1	O	О	1
1	1	0	О
О	O	1	О
О	1	1	0
1	O	1	1
1	1	1	О

2Q: Usando FF's JK e portas, **sintetize** a máquina seqüencial síncrona minimizada de duas entradas (*a*,*b*) e de uma saída (*Q*), que está **especificada** pela tabela de operações descrita abaixo

Solução





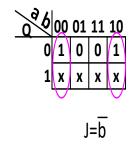
estados Estados	00	01	11	10	Q
Α	В	Α	Α	В	0
В	Α	Α	Α	В	1

0%	00	01	11	10	
0	1	0	0	1	
1	0	0	0	1	

2Q: Usando FF's JK e portas, **sintetize** a máquina seqüencial síncrona minimizada de duas entradas (a,b) e de uma saída (Q), que está **especificada** pela tabela de operações descrita abaixes 00 01 11 10 Q

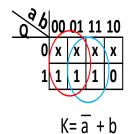
Α	B	Α	Α	В	0
В	Α	Α	Α	В	1
-					

<u>a</u>	<u> </u>	Q(t)	Q(t+1)	.)
<u>а</u> 0	0	Q(t) 0	1	ĺ
0	1	0	0	
1	0	0	1	
1	1	0	0	
0	0	1	0	
0	1	1	0	
1	0	1	1	
1	1	1	0	



Solução

96	00	01	11	10
0		0		1
1	0	0	0	1



$Q(t) \rightarrow Q(t+1)$		J K
	0 → 0	0 X
	0 → 1	1 X
•	1 → 0	X 1
1) 1		X 0

2Q: Usando FF's JK e portas, **sintetize** a máquina seqüencial síncrona minimizada de duas entradas (*a*,*b*) e de uma saída (*Q*), que está **especificada** pela tabela de operações descrita abaixo

Solução

<u>a</u>	b	Q(t)	Q(t+1)
О	0	Ò	1
О	1	О	0
1	O	О	1
1	1	0	0
О	O	1	0
О	1	1	О
1	0	1	1
1	1	1	0

