



Instituto Tecnológico de Aeronáutica - ITA

Divisão de Engenharia Eletrônica

Departamento de Eletrônica Aplicada

Laboratório de EEA-21

1ª Experiência

Análise e síntese de funções combinacionais de uma única saída.

1. Objetivos

- a. Familiarização com simulador de captura esquemática;
- b. Familiarização com circuitos combinacionais básicos;
- c. Verificação de alguns teoremas da álgebra booleana; e
- d. Utilização da função multiplexadora.

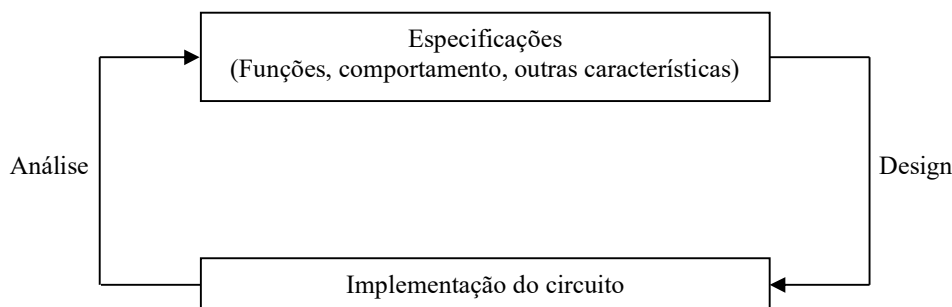
2. Instruções gerais

Para cada uma das tarefas propostas, observe o que se pede em negrito. Quando a solicitação é da forma:

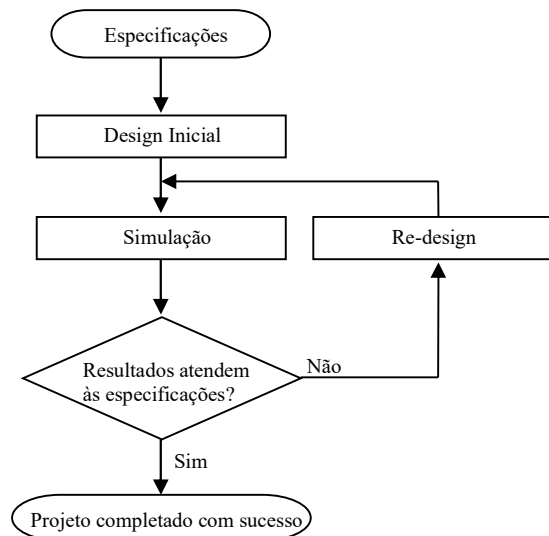
- **“Projete”**, espera-se que os alunos projetem os circuitos seguindo algum tipo de especificação **dada**. Assim, os cálculos combinacionais, procedimentos de minimização ou outros mecanismos utilizados para o projeto e o diagrama esquemático final do circuito devem ser mostrados (constar no relatório).
- **“Simule”**, espera-se que seja utilizado um software de captura esquemática para a obtenção dos resultados. Assim, o diagrama esquemático (no caso de captura esquemática) deve ser apresentado, bem como o diagrama de temporização contendo as entradas e as saídas.
- **“Analise”**, espera-se que sejam obtidas as expressões lógicas, tabelas verdade, a partir de um diagrama esquemático, diagrama de temporização ou outra informação sobre o circuito lógico. Dessa forma, os procedimentos de análise devem ser mostrados no relatório.

3. Informações úteis

3.1 Ciclo de *Análise e Design*.



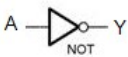






3.2 Fluxo de Projeto.



3.2 Propriedades validadas em álgebra de Boole:

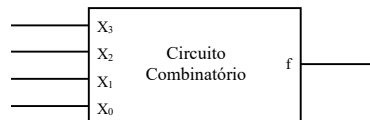
1	$a + b = b + a$	$ab = ba$	Comutatividade
2	$a + (bc) = (a + b)(a + c)$	$a(b + c) = (ab) + (ac)$	Distributividade
3	$a + (b + c) = (a + b) + c = a + b + c$	$a(bc) = (ab)c = abc$	Associatividade
4	$a + a = a$	$aa = a$	Idempotência
5	$a + \bar{a} = 1$	$a\bar{a} = 0$	Complemento
6	$1 + a = 1$	$0a = 0$	
7	$0 + a = a$	$1a = a$	Identidade
8	$\overline{(\bar{a})} = a$		Involução
9	$a + ab = a$	$a(a + b) = a$	Absorção
10	$a + \bar{a}b = a + b$	$a(\bar{a} + b) = ab$	Simplificação
11	$\overline{(a + b)} = \bar{a}\bar{b}$	$\overline{(ab)} = \bar{a} + \bar{b}$	Teorema De Morgan

3.3 Portas lógicas de uma e de duas entradas:

PORTA	SÍMBOLO	EQUAÇÃO BOOLEANA
NOT		$Y = \bar{A}$
AND		$Y = A \cdot B$
OR		$Y = A + B$
NAND		$Y = \overline{A \cdot B}$
NOR		$Y = \overline{A + B}$
XOR		$Y = A \oplus B = \bar{A}B + A\bar{B}$
XNOR		$Y = \overline{A \oplus B} = AB + \bar{A}\bar{B}$

4. Tarefas:

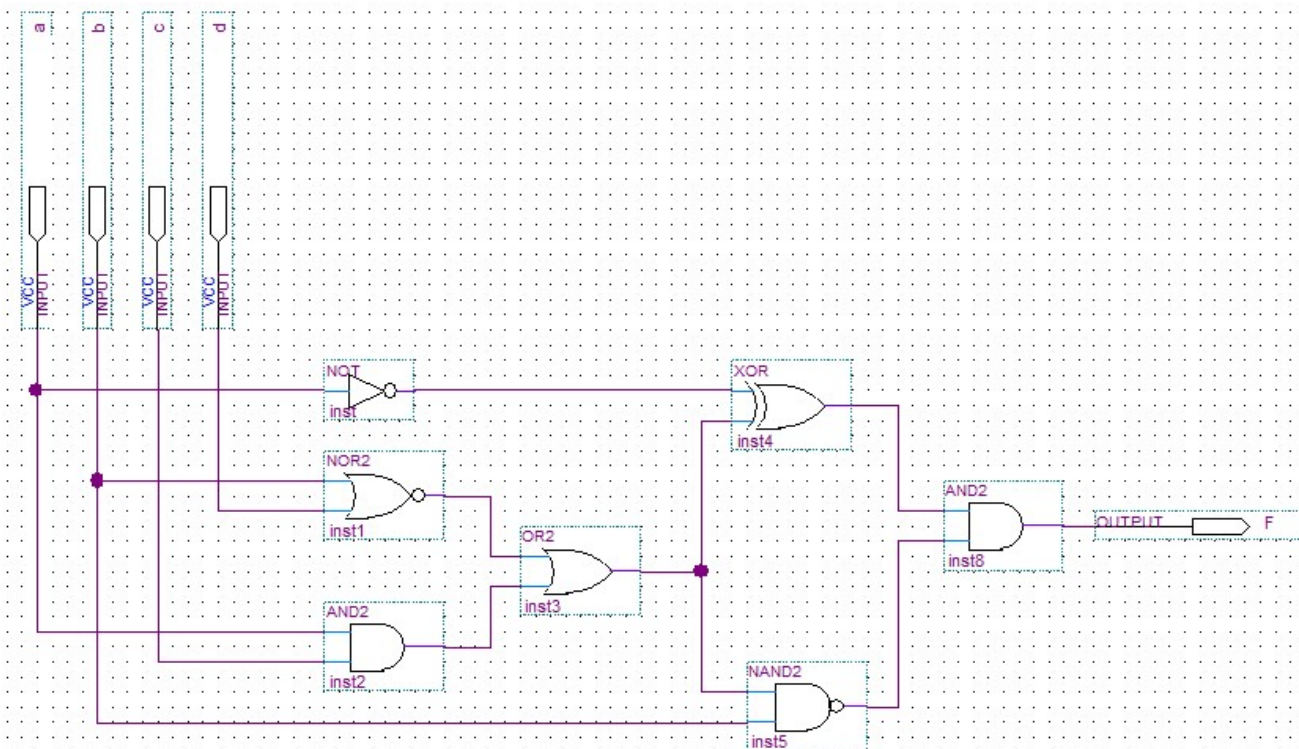
4.1 Projete e simule um dispositivo digital tem como entrada um número binário de 4 bits, $X_3X_2X_1X_0$, onde X_3 representa o bit mais significativo, e uma única saída f , que detecte se o número pertence à sequência de Fibonacci (1, 1, 2, 3, 5, 8, 13, 21, 34,...) : saída $f = 1$ (um) quando a entrada pertence à sequência; e saída $f = 0$ (zero) quando a entrada não pertence à sequência.



Obtenha:

- A tabela verdade para a função lógica f ;
- O diagrama lógico (diagrama esquemático) usando apenas portas lógicas de no máximo duas entradas;
- Apresente o resultado da simulação funcional em sua forma de diagrama de temporização.

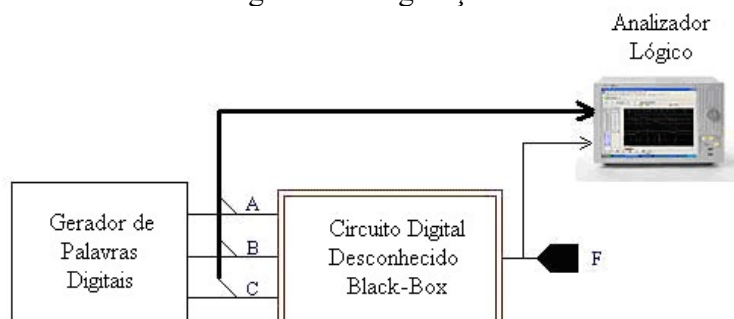
4.2 Analise o circuito combinacional abaixo.



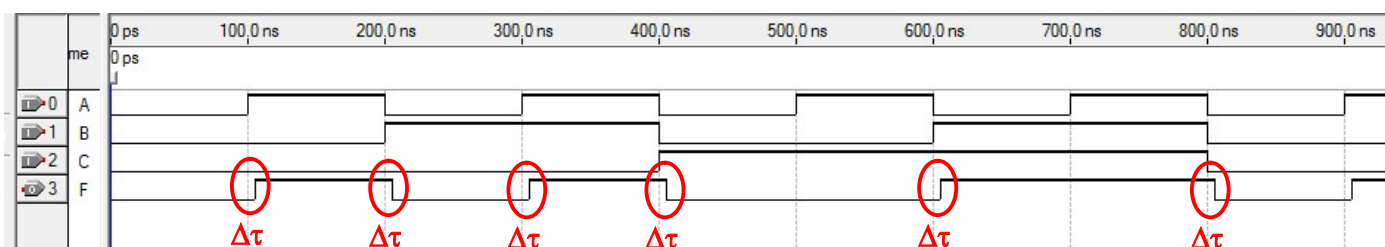
Obtenha:

- A expressão lógica simplificada.
- Simule** o circuito acima e apresente o diagrama de temporização.
- Simule** o circuito obtido a partir da expressão lógica simplificada do item **a**.
- Compare** os resultados das simulações obtidas.

4.3 Um circuito digital desconhecido possui três entradas e gera uma única saída digital F. Para sintetizar este circuito montou-se no laboratório a seguinte configuração:



Nesta montagem o gerador de palavras digitais gera uma palavra de três bits (bits A, B e C) a cada 100 ns. O diagrama de temporização obtido através do analisador lógico e apresentado abaixo.



Considerando as informações acima **Projete e Simule** o circuito combinacional que satisfaz este diagrama usando apenas portas NAND de duas entradas.

Obtenha:

- A expressão lógica.
- O diagrama esquemático e a simulação deste circuito obtido, comparando com a figura dada.
- Justifique o aparecimento de um deslocamento temporal $\Delta\tau$ no diagrama temporal da saída F.

4.4 Usando somente portas NAND de duas entradas, **projete e simule** a função multiplexadora (MUX) **4x1** minimizada, na forma de soma de produto.

Obtenha:

- O diagrama esquemático; e
- O diagrama temporal da simulação funcional.

4.5 Seja a função:

$$F = \sum(2, 3, 5, 7, 8, 11, 13)$$

Projete e simule F utilizando apenas um MUX **8x1** e uma inversora.

Obtenha o diagrama esquemático e o resultado da simulação.

Obs.: F é uma função com entrada de 4 bits e sua saída vale 1 (um) quando a entrada representa um dos valores da lista acima.