

Laboratório 1:



Análise e síntese de funções combinacionais de uma única saída

Professor:
Osamu Saotome

Alunos:
Rodrigo Alves de Almeida
(rodrigoalmeida@gmail.com)
Eduardo Menezes Moraes
(eduardomenezesm@msn.com)

Turma 22.1

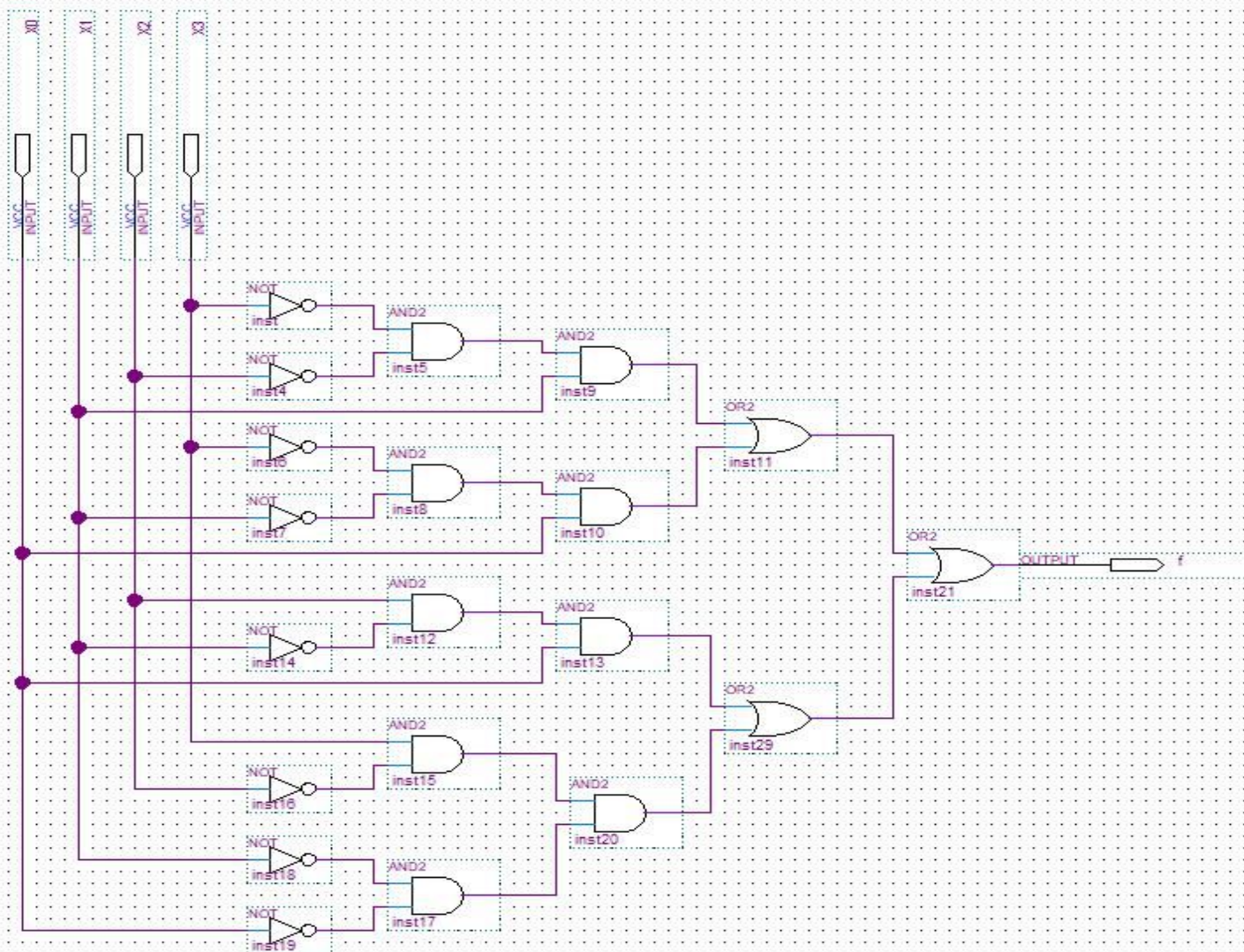
Ex 4.1:**a) Tabela Verdade**

	X_3	X_2	X_1	X_0	f
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	0

b) Diagrama Lógico

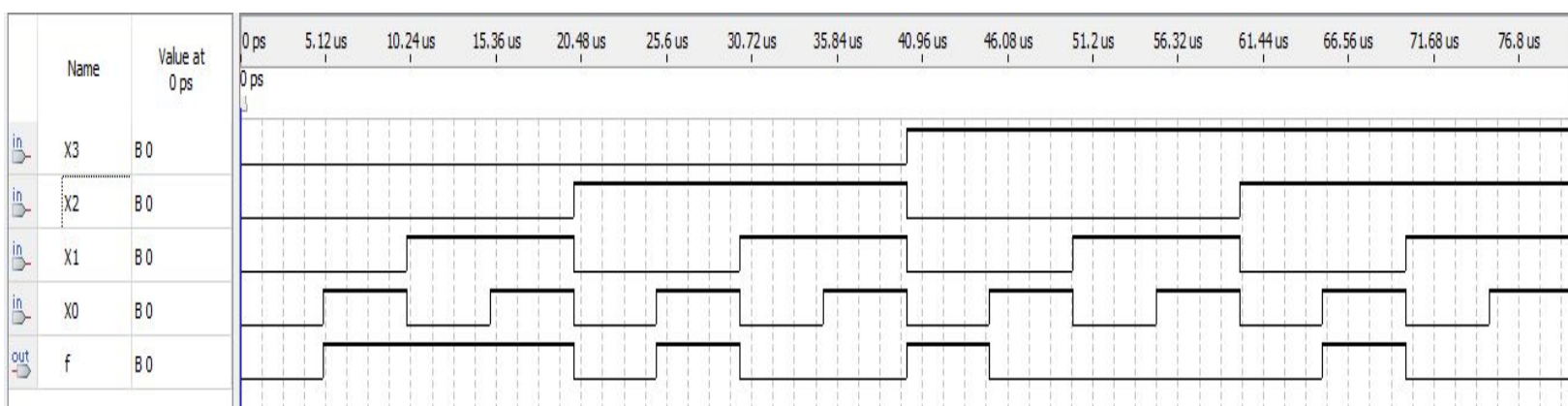
A partir do mapa de Karnaugh, chegamos à seguinte representação algébrica:

$$f = \overline{X_3}\overline{X_2}X_1 + \overline{X_3}\overline{X_1}X_0 + X_2\overline{X_1}X_0 + X_3\overline{X_2}X_1\overline{X_0}$$



c) Diagrama de temporização

O diagrama de temporização correspondente ao circuito anterior é dado por:



Ex 4.2:

a) Expressão lógica simplificada

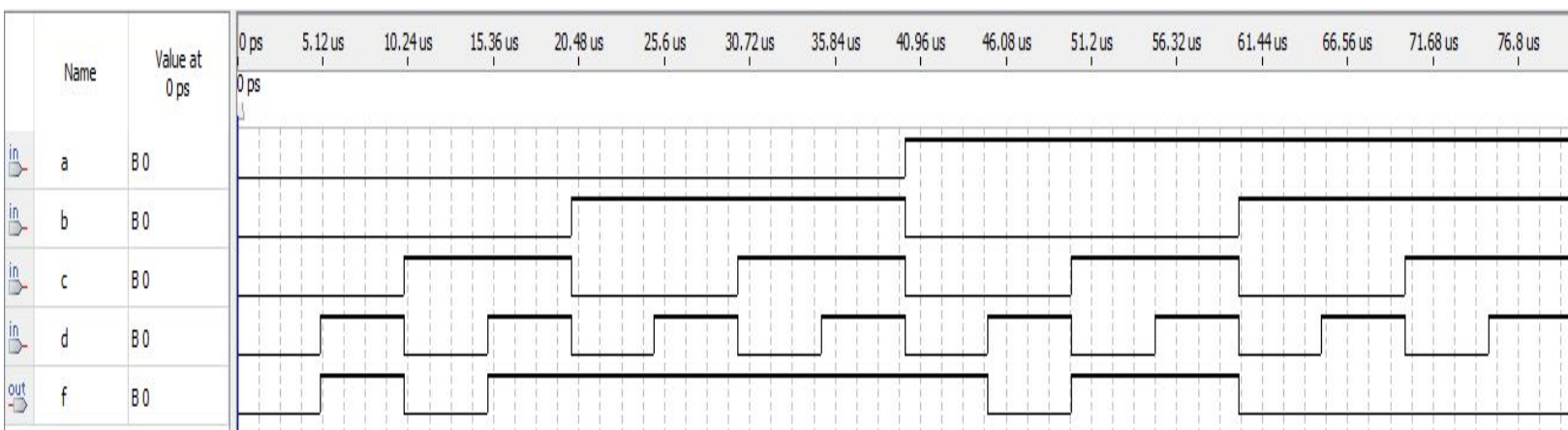
Inicialmente, temos a seguinte expressão lógica:

$$f = ((\overline{bd} + ca)\overline{a} + (\overline{bd} + ca)\overline{a})((\overline{bd} + ca)b)$$

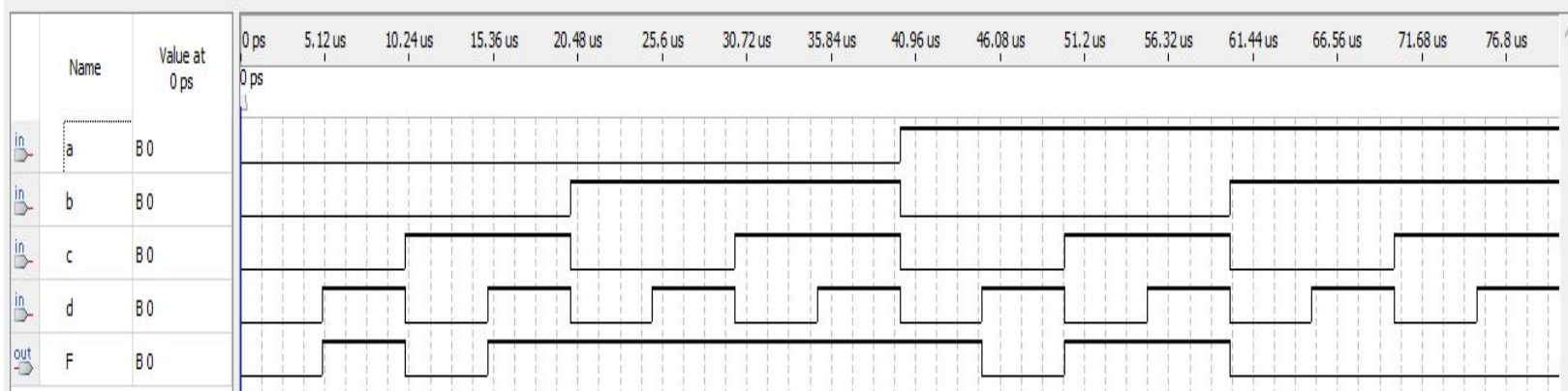
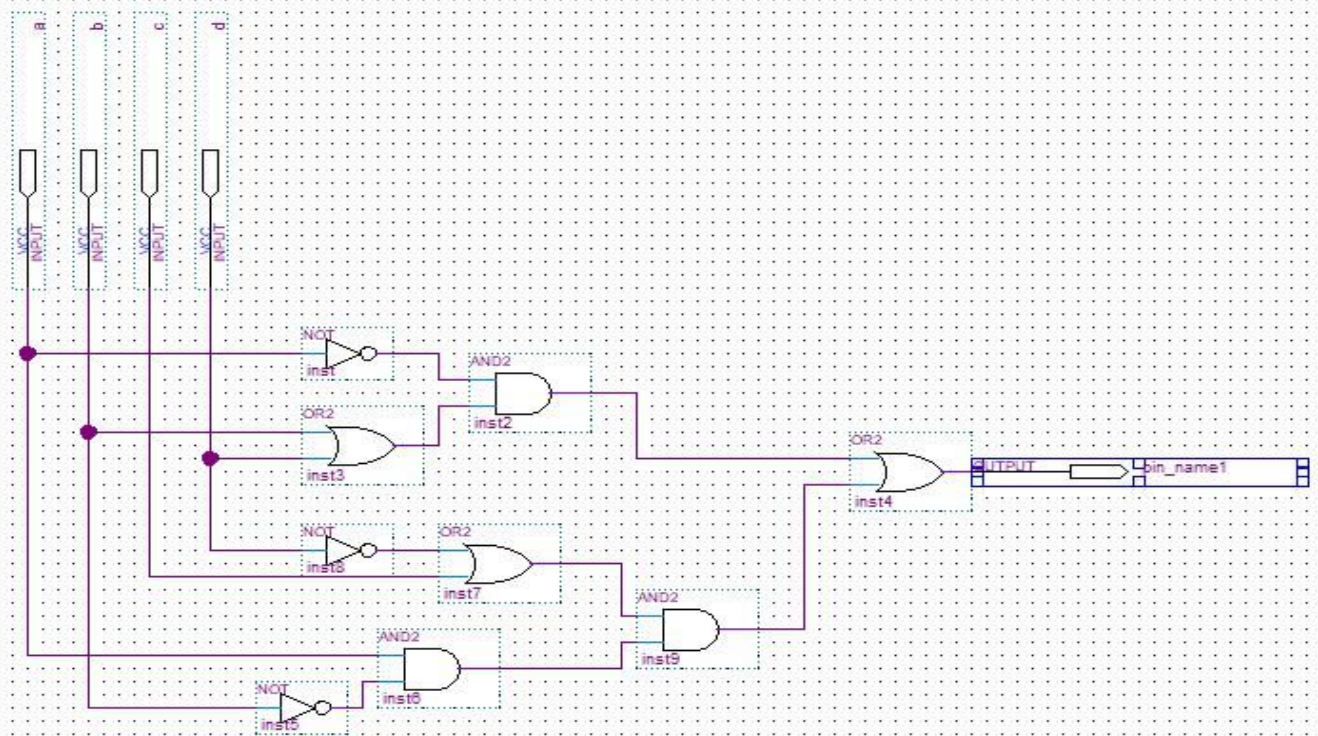
Simplificando, temos:

$$f = \overline{abd} + \overline{abc} + \overline{ab} + \overline{ad}$$

b) Diagrama de temporização



c) Circuito do item a e seu diagrama de temporização



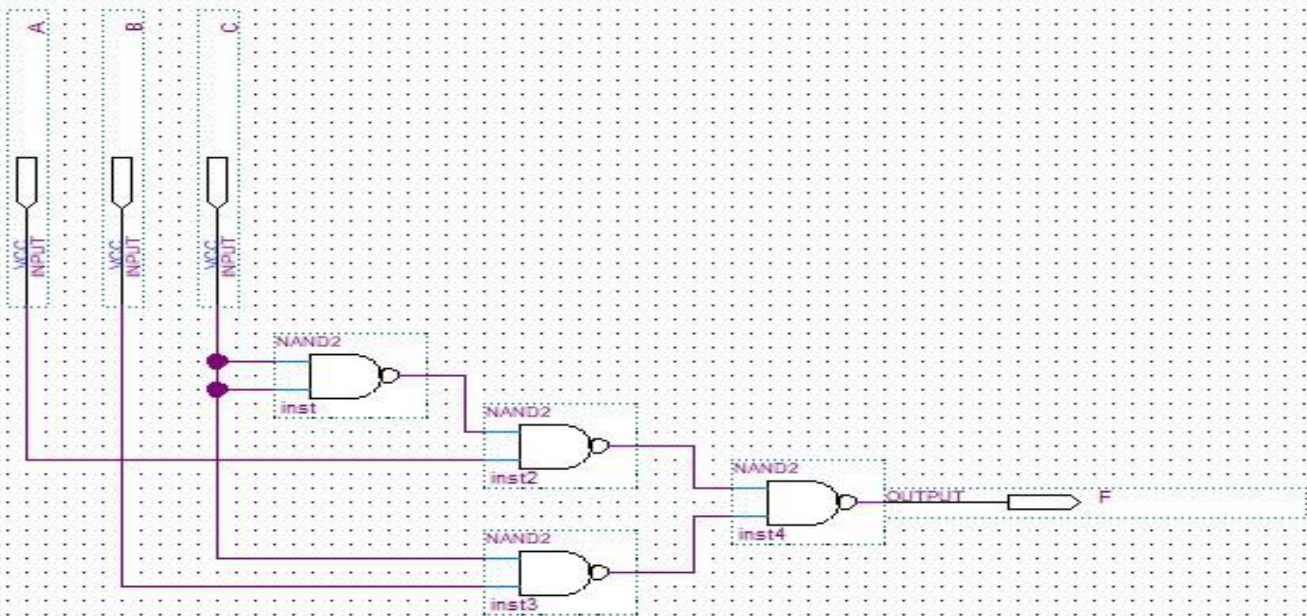
d) Os diagramas de temporização são idênticos, mostrando que o que importa no circuito é a lógica.

Ex 4.3:

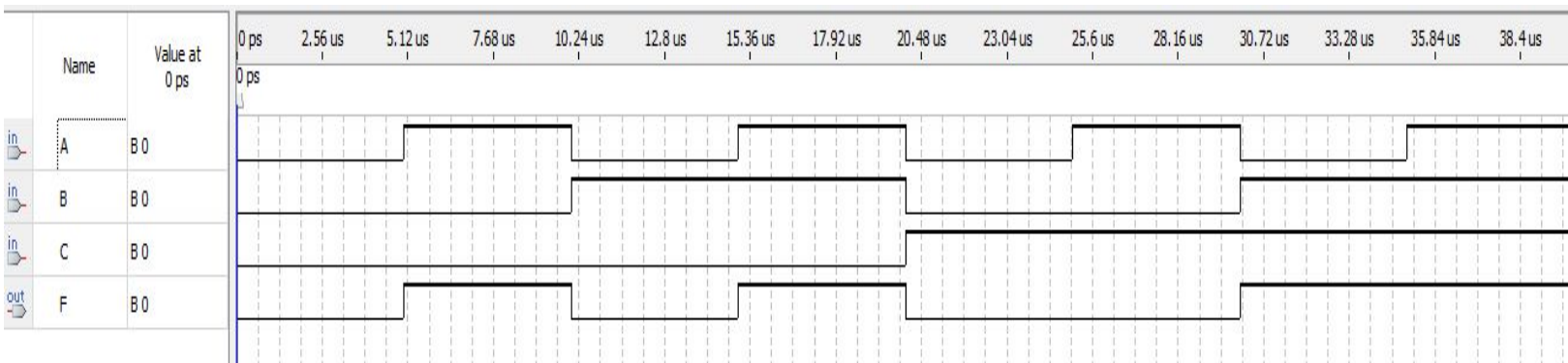
a) A expressão lógica é dada por:

$$F = A\overline{C} + BC$$

b) O diagrama esquemático do circuito:



Simulação deste circuito:



Vale notar que este diagrama é igual ao do enunciado!!

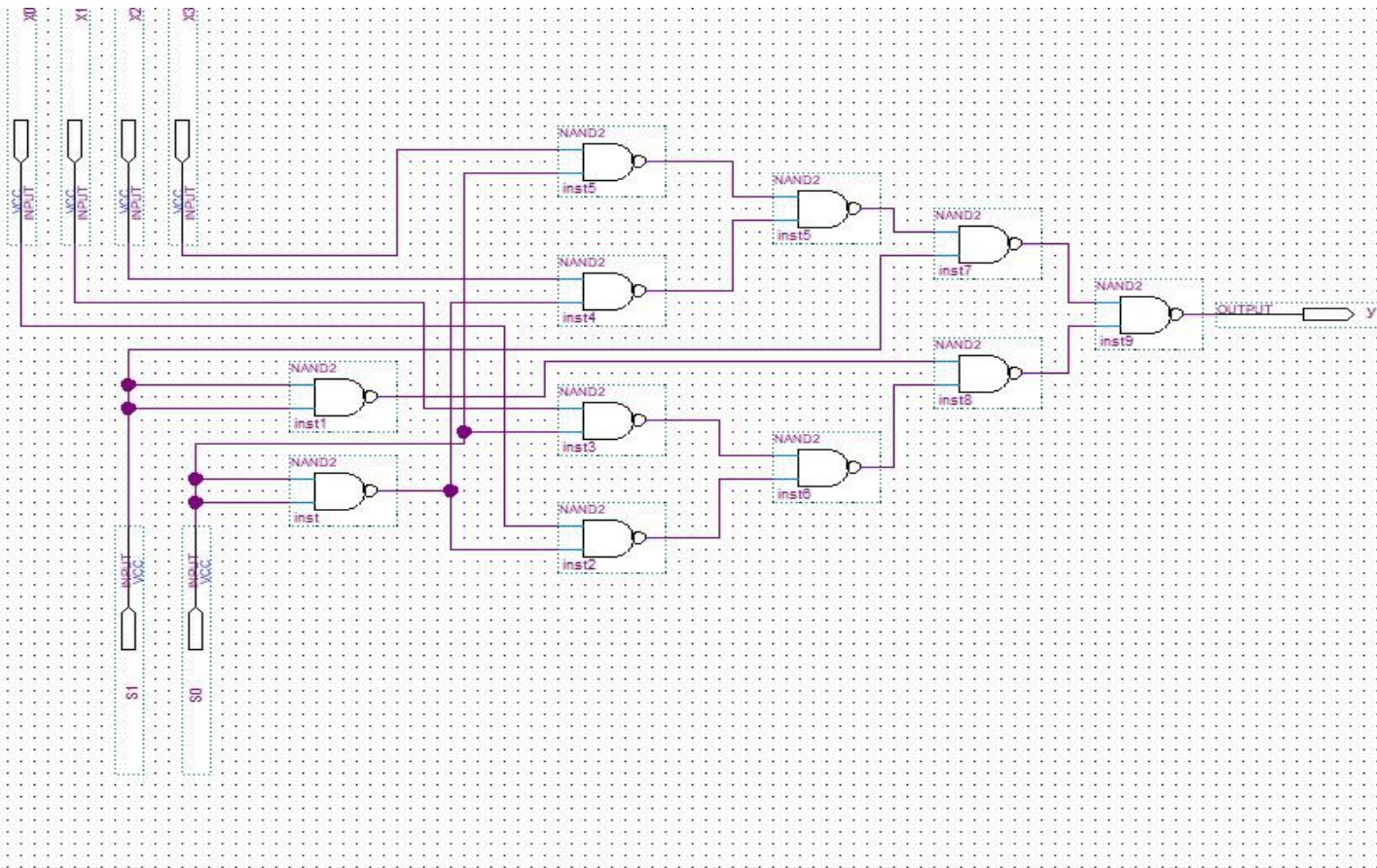
- c) Este deslocamento temporal ocorre pois é o tempo da nova corrente percorrer (ou deixar de percorrer) o circuito e o output ser 'informado' de que houve mudança.

Ex 4.4:

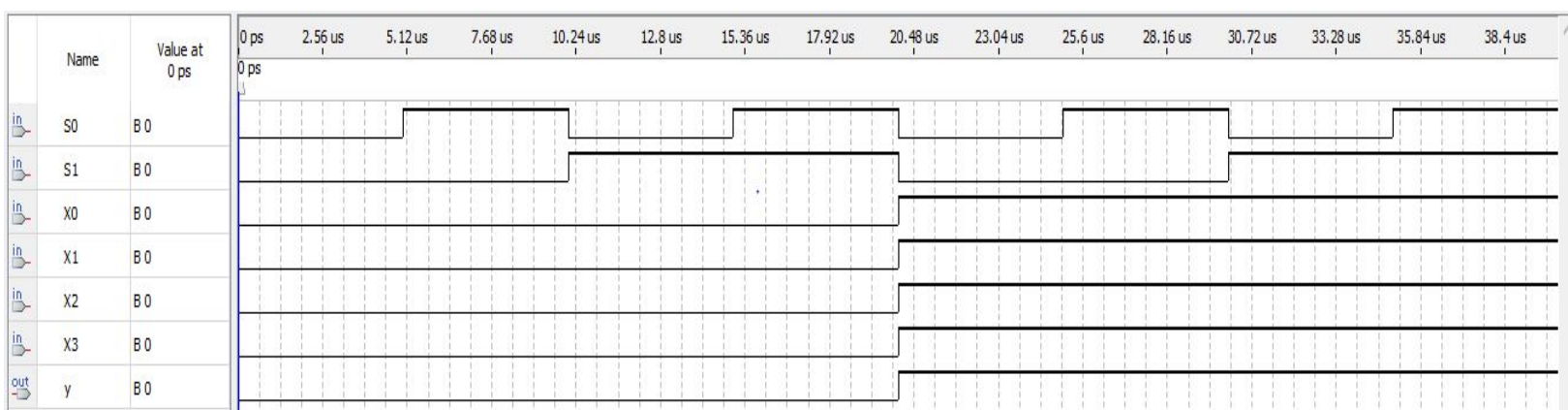
- a) A expressão lógica do multiplexador é dada por:

$$f = \overline{S_0} \overline{S_1} X_0 + \overline{S_0} S_1 X_1 + S_0 \overline{S_1} X_2 + S_0 S_1 X_3$$

O qual é representado pela seguinte formação de NANDs:



b) E possui o seguinte diagrama temporal:

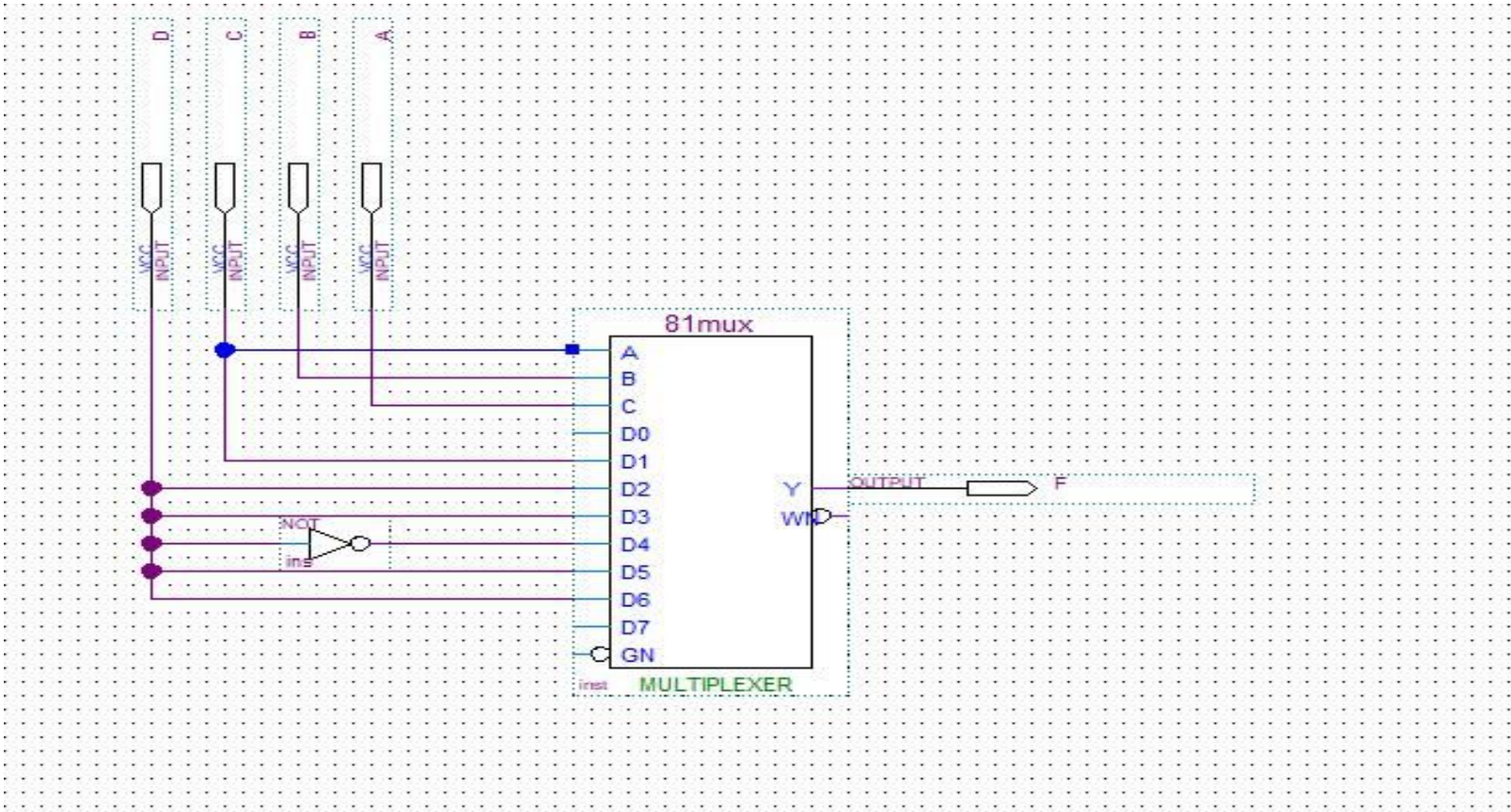


Ex 4.5:

a) Primeiro monta-se a tabela verdade:

	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	0

Dessa forma, nota-se que é possível colocar os bits A, B e C como entrada do MUX, obtendo então o seguinte diagrama:



E o seguinte resultado da simulação:

