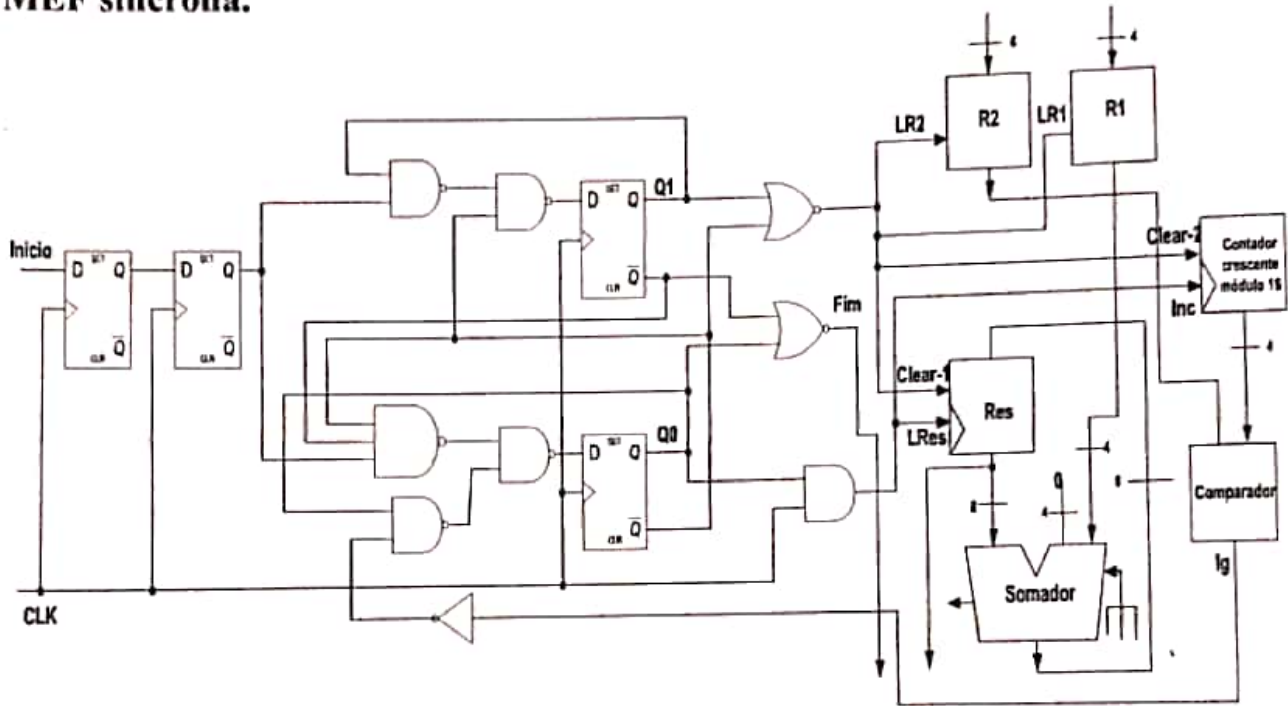


Nome: RODRIGO ALVES DE ALMEIDA Curso: EEA-21
 Duração: 5:00 horas – sem consulta COMP 22

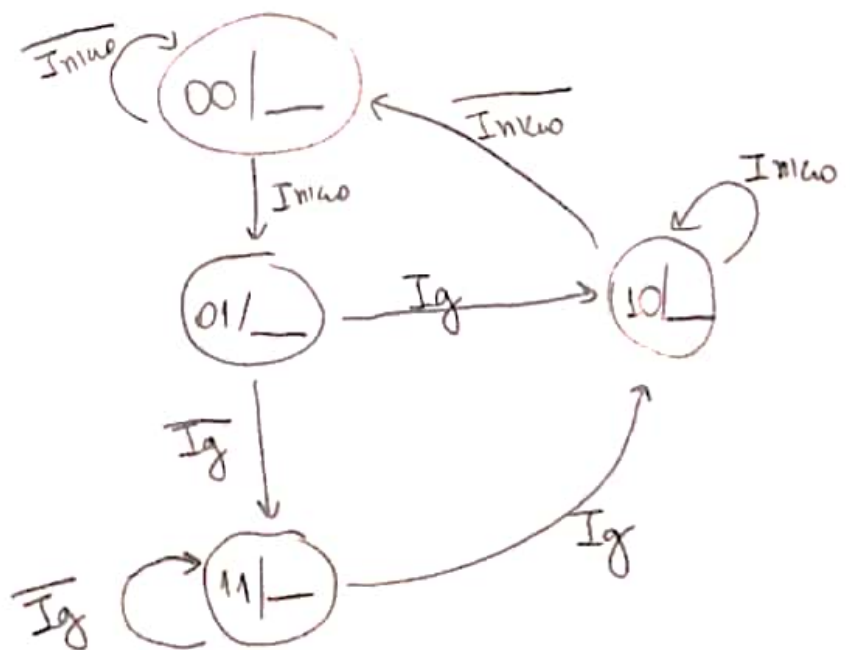
1Q: – 1.5) Para o sistema digital síncrono abaixo é composto por MEF síncrona com Data-Path. Sendo que a MEF síncrona contém entrada assíncrona e saídas pulsadas. Pede-se o grafo de transição de estados da MEF síncrona.



$$Q_1' = \overline{Q_1 \cdot \text{Início} \cdot \overline{Q_0}} = \overline{Q_1} \text{Início} + Q_0$$

$$Q_0' = \overline{Q_0 \cdot Q_1 \cdot \text{Início} \cdot \overline{Ig} \cdot Q_0} = \overline{Q_0} \overline{Q_1} \text{Início} + \overline{Ig} \cdot Q_0$$

Início Q ₁ Q ₀	00	01	11	10
00	00	00	01	01
01	11	10	10	11
11	11	10	10	11
10	00	00	10	10



Para as saídas:

$$LR2 = \overline{Q_1 + Q_0} = \overline{Q_1} \overline{Q_0}$$

$$LR1 = \overline{Q_1} Q_0$$

$$Clear-2 = \overline{Q_1} Q_0$$

$$Clear-1 = \overline{Q_1} Q_0$$

$$Fim = \overline{Q_1 + Q_0} = Q_1 \overline{Q_0}$$

$$LRes = Q_0 \cdot CLK$$

$$Inc = Q_0 \cdot CLK$$

Saídas Q ₁ Q ₀							
	LR2	LR1	Clear-2	Clear-1	Fim	Lres	Inc
00	0	0	0	0	0	0	0
01	1	1	1	1	0	↑	↑
11	0	0	0	0	0	↑	↑
10	0	0	0	0	1	0	0

2Q: - 2.0) A Figura 2a mostra o esquema geral de um circuito digital que executa o máximo divisor comum (algoritmo de Euclides). Usando somente portas e FFs de sua preferência, sintetize a MEF síncrona minimizada para o MDC, onde o *data-path* está descrito na Figura 2b.

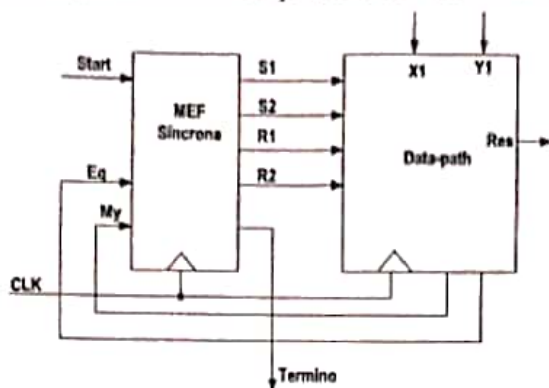


Figura 2a Esquema geral do MDC

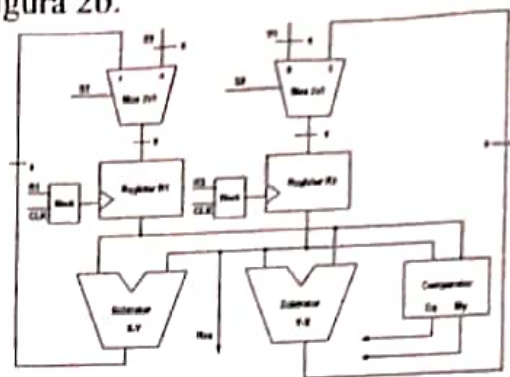
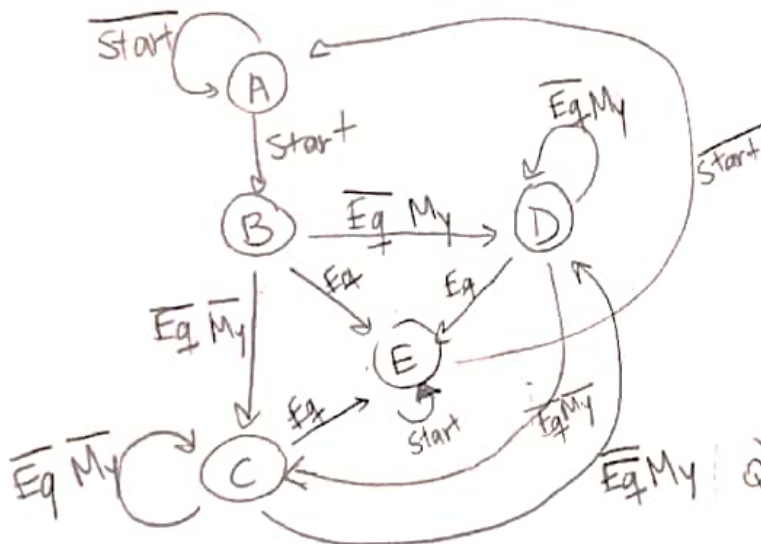


Figura 2b Data-path do MDC

Diagrama estados:



	S1	S2	R1	R2	termino
A	X	X	X	X	0
B	0	0	1	1	0
C	1	X	1	0	0
D	X	1	0	1	0
E	X	X	0	0	1

Q ₂ Q ₁ Q ₀	00	01	11	10
0	A	B	C	
1	E	D		

↑ estados com mais conexões têm mais adjacências

	Start=0				Start=1			
Q ₂ Q ₁ Q ₀	00	01	12	11	00	01	10	11
000	000	000	000	000	010	010	010	010
001	000	000	010	001	001	001	001	001
011	110	011	001	001	110	011	001	001
010	110	011	001	001	110	011	001	001
110	010	011	001	001	110	011	001	001

$$Q_0' = (Eq + My)Q_1 + Start \overline{Q_1} \overline{Q_0}$$

$$Q_1' = \overline{Eq} Q_1 + Start \overline{Q_1} \overline{Q_0}$$

$$Q_2' = \overline{Eq} \overline{My} Q_1 = \overline{Eq + My} \cdot Q_1$$

Equações mantidas apontando os estados falsos

Obs: considere $My = 1 \Rightarrow Y > X$

$R = 1 \Rightarrow$ libera o pulso no CLK

Saídas:

Q_2	$Q_1 Q_0$	00	01	11	10
0		xxxx0	xx001	x1010	00110
1		xxxxx	xxxxx	xxxxx	1x100

($S_1 S_2 R_1 R_2$ termino)

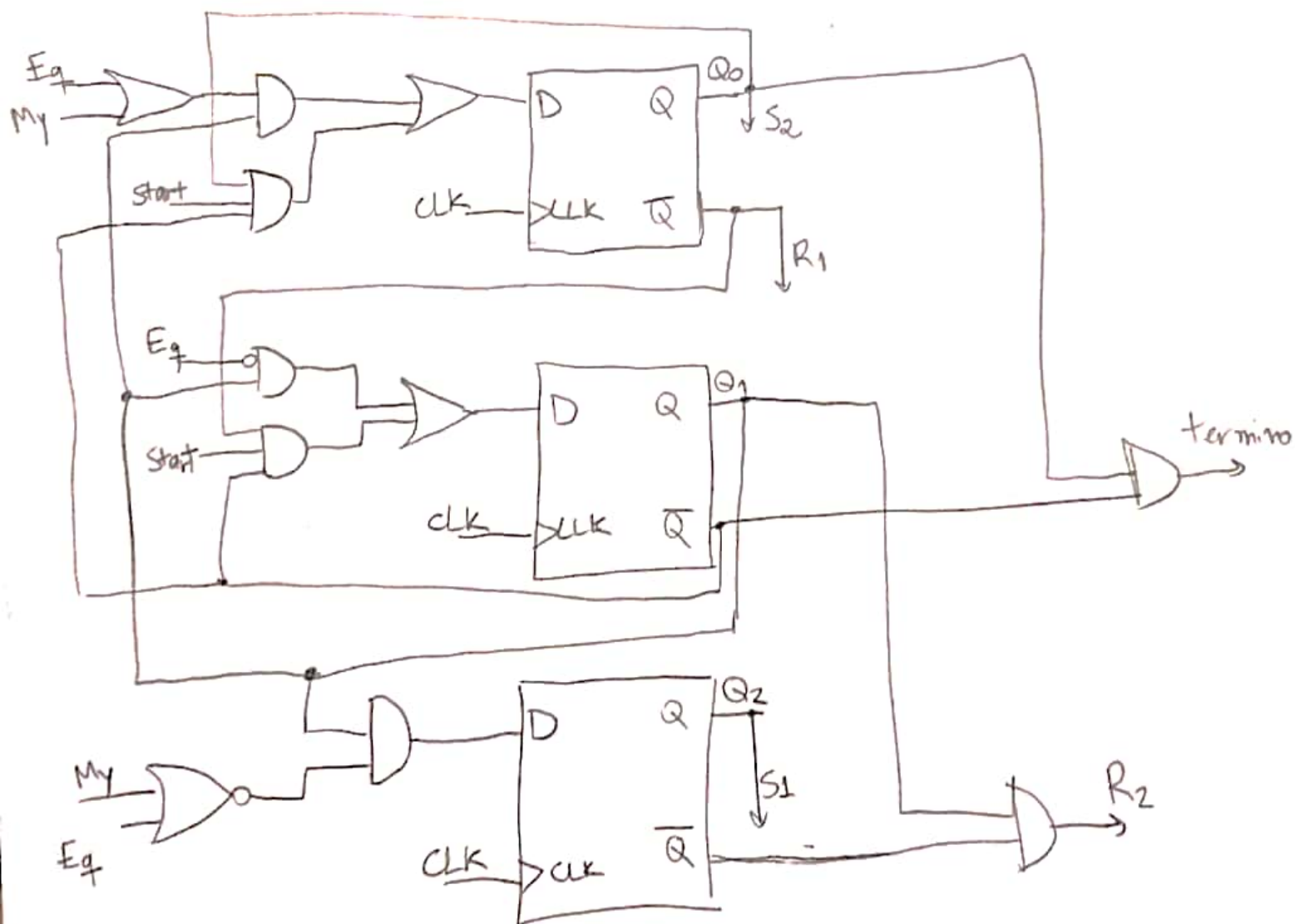
$$S_1 = Q_2$$

$$S_2 = Q_0$$

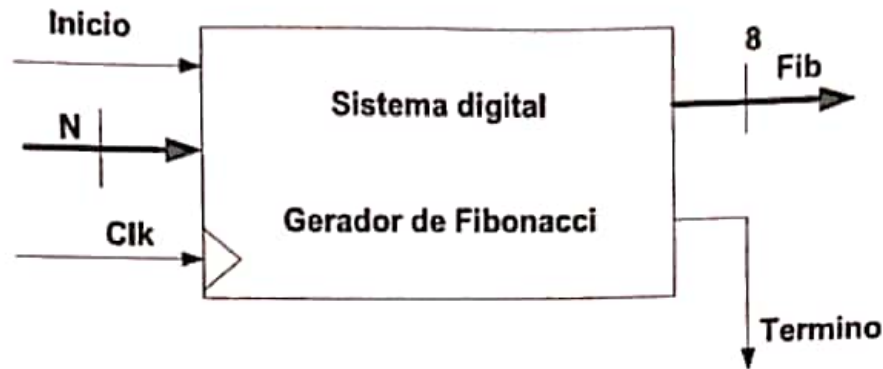
$$R_1 = \overline{Q_0}$$

$$R_2 = Q_1 \overline{Q_2}$$

$$\text{termino} = Q_0 Q_1$$



3Q: - 2.0) Usando a metodologia **RTL** sintetize um sistema digital que gera a sequência de *Fibonacci* de até 8 bits. A variável *N* define o número de termos e para a variável *inicio*=1 começa o processamento. Para interromper o processamento ou inicializar *inicio*=0. Para *Termino*=1 fim do processamento. Por exemplo, para *N*=7 a sequência de *Fibonacci* é 1 + 1 + 2 + 3 + 5 + 8 + 13. **Obs:** a variável *inicio* está sincronizada; defina o valor máximo de *N* para que a soma dos termos caiba em 8 bits.



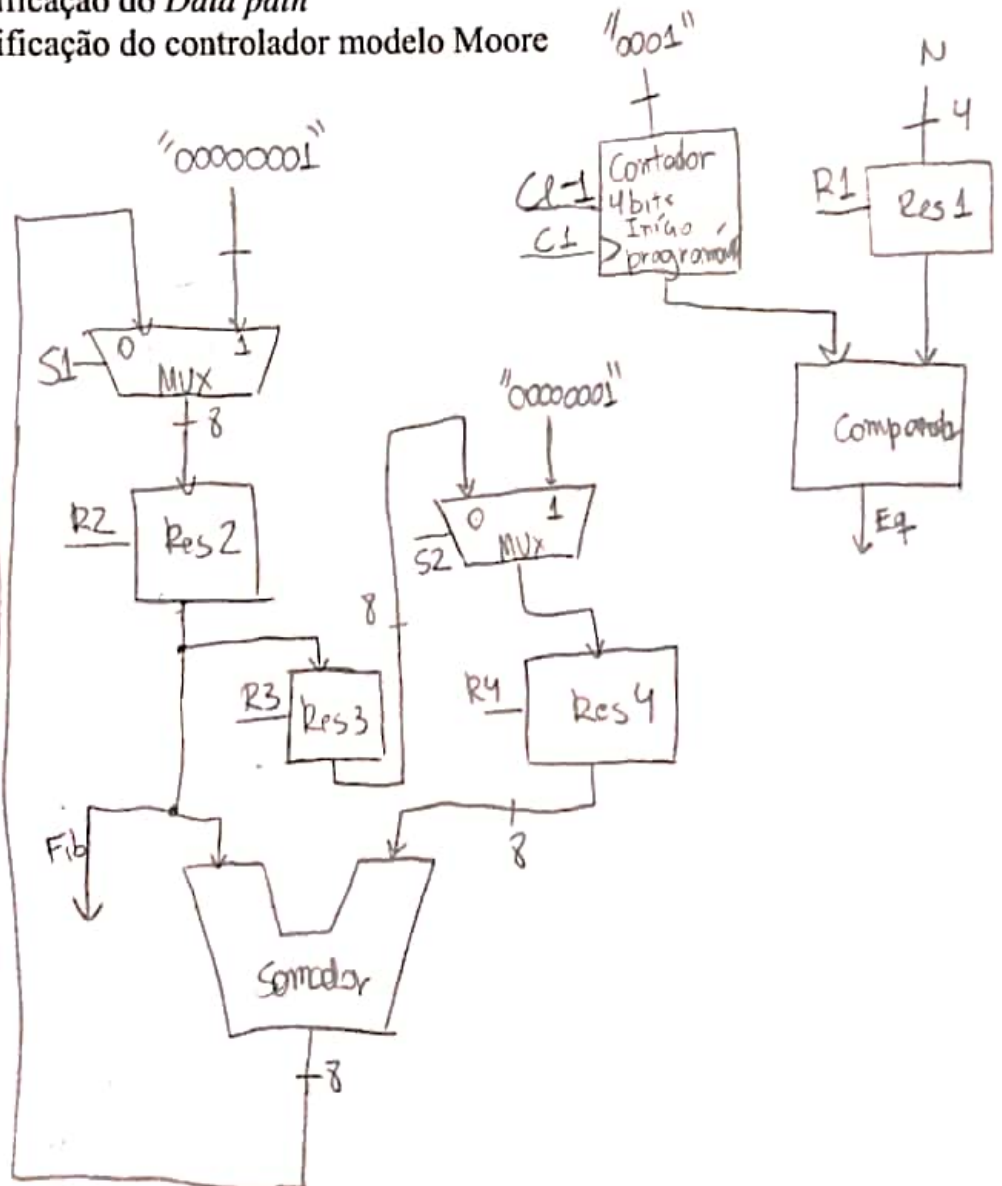
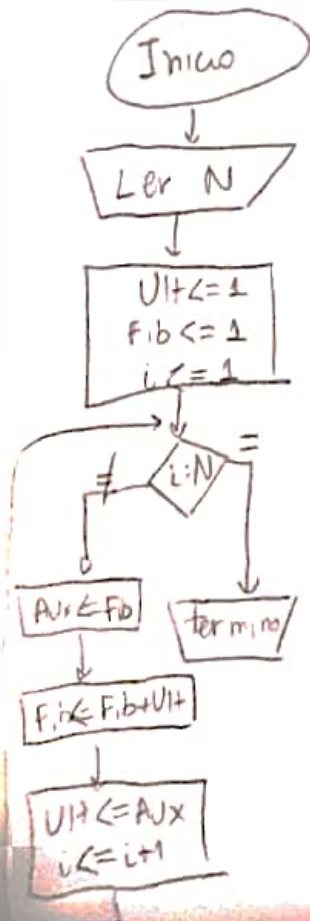
Pede-se:

- (1.0) Especificação do Data path
- (1.0) Especificação do controlador modelo Moore

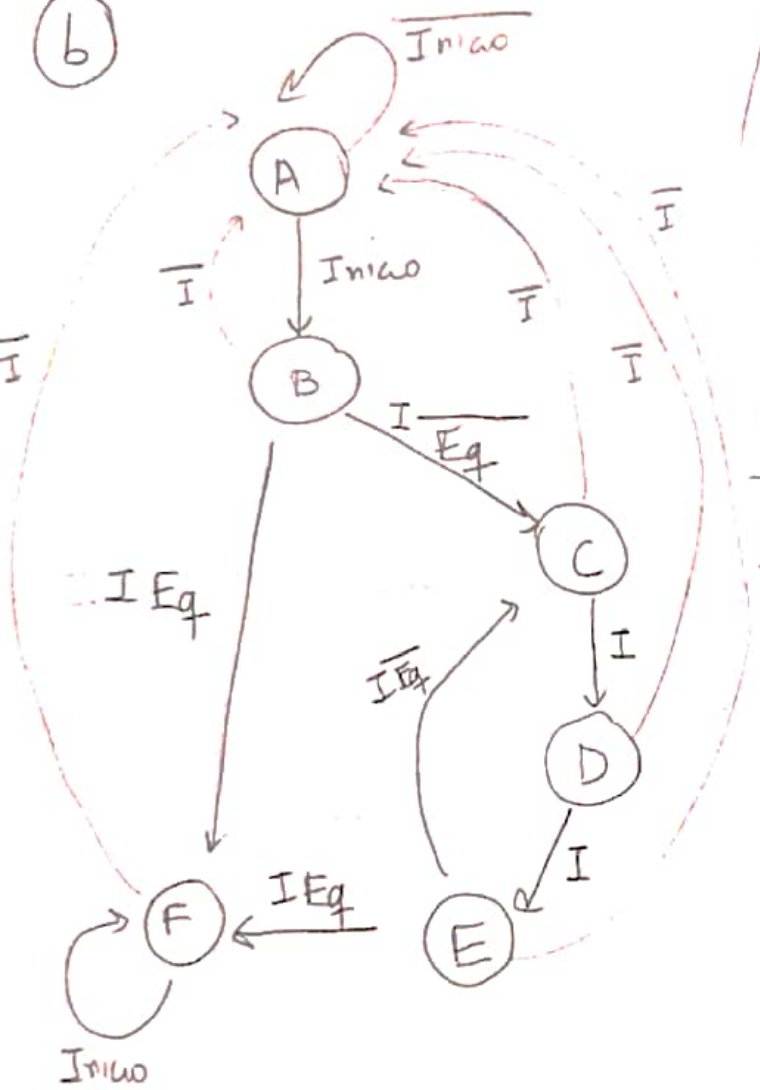
a)

$$0 \leq \text{Fib} \leq 255$$

$$1 \leq N \leq 11 \text{ (4bits)}$$



6



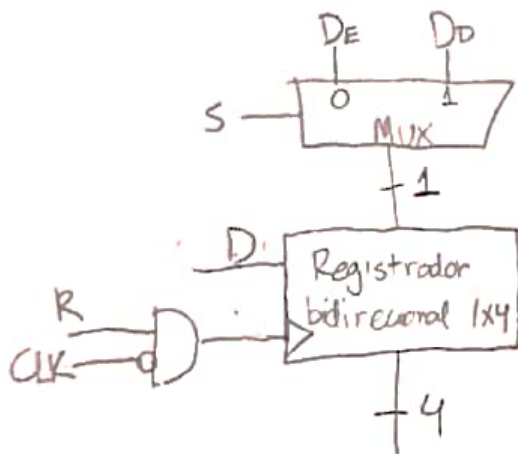
	Inicio	S1	S2	R1	R2	R3	R4	α-1	C1
A	0	x	x	x	x	x	x	x	x
B	0	1	1	1	1	x	1	1	↑
C	0	x	x	0	0	↑	0	0	0
D	0	0	x	0	↑	0	0	0	0
E	0	x	0	0	0	0	↑	0	↑
F	1	x	x	x	0	x	x	x	x

	Inicio	Eq	00	01	11	10
A	(A)	(A)	B	B		
B	A	A	F	C		
C	A	A	D	D		
D	A	A	E	E		
E	A	A	F	C		
F	A	A	(F)	(F)		

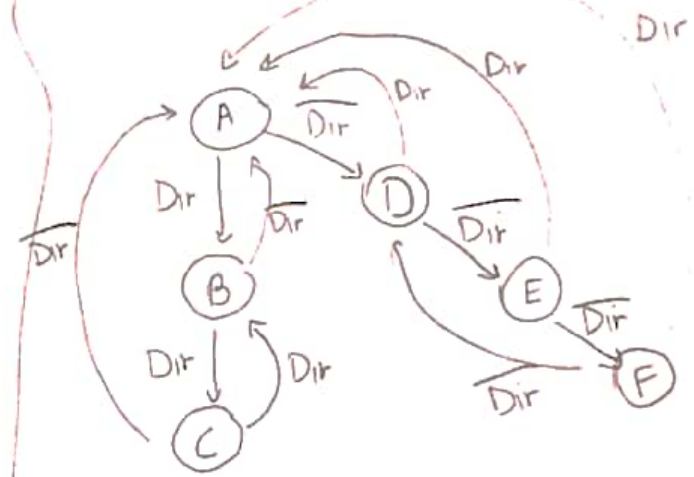
4Q: - 2.0) Usando funções MSI, FFs e portas, projetar um **registrador de deslocamento temporizado**, que realiza a tabela de operações abaixo.
Obs: caso a variável *Dir* mudar no meio da contagem, a contagem do número de clocks é reinicializada.

Clk	Dir	Q0	Q1	Q2	Q3
3↑	0	D _E	Q0	Q1	Q2
2↑	1	Q1	Q2	Q3	D _D

Data-path:



Controlador:



E ₂ E ₁ E ₀	00	01	11	10
0	A	B	C	D
1	E			F

E ₂ E ₁ E ₀ \ Dir	0	1
(A) 000	010	001
(B) 001	000	011
(C) 011	000	001
(D) 010	100	000
(E) 100	110	000
(F) 110	010	000
111	xxx	xxx
101	xxx	xxx

SAÍDAS (SDR)

E ₂ E ₁ E ₀	00	01	11	10
0	xx0	xx0	001	xx0
1	xx0	111	xxx	xxx

$$S = E_0$$

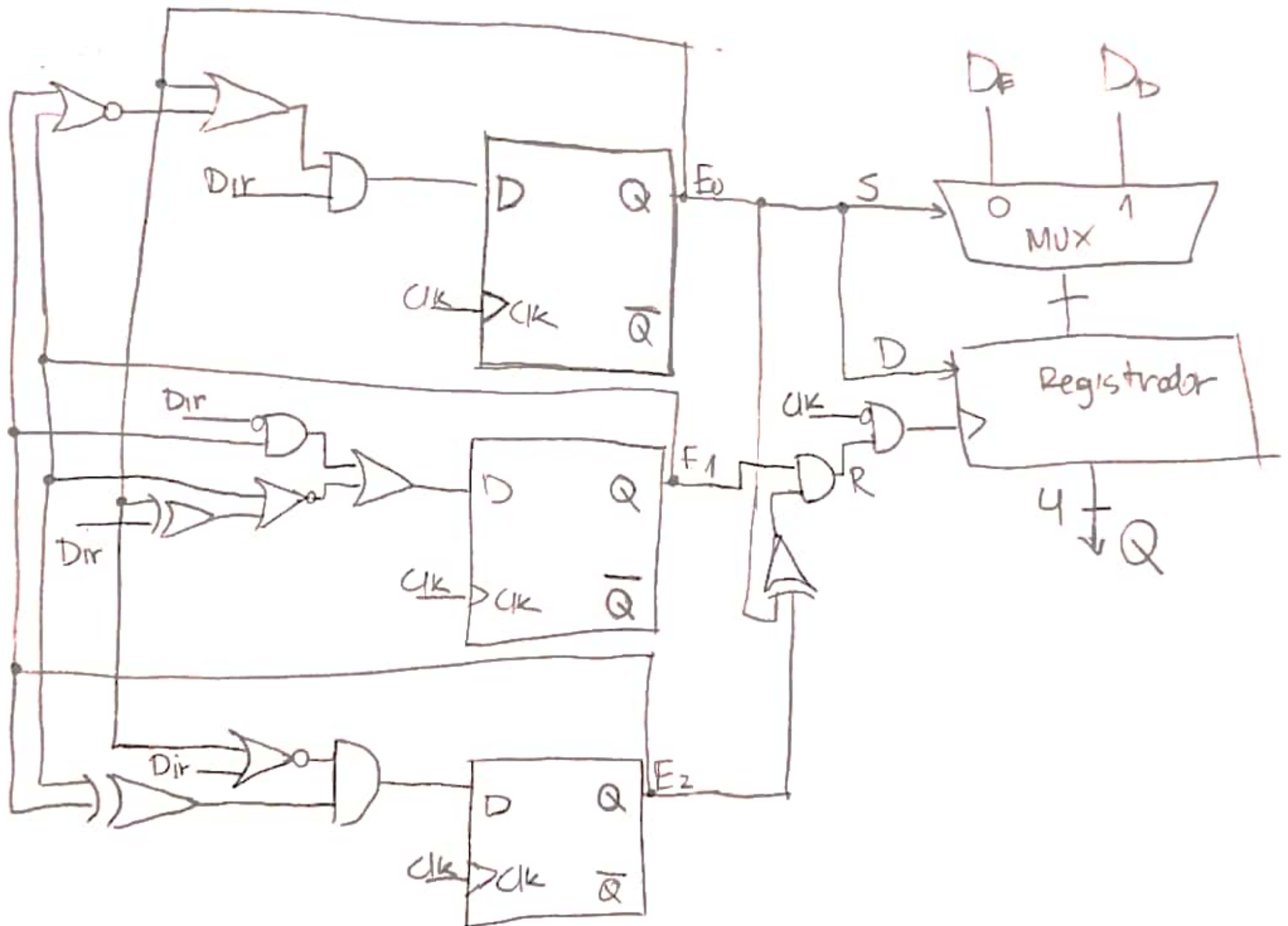
$$D = E_0$$

$$R = E_1(E_0 \oplus E_2)$$

$$E_0' = (E_0 + \overline{E_1 + E_2}) \text{Dir}$$

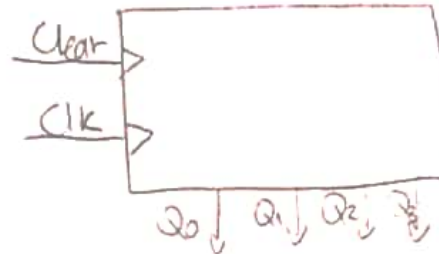
$$E_1' = E_2 \text{Dir} + \overline{E_1}(\overline{E_0 \oplus \text{Dir}}) = E_2 \text{Dir} + \overline{E_1} + (E_0 \oplus \text{Dir})$$

$$E_2' = \overline{E_0} \text{Dir} (E_1 \oplus E_2) = \overline{E_0 + \text{Dir}} (E_1 \oplus E_2)$$

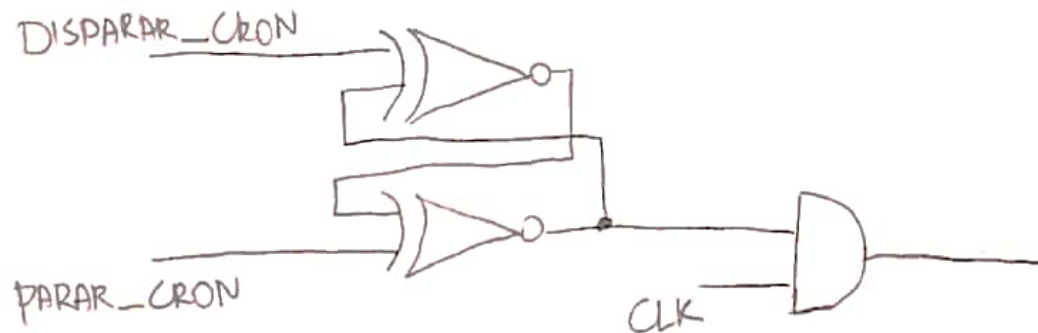


5Q: - 2.0) Usando somente FF's, contadores crescente binário de 4 bits com clear síncrono e portas, sintetize um cronometro digital para 3 dígitos. As variáveis de controle são: ZERAR_CRON, DISPARAR_CRON E PARAR_CRON.

Contador:



UTILIZANDO UM LATCH, É POSSÍVEL ARMAZENAR O FUNCIONAMENTO DO CLOCK (DISPARADO OU PARADO):

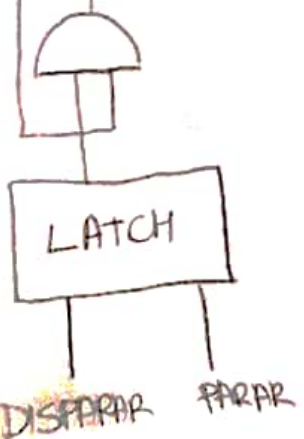
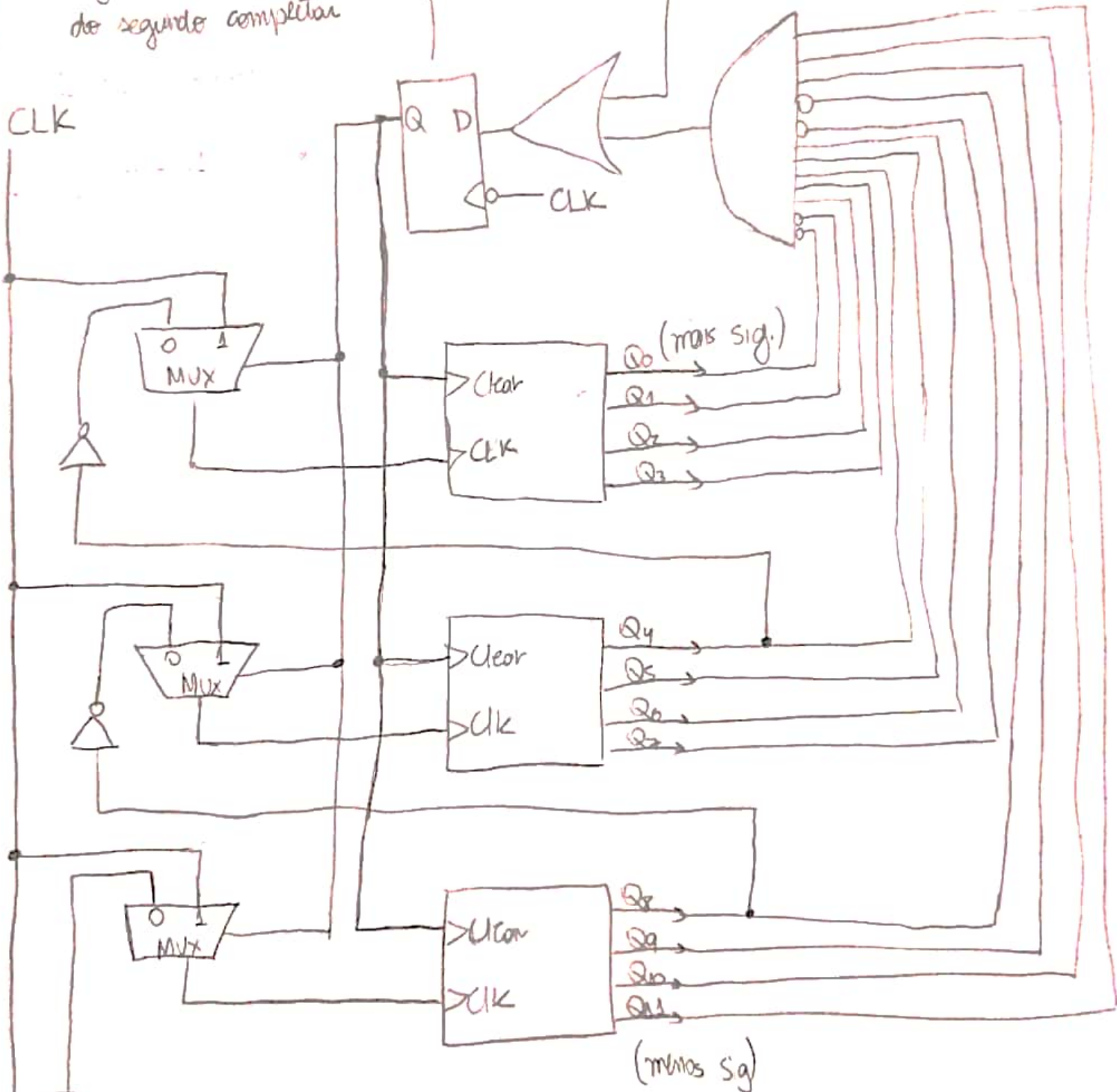


OS CONTADORES SÃO ZERADOS QUANDO $(999)_{10} = (1111100111)_2$ É Atingido OU ZERAR_CRON É AÇIONADO

impede que o clear
seja executado antes
de ser completado

zerar_Clk

CLK



6Q: - 0.5) Faça uma análise da disciplina EAI-21-circuitos-digitais. Comente se houver os pontos fracos e/ou fortes.

- CURSO MUITO BOM QUE AUMENTOU MEU INTERESSE PELA ENG. DE COMPUTAÇÃO
- SENTI FALTA DE UM MATERIAL MAIS ORGANIZADO