Tarefas:

- a) Análise de temporização: calculo do tempo de ciclo (modelos de atraso)
- b) Estimação de Potência: técnicas probabilísticas ou heurísticas (simulação)
- c) Simulação: gera os estímulos na entrada do circuito e compara saída com a tabela verdade
- d) Testabilidade: instrumento chamado testador gera os vetores de teste e aplica no circuito final e compara com a tabela verdade
- e) Verificação: há o modelo de verificação formal (usa provador de teorema) e o modelo de verificação funcional (usa um tipo de simulação)
- f) Análise de Hazard (risco): verifica se há "glitches → pulso espúrio"
- g) Confiabilidade: usando uma teoria probabilística aplicada em um dado circuito e uma dada tecnologia calcula-se o tempo de vida util.

Exemplo: Um circuito lógico de 3 níveis com diferentes tipos de portas, pede-se: a) Area Função lógica Tabela verdade d) Tempo de latência

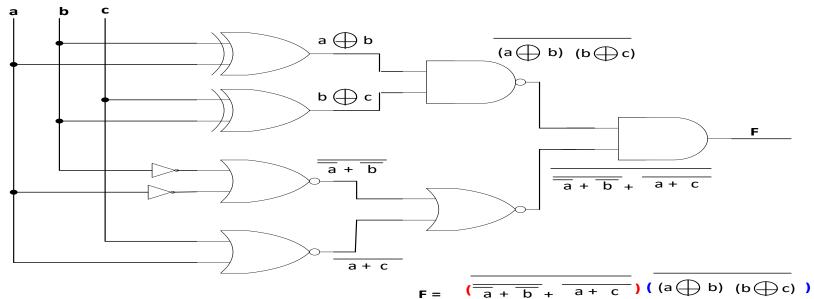
Exemplo: Um circuito lógico de 3 níveis com diferentes tipos de portas, pede-se:

Área: 8 literais, 14 total de literais

Sabendo que: 6 transistores (XOR); 6

transistores (AND); 38 total de transistores

- a) Área
- b) Função lógica
- c) Tabela verdade
- d) Tempo de latência



Exemplo: Um circuito lógico de 3 níveis com diferentes tipos de portas, pede-se:

Tabela verdade:

- a) Área
- b) Função lógica
- c) Tabela verdade
- d) Tempo de latência

			X	Υ	Z	K	W	T	F = Z T
a	b	C	a⊕b	b⊕c	XY	<u>a</u> + <u>b</u>	a + c	K + W	
0	0	0	0	Ő	1	0	1	0	0
0	0	1	0	1	1	0	1	0	0
0	1	0	1	1	0	0	0	1	0
0	1	1	1	0	1	0	0	1	1
1	0	0	1	0	1	0	0	1	1
1	0	1	1	1	0	0	0	1	0
1	1	0	0	1	1	1	0	0	0
1_	1	1	0	0	1	1	0	0	0

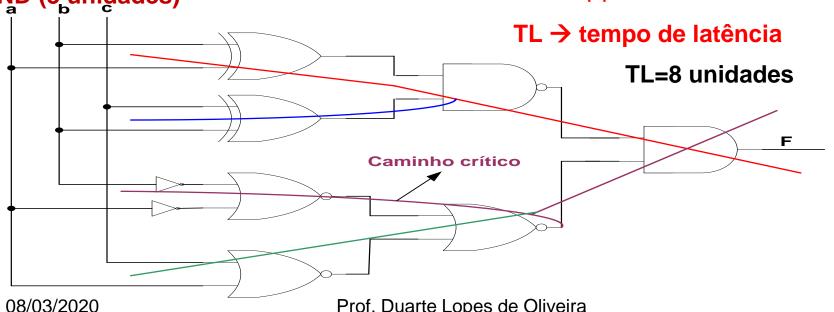
Exemplo: Um circuito lógico de 3 níveis com diferentes tipos de portas, pede-se:

Análise de temporização: sabendo que o tempo de atraso (Tp) é: NOR (2 unidades de tempo); XOR (2,5 unidades); INV (1 unidade); AND (3 unidades)

TplH → tempo de propagação de 0→1

Tpн∟ → tempo de propagação de 1→0

 $TL = \sum T_{p-porta}$ (caminho crítico)



Prof. Duarte Lopes de Oliveira Divisão de Engenharia Eletrônica do ITA