

Laboratório 2:



Análise e síntese de funções combinacionais de múltiplas saídas

Professor:
Osamu Saotome

Alunos:
Rodrigo Alves de Almeida
(rodrigoalmeida@gmail.com)
Eduardo Menezes Moraes
(eduardomenezesm@msn.com)

Comp 22

Ex 4.1:**a)** Tabela verdade:

E	S_1	S_2	D	C	B	A
0	x	x	0	0	0	0
1	0	0	1	0	0	0
1	1	0	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

As expressões simplificadas:

$$D = S_1' * S_2' * E$$

$$C = S_1 * S_2' * E$$

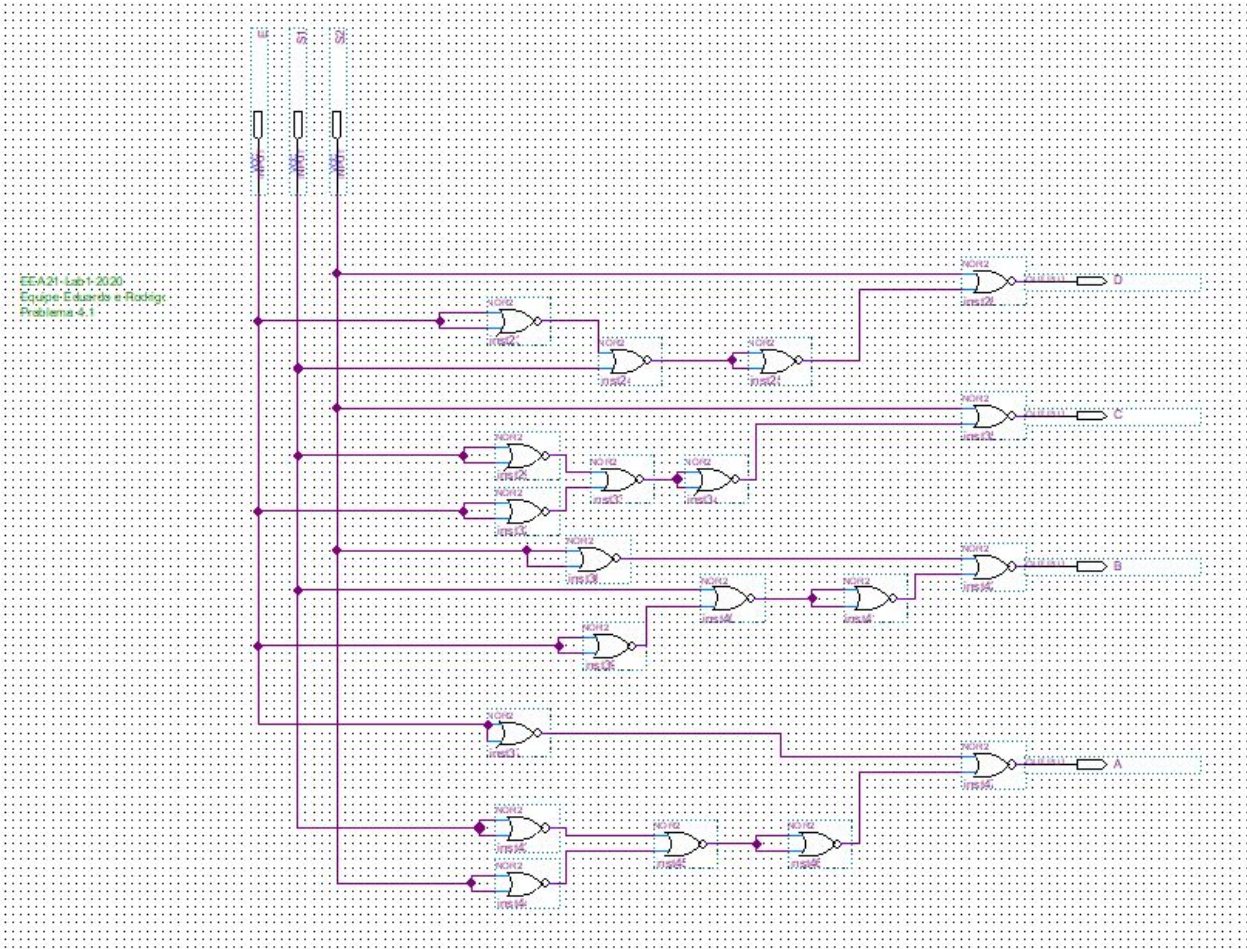
$$B = S_1' * S_2 * E$$

$$A = S_1 * S_2 * E$$

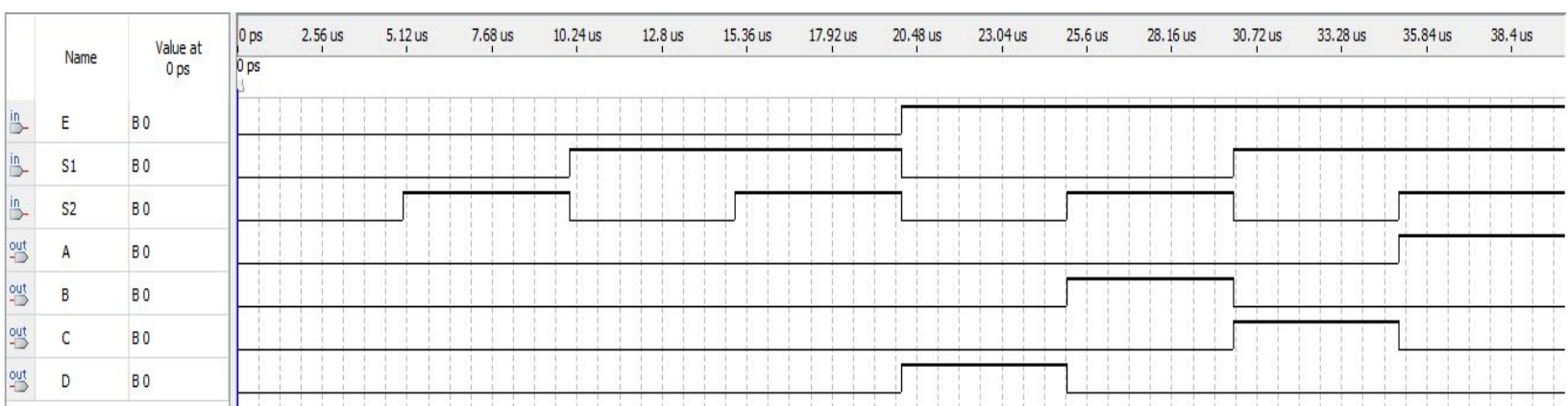
b) Desenho esquemático:

Para construção do diagrama esquemático, foi utilizado o fato da porta NOR ser universal. Assim, primeiro montou-se o circuito apenas com portas AND e INVERSORAS. Após isso, substitui-se as portas INVERSORAS por uma NOR com inputs iguais, e as portas AND com um conjunto de portas NOR.

Para essa última tarefa, pensou-se em substituir uma porta AND por um conjunto de NOR, tal que fizesse o produto ABC. Desse modo, seja o produto: ABC, com De Morgan, temos $ABC = (A' + B' + C')' = (A' + (B' + C'))'$. Logo, conseguiu-se utilizar, como nesse exemplo, 6 portas NOR de dois inputs para substituir a porta AND de três inputs. Utilizando essa estratégia, foi realizado o esquema desse problema:



c) Tabela de temporização:



Ex 4.2:**a)** Tabela Verdade:

Código Gray ABC	Binário Puro $S_2S_1S_0$
000	000
001	001
011	010
010	011
110	100
111	101
101	110
100	111

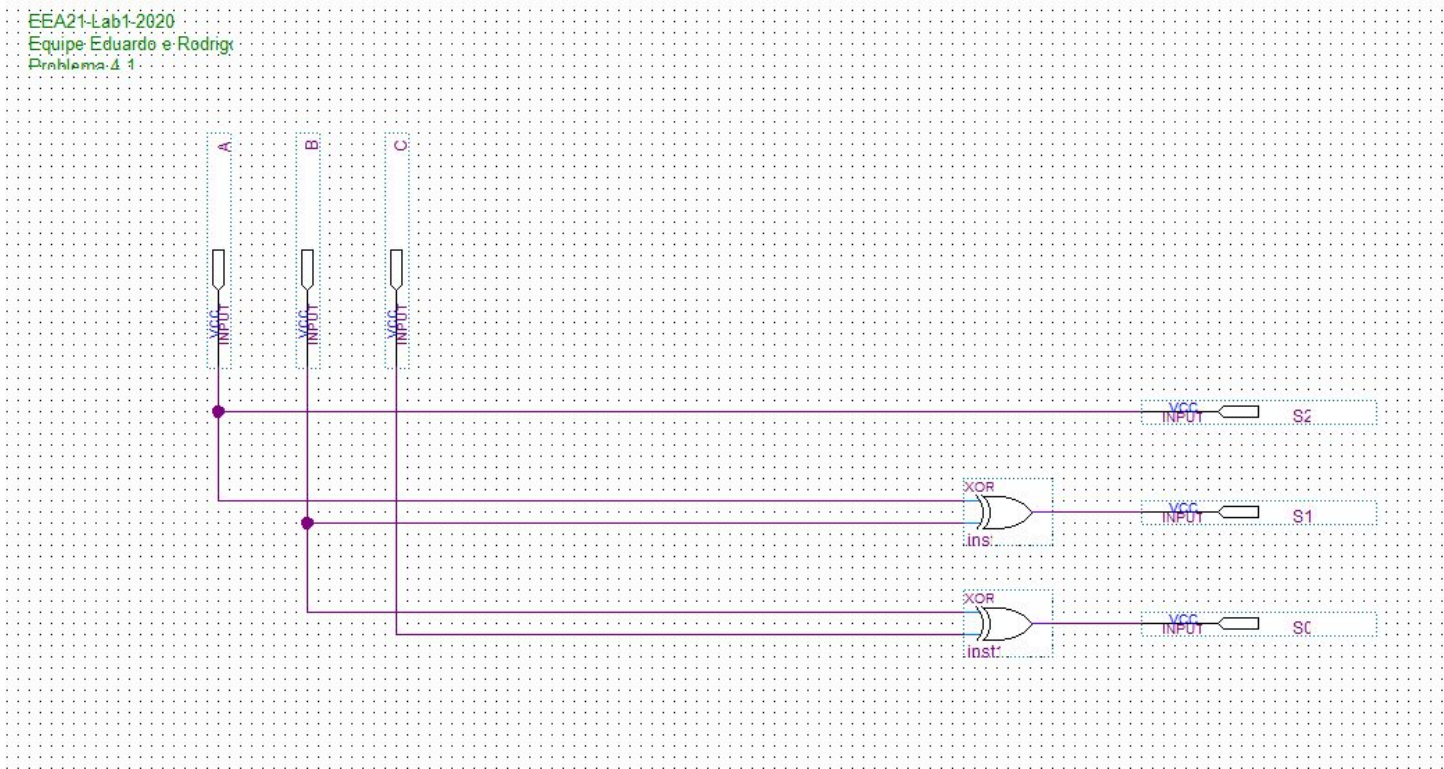
As expressões simplificadas:

$$S_2 = A$$

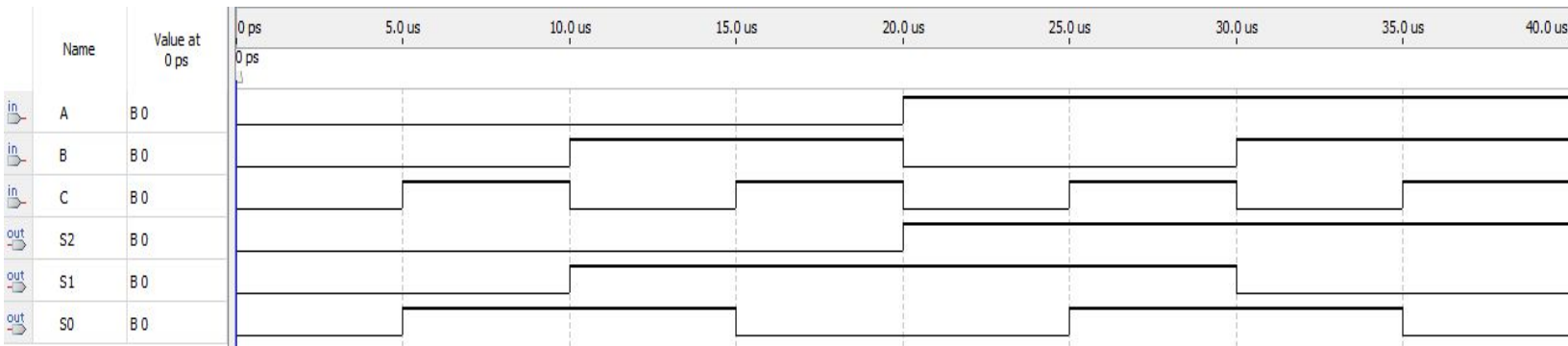
$$S_1 = A \oplus B$$

$$S_0 = B \oplus C$$

b) Diagrama Esquemático:



c) Diagrama de temporização:



Ex 4.3

a) Tabela Verdade:

E	X_2	X_1	X_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	X	X	X	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	1	0	0	0	0
1	1	0	1	0	0	1	0	0	0	0	0
1	1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

As expressões booleanas simplificadas:

$$Y_0 = (E' + X_0 + X_1 + X_2)'$$

$$Y_1 = (E' + X_0' + X_1 + X_2)'$$

$$Y_2 = (E' + X_0 + X_1' + X_2)'$$

$$Y_3 = (E' + X_0' + X_1' + X_2)'$$

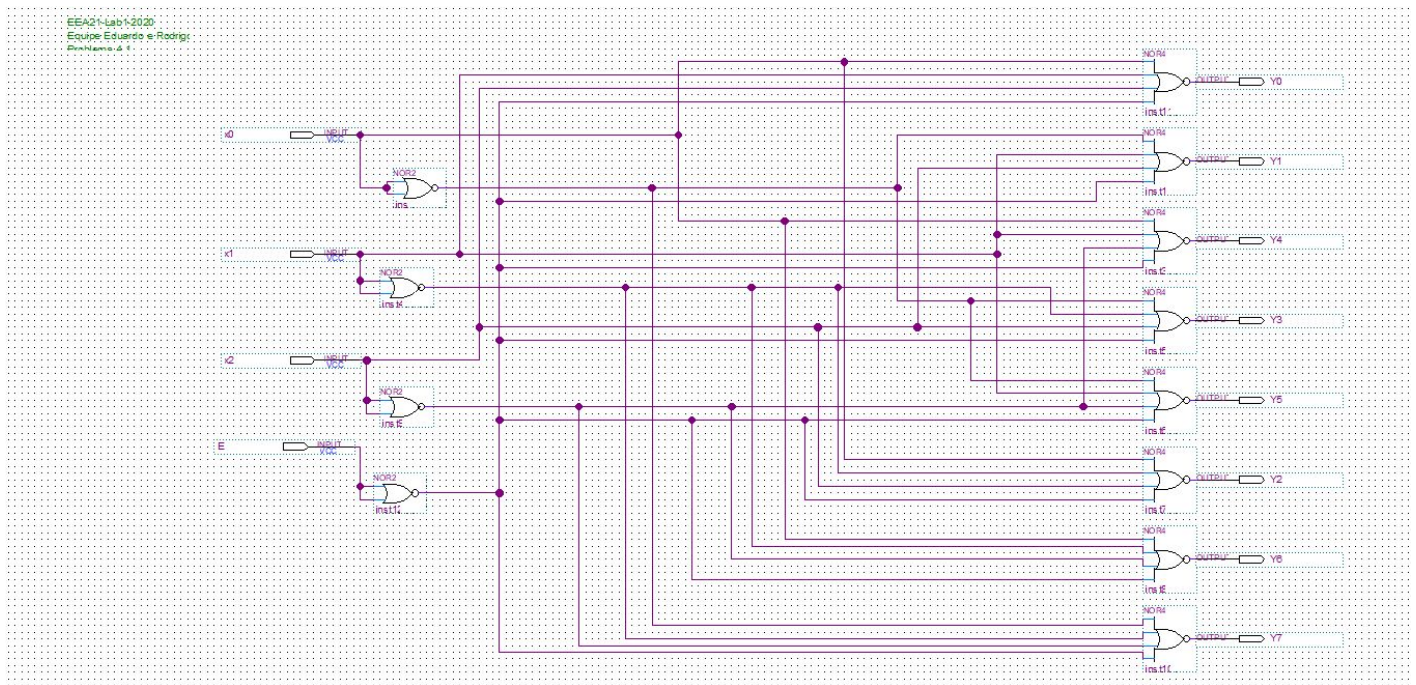
$$Y_4 = (E' + X_0 + X_1 + X_2)'$$

$$Y_5 = (E' + X_0' + X_1 + X_2)'$$

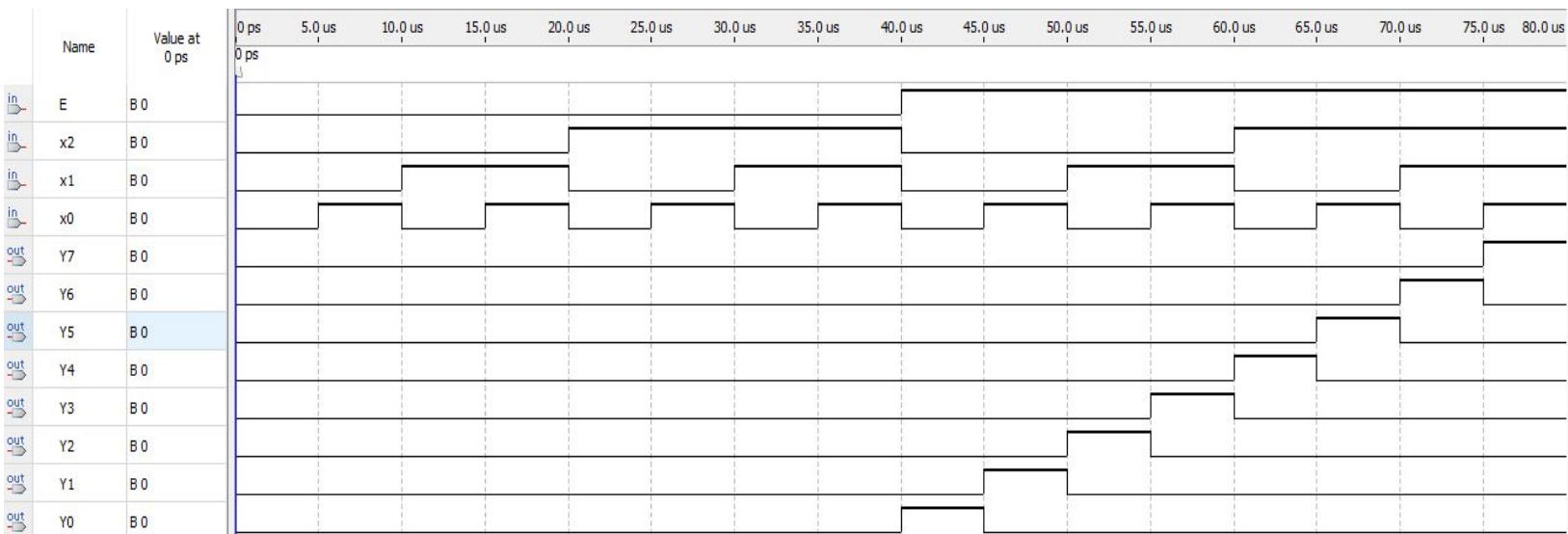
$$Y_6 = (E' + X_0 + X_1' + X_2)'$$

$$Y_7 = (E' + X_0' + X_1' + X_2)'$$

b) Diagrama Esquemático:



c) Diagrama de Temporização:



Ex 4.4:

a) Tabela Verdade:

X_3	X_2	X_1	X_0	Y_1	Y_0	A
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

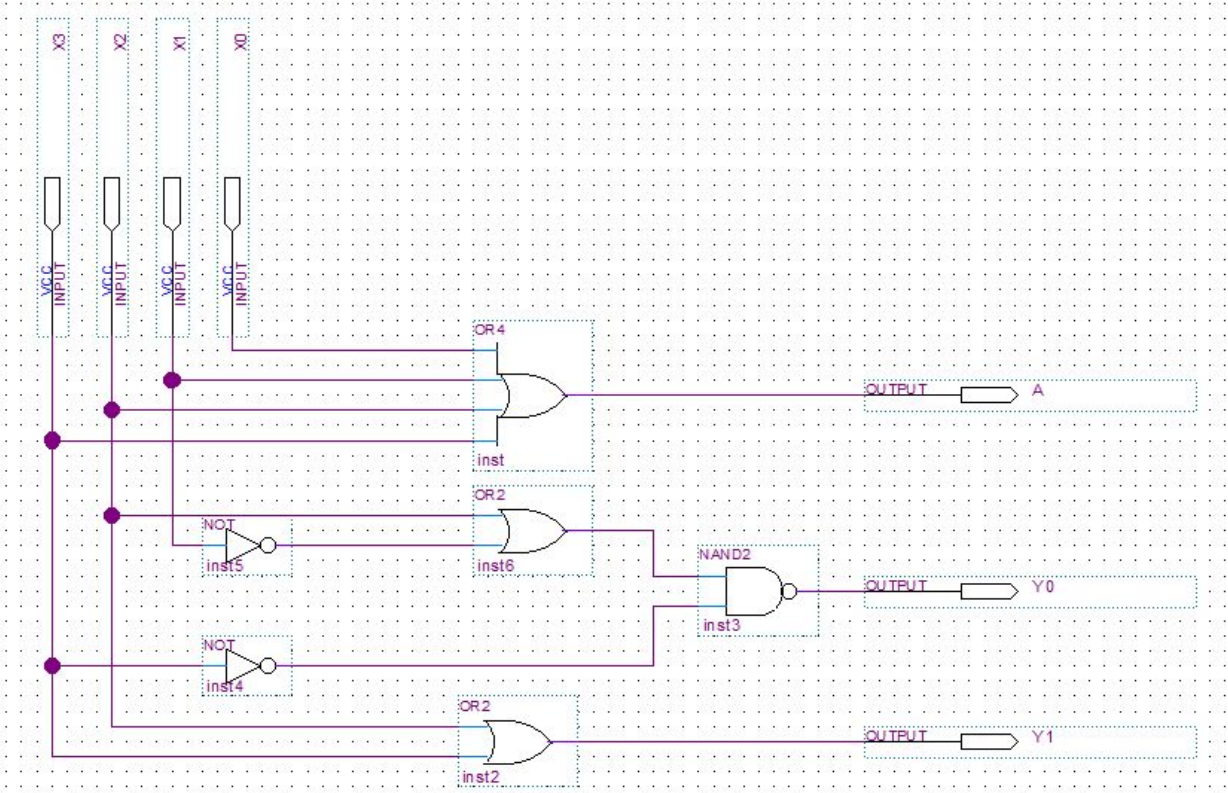
As expressões simplificadas das saídas na forma de produto de somas:

$$A = (X_3 + X_2 + X_1 + X_0)$$

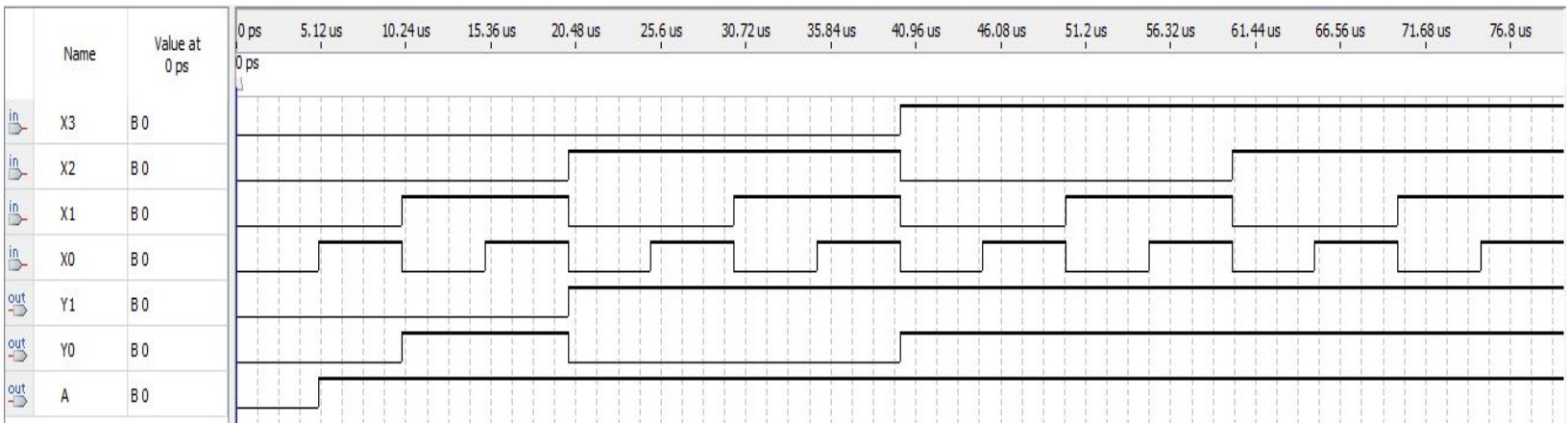
$$Y_0 = \overline{(X_2 + X_1)} \overline{(X_3)}$$

$$Y_1 = (X_3 + X_2)$$

b) Diagrama Esquemático:



c) Diagrama de temporização:

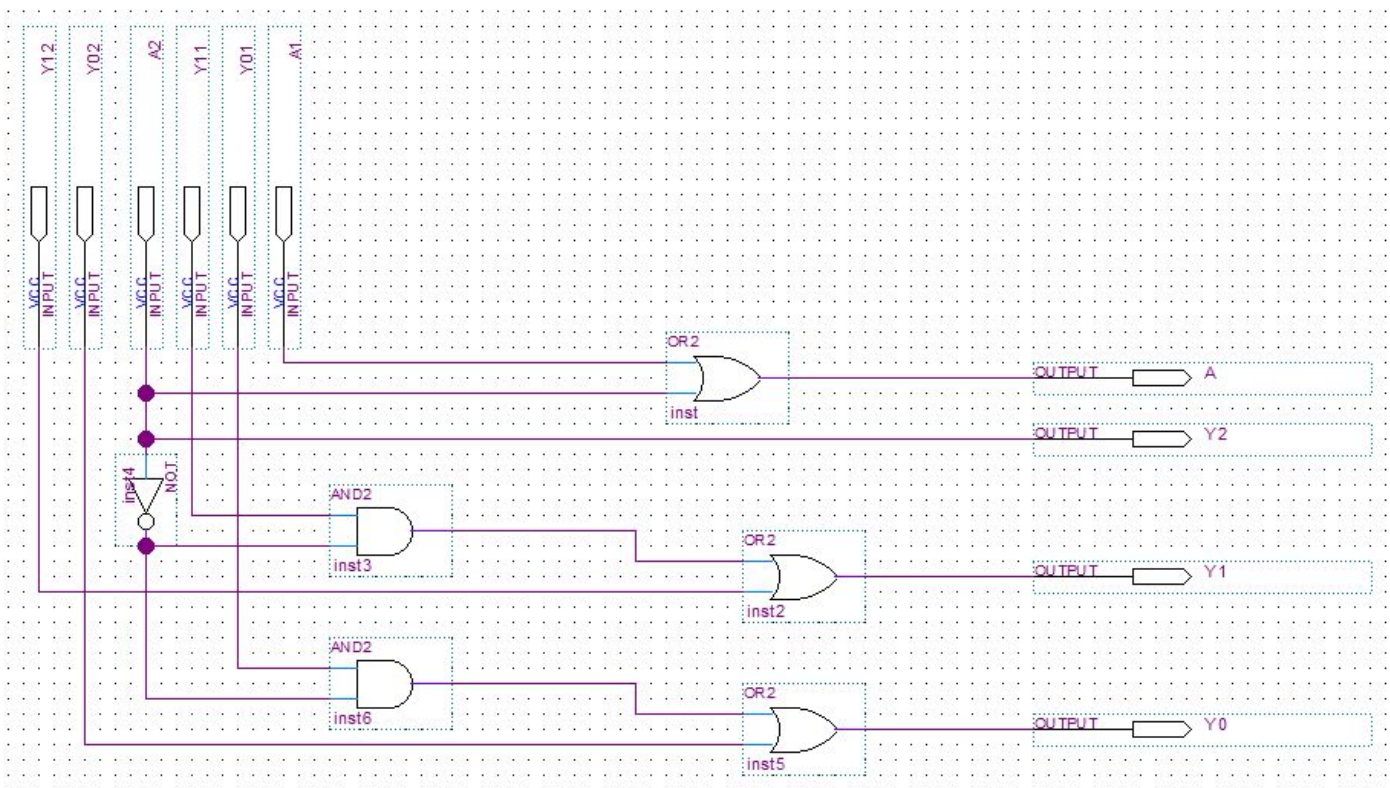


Ex 4.5:

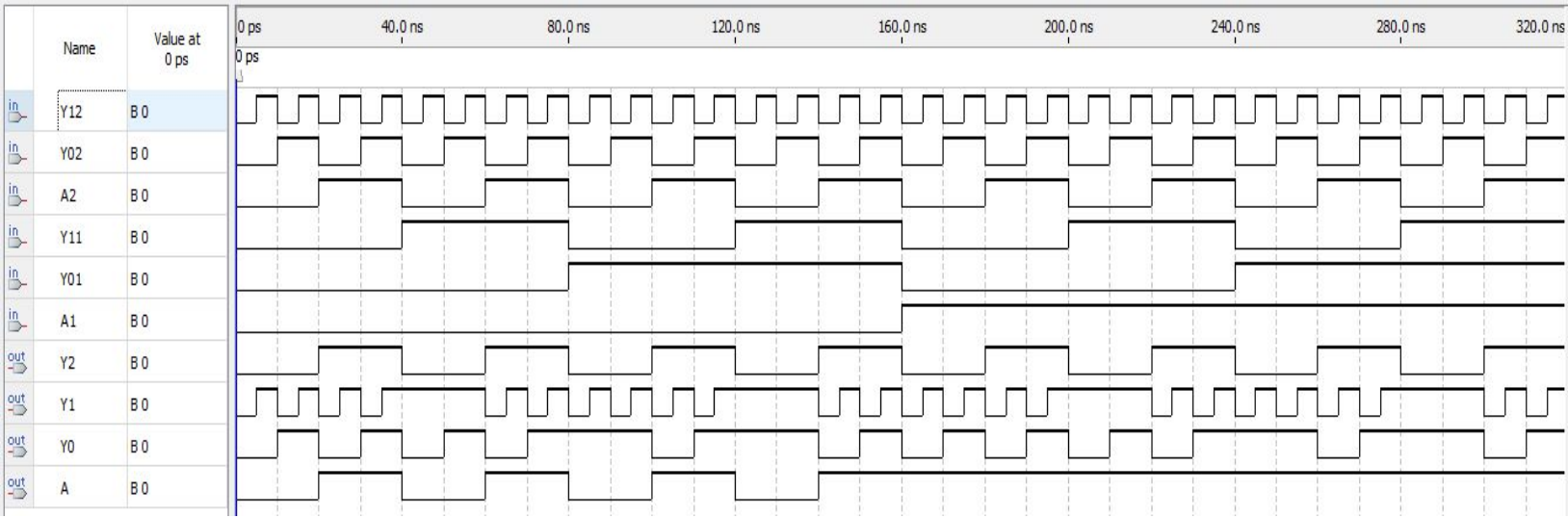
a) As expressões booleanas obtidas para o bloco H são:

$$\begin{aligned}A &= A^1 + A^2 \\Y_2 &= A^2 \\Y_1 &= Y_1^2 + Y_1^1 \overline{A^2} \\Y_0 &= Y_0^2 + Y_0^1 \overline{A^2}\end{aligned}$$

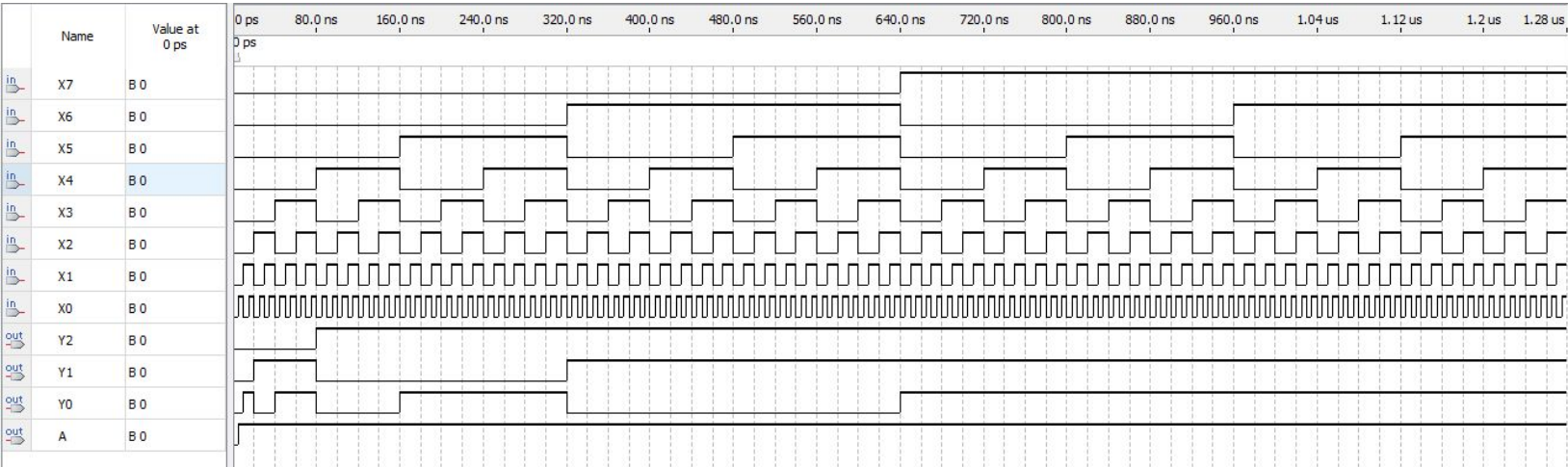
Montando o diagrama esquemático:



b) O diagrama de temporização simulado desse bloco:



c) Montando o dispositivo completo e simulando-o, obtemos:



Aplicando zoom em cada metade para imagem mais detalhada:

