

Nome: _____ **Rodrigo Alves de Almeida** _____

EEA-25 2020 (COMP)

Primeira Prova

outubro de 2020

Informações

LEIA ANTES AS INFORMAÇÕES DO "P1 Orientações para solução 2020.doc"

- Prova com consulta a todo material disponibilizado no Google Drive
 - “datasheets” dos microcontroladores AVR “Atmega328”,
 - “ATMEL 8 bit AVR Instruction Set.pdf”,
 - "Livro do Muhammad",
 - Experiências de laboratório,

Questões

1. Descreva os principais tipos de memórias semicondutoras ROM e RAM. Classifique-as quanto a sua volatilidade, processo de gravação e apagamento, tipo de construção de cada célula de memória, número de ciclos de programação/apagamento. Evidencie as **principais** diferenças entre os tipos de memória. (3 pontos)

Memória ROM:

- Não volátil; em geral, não é possível programá-la, apenas ler; possui 8 bits por endereço (e há 2^k endereços, sendo k o número de pins); é subdividida nos seguintes tipos:
 - PROM/OTP: só é possível programá-la uma vez (após programação, o fusível é ‘queimado’).
 - EPROM: após programar a memória, é possível apagar essa programação utilizando um equipamento, porém esse processo de apagamento é demorado. Possui um ciclo de aproximadamente 1000 programações/apagamentos.
 - EEPROM: assim como o EPROM, no EEPROM é possível apagar a programação, porém esse processo é elétrico, de modo que não é necessário desacoplar fisicamente a memória da placa. Além disso, no EEPROM, é possível escolher os bits que serão apagados. Possui um ciclo de aproximadamente 100,000 programações/apagamentos.
 - FLASH: muito semelhante ao EEPROM, tendo como diferença um tempo de apagamento menor e a impossibilidade de apagar bit por bit. Também possui um ciclo na ordem de 100,000.
 - MASK: esse tipo de memória ROM não é programável pelo usuário, mas é muito mais barata.

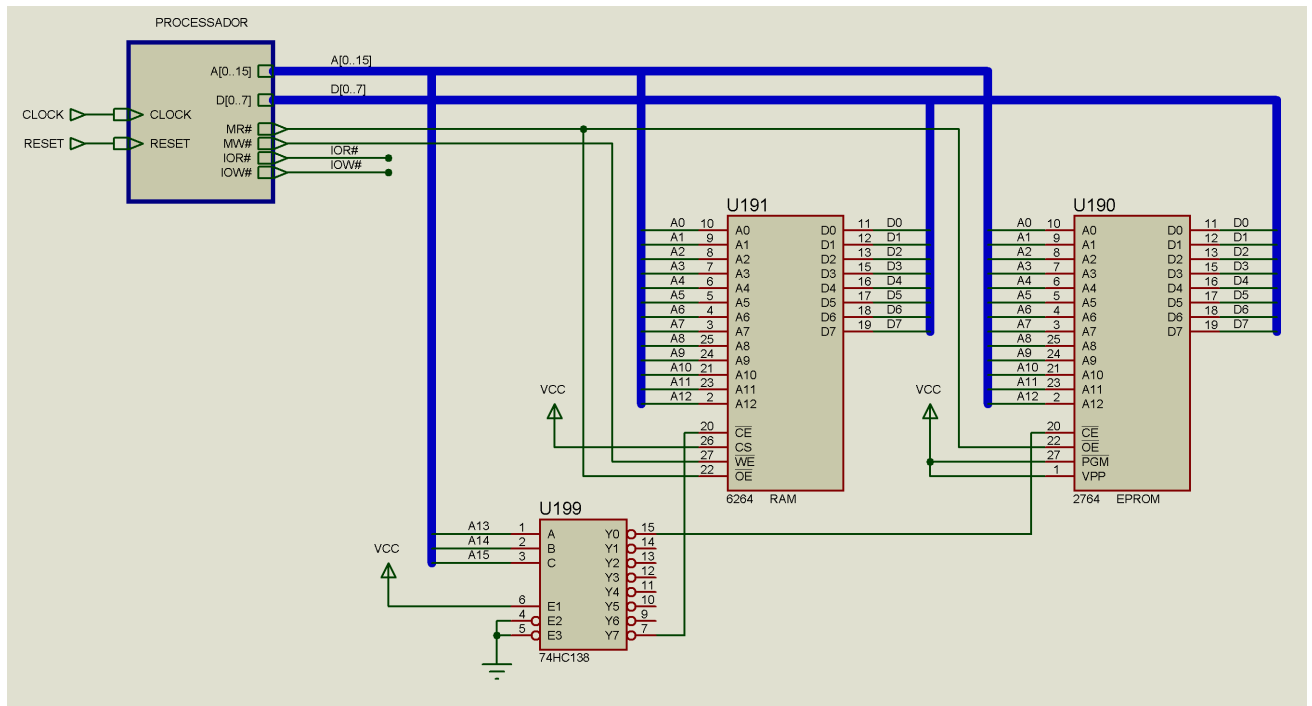
Memória RAM:

- Volátil; é possível ler e escrever sobre a memória; pode possuir 1, 4, 8 ou 16 bits por localização, e a organização das localizações depende do tipo; é subdividida nos seguintes tipos:

- SRAM: armazenamento de bits por meio de flip-flops, o que faz com que sejam necessários muitos transistores (4 ou 6 por bit). Em contrapartida, para essa arquitetura não é necessário realizar 'refresh', fazendo com que SRAM seja mais veloz.

- DRAM: armazenamento de bits por meio de capacitor. Para a DRAM, não é necessário utilizar transistores para armazenamento, porém, é necessário realizar o processo de refresh para que os capacitores não descarreguem e percam dados. Desse modo, a DRAM possui uma densidade de bits muito maior porém é mais lenta. Na DRAM, as localizações dos bits são divididas em linhas e colunas, de modo a diminuir o número de pins externos.

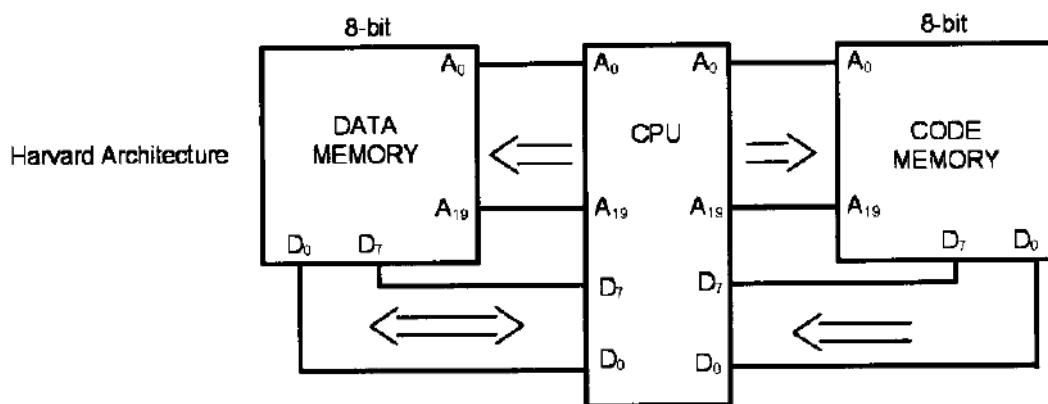
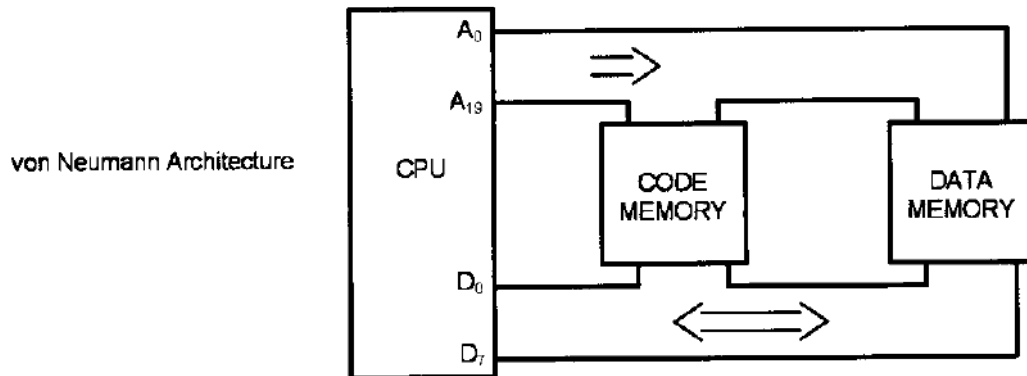
2. Considere o sistema abaixo, com um processador hipotético de 8 bits capaz de endereçar memórias de até 64Kbytes e 256 portas de entrada e saída. O circuito é composto por um decodificador 3x8 (74HC138), uma memória de programa (EPROM) e uma memória de dados (RAM). Do ponto de vista do processador, defina, em hexadecimal, as faixas de endereçamento das memórias. (3 pontos)



A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Hexadecimal	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	mem. Programa EPROM
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000	mem. Dados RAM
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF	

- a- memória de programa (EPROM): de 0000H até 1FFFH
b- memória de dados (RAM): de E000H até FFFFH

3. Descreva as principais vantagens e desvantagens das arquiteturas Harvard e Von Neumann. (2 pontos)



Von Neumann:

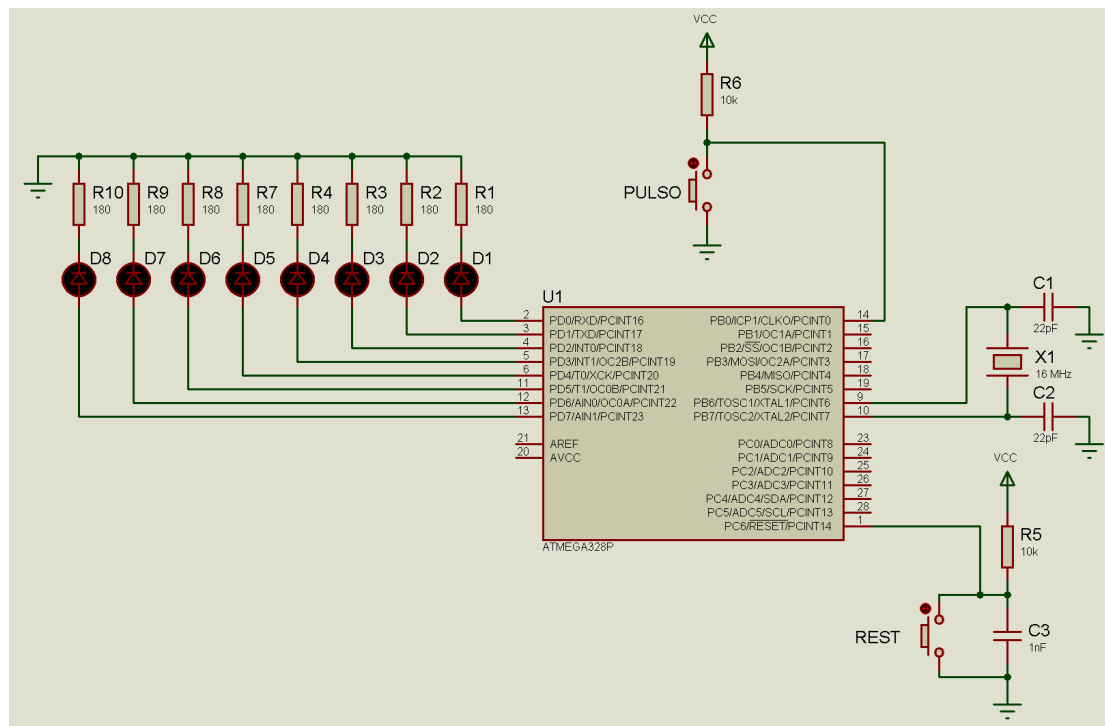
- O processador utiliza 1 bus de dados e 1 bus de endereço para acessar ambas as memórias de código e de dados, totalizando 2 buses.

Harvard:

- O processador utiliza 1 bus de dados e 1 bus de endereço para acessar a memória de dados e mais 1 bus de dados e 1 bus de endereço para acessar a memória de código, totalizando 4 buses.

A arquitetura de Von Neumann utiliza um menor número de buses, fazendo com que sejam necessários menos pins no processador e menos fios na placa mãe. Porém, essa arquitetura deixa o processador mais lento, visto que não pode acessar concomitantemente as memórias de código e de dados. A arquitetura de Harvard, por sua vez, é mais veloz, já que não há interferência entre os buses das memórias de dados e de código. Porém, o modelo de Harvard faz com que sejam necessários muitos fios e pins, tornando o processador e a placa mãe mais complexos.

4. O circuito da figura a seguir deve apresentar nos 8 leds conectados ao PORTD de um microcontrolador ATmega328, o número de vezes em que a chave PULSO foi pressionada. A contagem será representada em binário nos leds. Altere o programa listado abaixo, utilizado no exemplo da aula, para resolver este problema. (2 pontos)



```
.CSEG
.ORG 0

; Deixar PD como output e PB como input
PARTIDA:      LDI    R16,0b11111111
              OUT    DDRD,R16
              LDI    R16,0b00000000
              OUT    DDRB,R16

; Zera contagem inicial de pulsos
              LDI    R17,0b00000000
              OUT    PORTD,R17

; Aguarda chave liberada para iniciar contagem
ESPERA_LIBERADA: IN    R16,PINB
                ANDI   R16,0b00000001
                BREQ   ESPERA_LIBERADA

; Aguarda acionamento da chave
ESPERA_ACIONAMENTO: IN    R16,PINB
                   ANDI   R16,0b00000001
                   BRNE   ESPERA_ACIONAMENTO

; Aguarda liberação da chave
ESPERA_LIBERACAO: IN    R16,PINB
                  ANDI   R16,0b00000001
                  BREQ   ESPERA_LIBERACAO

; Incrementa contador e atualiza LEDs
INCREMENTA:    INC     R17
              OUT     PORTD,R17
              JMP     ESPERA_ACIONAMENTO

.EXIT
```